



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα ΠΠ

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Σχεδίαση Ακολουθιακών Κυκλωμάτων

- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

➤ Συνδυαστική λογική

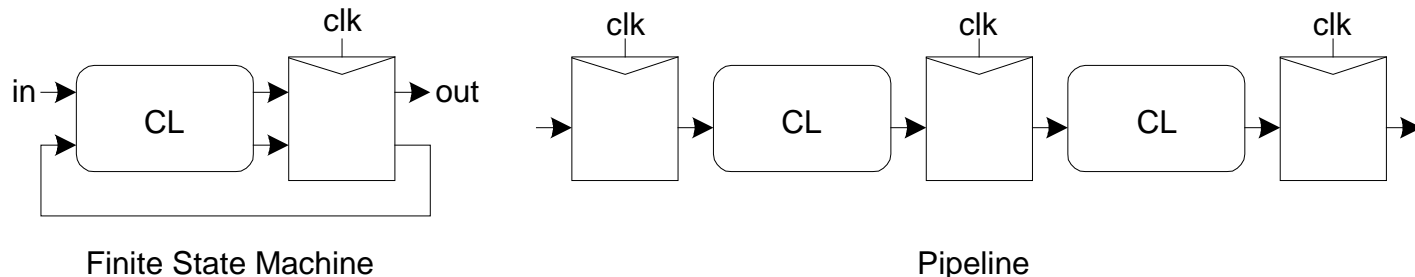
- η τιμή της εξόδου εξαρτάται από τις τρέχουσες τιμές των εισόδων
- κάθε αλλαγή της εισόδου ενεργοποιεί την έξοδο

➤ Ακολουθιακή λογική

- η έξοδος εξαρτάται από τις τρέχουσες & προηγούμενες τιμές των εισόδων
- αλλάζει 1 φορά στην περίοδο του ρολογιού
- κυκλώματα καταστάσεων (state)
- **παραδείγματα:**

Finite State Machines,

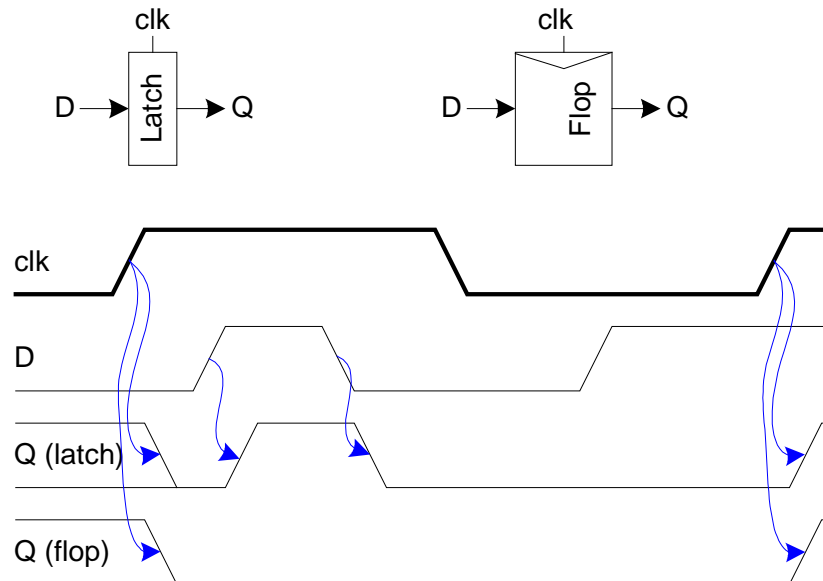
Κυκλώματα αλυσιδωτής επεξεργασίας (pipelined)



- Τα ακολουθιακά κυκλώματα υλοποιούνται με flip-flop ή μανδαλωτές
 - Συγκρατούν τη διάδοση δεδομένων που ονομάζονται **tokens**
- **Σκοπός η ακολουθιακή επεξεργασία δεδομένων**
 - Διαφοροποίηση τωρινού από το προηγούμενο / επόμενο token – **ακολουθιακά στοιχεία**
- Τα ακολουθιακά στοιχεία καθυστερούν τα tokens που έρχονται νωρίς
 - Αλλιώς το επόμενο token μπορεί να προλάβει στην επεξεργασία το τρέχον και να αλλοιωθούν και τα δύο
- Προσθέτουν όμως καθυστέρηση που ονομάζεται **ακολουθιακή επιβάρυνση (sequential overhead)**

- Τα ακολουθιακά κυκλώματα διακρίνονται σε δυναμικής και στατικής λογικής
- Τα στατικής λογικής ακολουθιακά κυκλώματα αφορούν πύλες / κυκλώματα χωρίς ρολόι
 - Συμπληρωματική CMOS, pseudo-nMOS, pass logic
 - Χρησιμοποιούν ανάδραση για τη διατήρηση της τιμής
 - Δεν έχουν ουσιαστικά προβλήματα διαρροών και η τιμή της εξόδου διατηρείται θεωρικά επ' άπειρον
- Τα δυναμικής λογικής ακολουθιακά κυκλώματα έχουν μια επιπλέον είσοδο ρολογιού
 - Βασίζονται κυρίως σε domino λογική
 - Διατηρούν την τιμή σε πυκνωτή
 - **Σημαντικό πρόβλημα λόγω ρευμάτων διαρροών => αλλοίωση της τιμής του κόμβου που αποθηκεύεται η τιμή της κατάστασης**

- **Latch**: Ευαίσθητο σε στάθμη σήματος (Level-sensitive)
- **Flip-flop**: Ευαίσθητο σε παρυφή ρολογιού (Edge-triggered)
- Διαγράμματα Χρονισμού (Timing Diagrams)
 - Διαφανές (Transparent)
 - Αδιαφανές (Opaque)
 - Ακμο-πυροδοτούμενο (Edge-triggered)



- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

➤ Οι τρεις δημοφιλέστεροι μέθοδοι χρονικής ακολουθίας υπολογισμών υλοποιούνται με

- Flip –Flop
- Διαφανείς μανδαλωτές 2 φάσεων (2 – Phase Transparent Latches)
- Παλμικούς μανδαλωτές (Pulsed Latches)

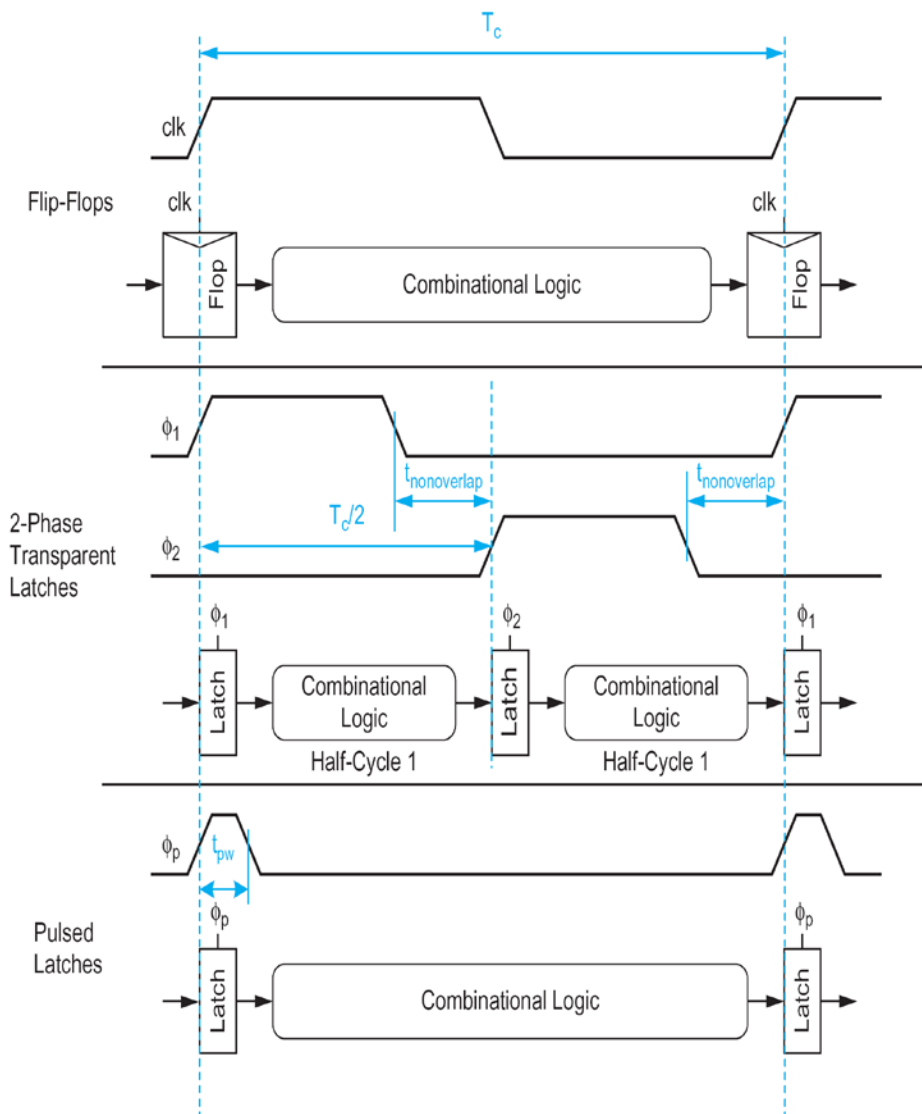
➤ Μια ιδανική μέθοδος

- Δε θα εισήγαγε καθυστέρηση
- Ευέλικτη στον καθορισμό της υλοποιήσιμης λογικής ανά κύκλο ρολογιού
- Θα είχε «αντοχή» στη χρονική απόκλιση ρολογιού
- Θα κατανάλωνε χαμηλή επιφάνεια και ισχύ

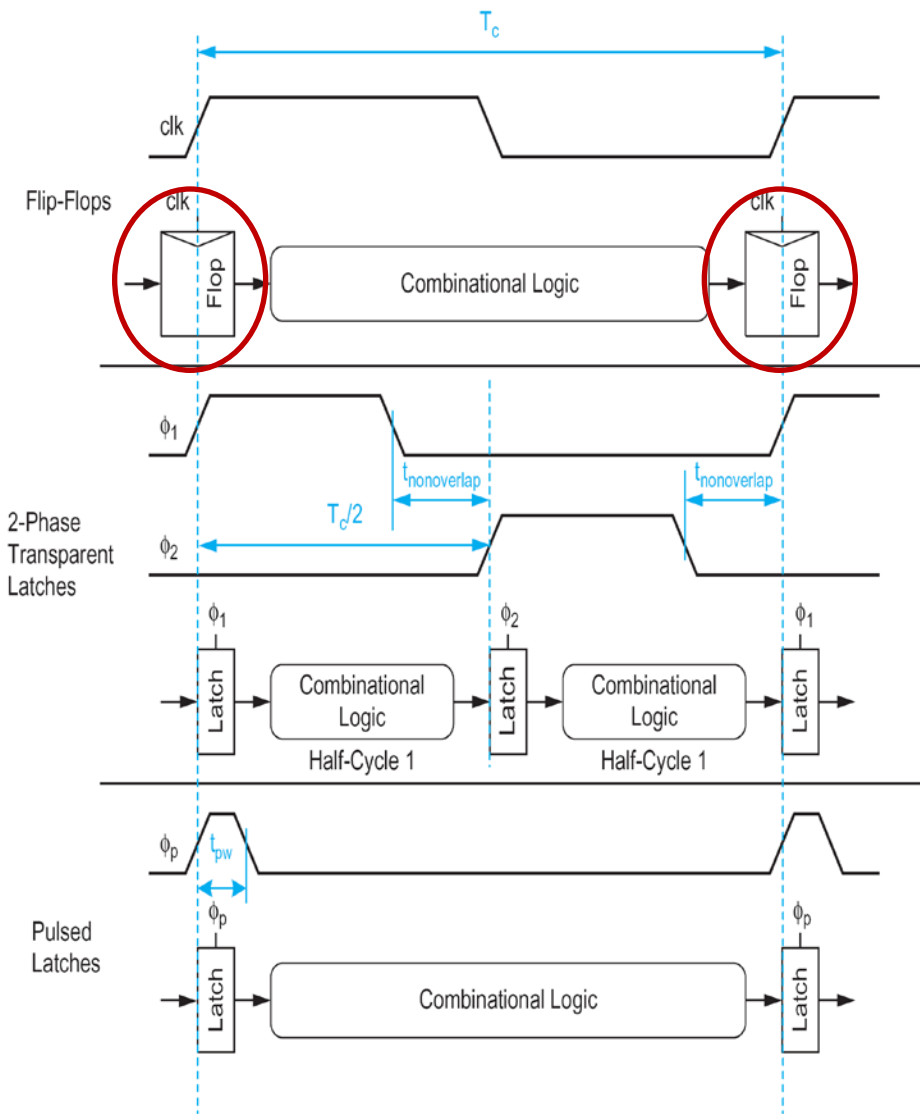
➤ Σκοπός του κεφαλαίου:

- Η διερεύνηση των εναλλακτικών μεθόδων χρονικής ακολουθίας
- Μελέτη κυκλωματικών υλοποιήσεων σε επίπεδο τρανζίστορ

Μέθοδοι Χρονικής Ακολουθίας – Flip-Flop



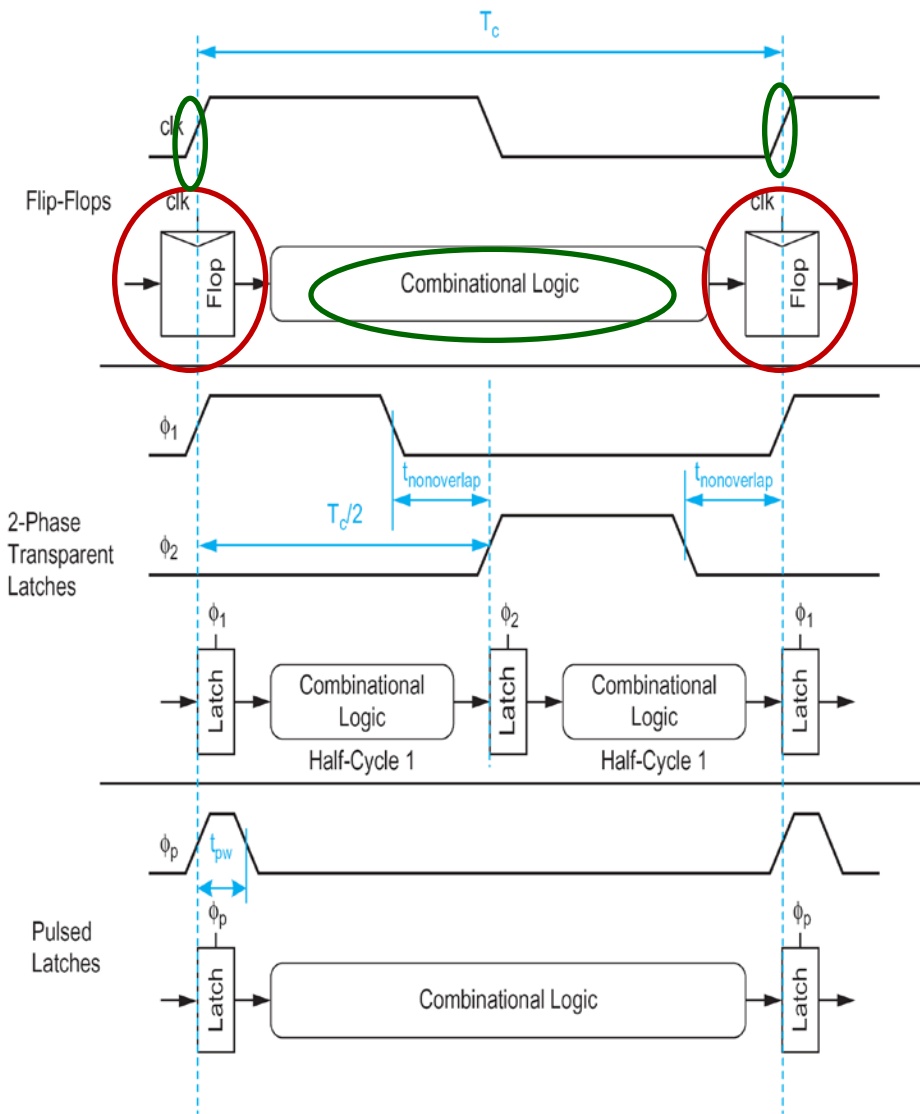
► Χρήση F/Fs μεταξύ της συνδυαστικής λογικής



➤ Χρήση F/Fs μεταξύ της συνδυαστικής λογικής

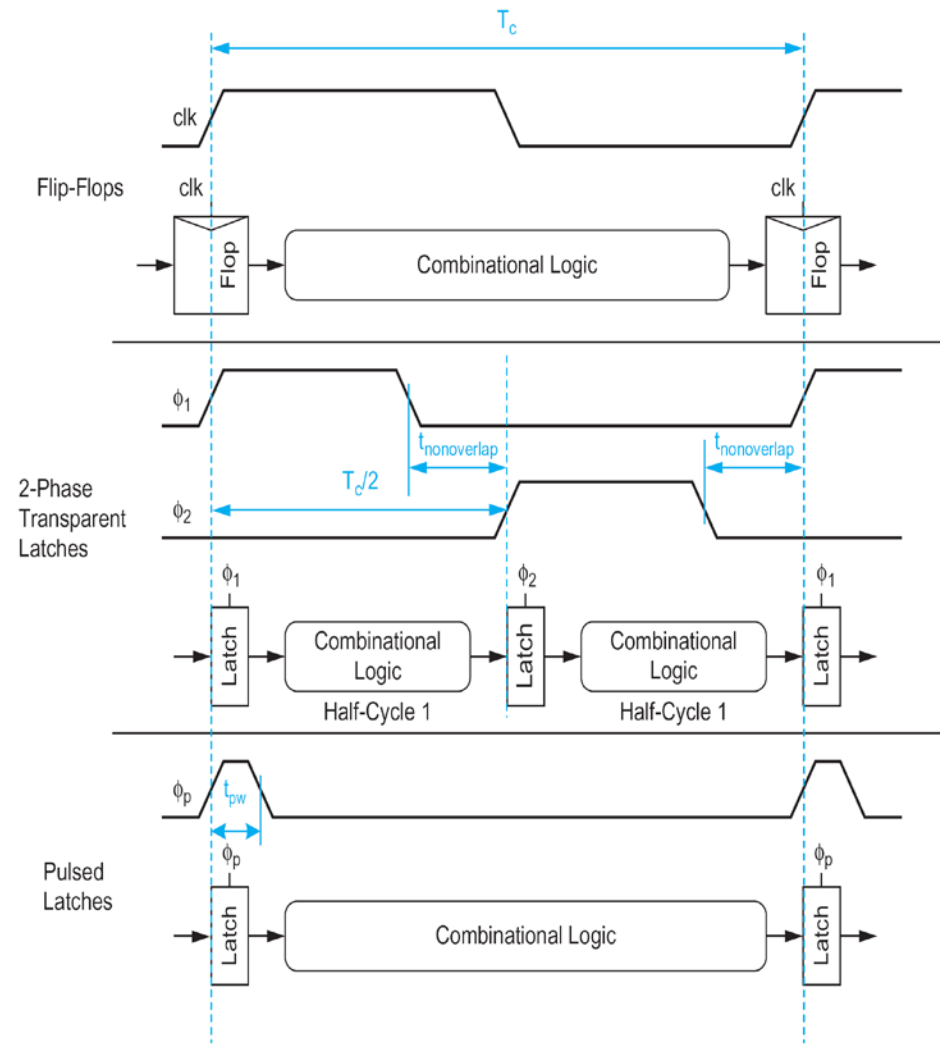
➤ Τα δεδομένα μεταδίδονται διαμέσου της συνδυαστικής λογικής από τον έναν κύκλο στο επόμενο στην ανερχόμενη παρυφή του ρολογιού

➤ Αν κάποια δεδομένα είναι διαθέσιμα πολύ νωρίς αυτά συγκρατούνται στην είσοδο του F/F μέχρι την επόμενη ενεργή ακμή του ρολογιού



➤ Ένα F/F μπορεί να είναι ένα ζεύγος διαδοχικά συνδεδεμένων μανδαλωτών

- Χρησιμοποιώντας το clk και το clk'
- Δομή Master-slave

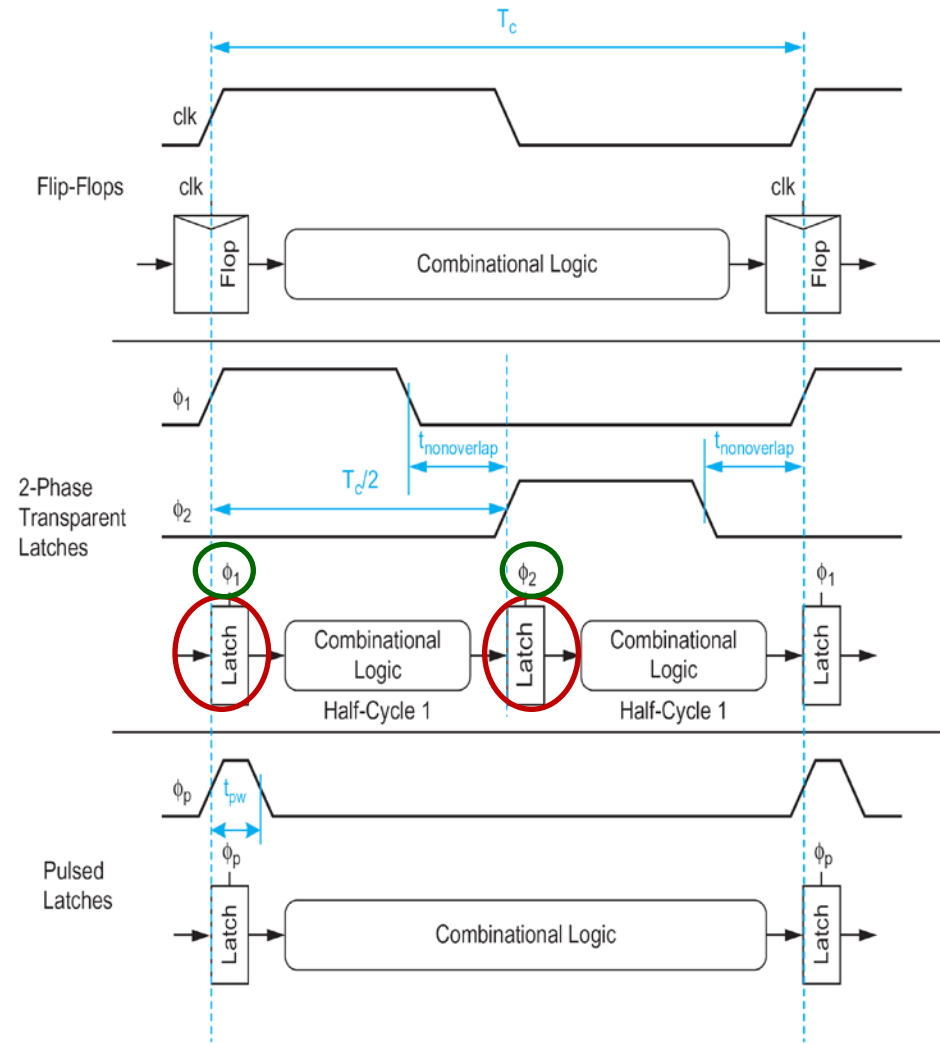


➤ Ένα F/F μπορεί να είναι ένα ζεύγος διαδοχικά συνδεδεμένων μανδαλωτών

- Χρησιμοποιώντας το clk και το clk'
- Δομή Master-slave

➤ Διαχωρισμός των latches \Rightarrow διαίρεση κύκλου σε δύο φάσεις. Τα δύο ρολόγια ονομάζονται $\phi 1$ και $\phi 2$

- Αντιστοιχούν στο clk και clk' ή μπορεί να είναι μη επικαλυπτόμενα ($t_{nonoverlap} > 0$)



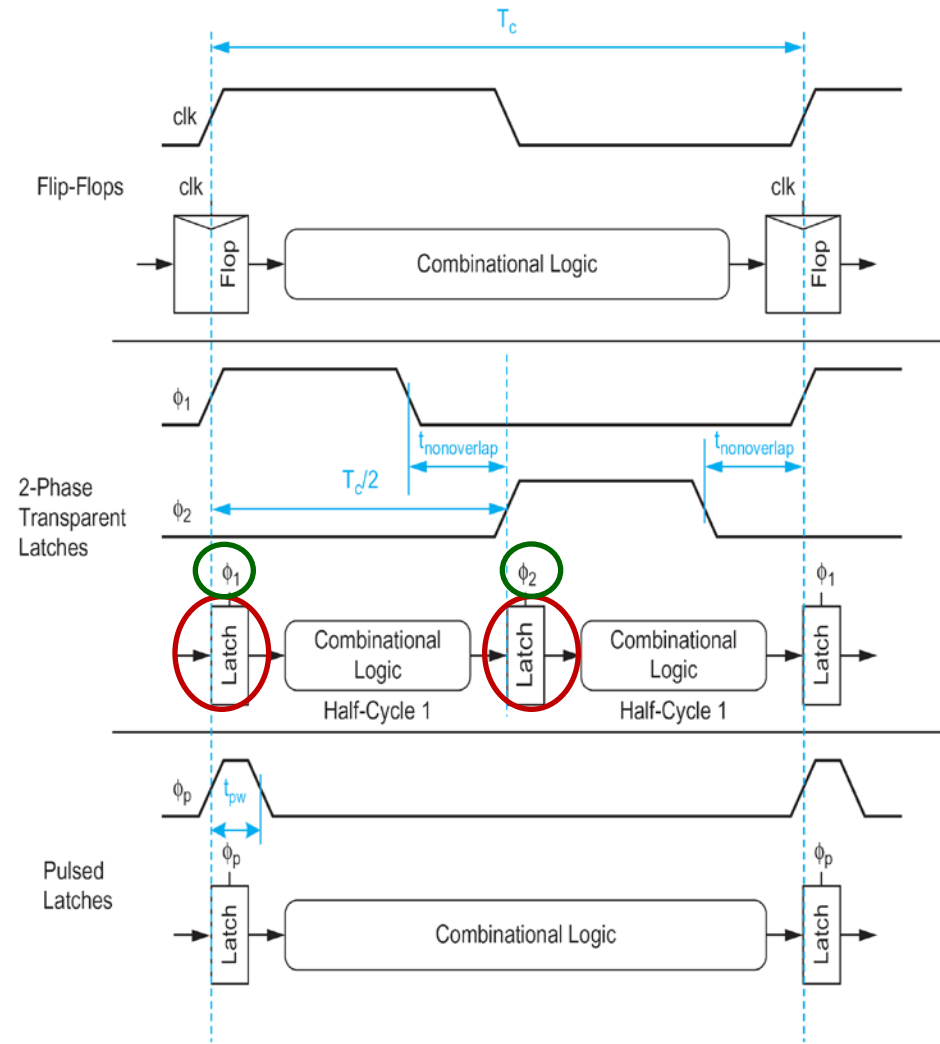
➤ Ένα F/F μπορεί να είναι ένα ζεύγος διαδοχικά συνδεδεμένων μανδαλωτών

- Χρησιμοποιώντας το clk και το clk'
- Δομή Master-slave

➤ Διαχωρισμός των latches \Rightarrow διαίρεση κύκλου σε δύο φάσεις. Τα δύο ρολόγια ονομάζονται $\phi 1$ και $\phi 2$

- Αντιστοιχούν στο clk και clk' ή μπορεί να είναι μη επικαλυπτόμενα ($t_{nonoverlap} > 0$)

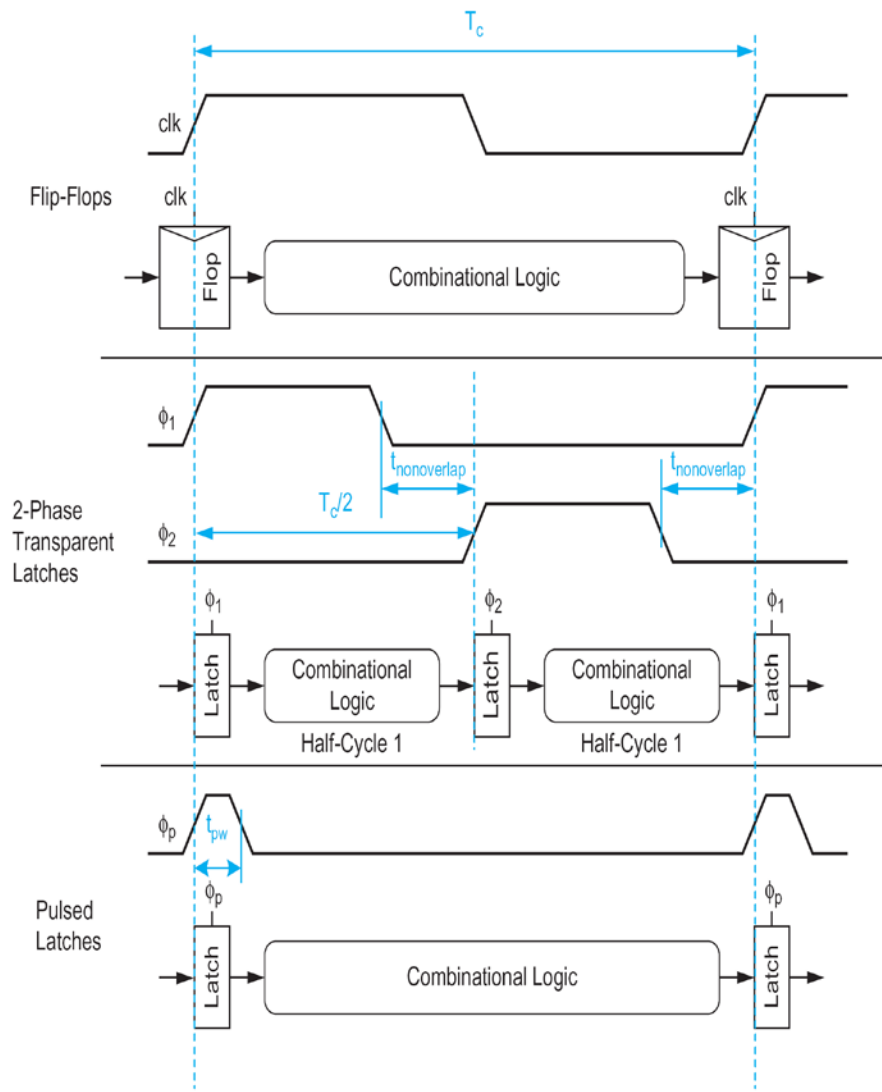
➤ Τουλάχιστον ένα ρολόι βρίσκεται σε χαμηλή στάθμη και ο αντίστοιχος μανδαλωτής είναι αδιαφανής εμποδίζοντας τη μετάδοση των tokens



➤ Στα συστήματα παλμικών μανδαλωτών χρησιμοποιείται ένας μανδαλωτής λιγότερος

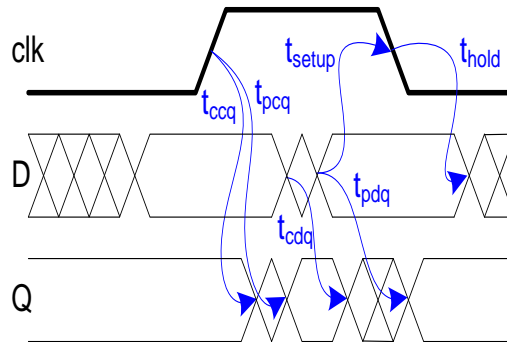
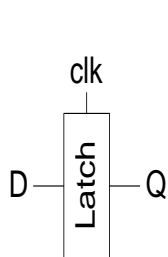
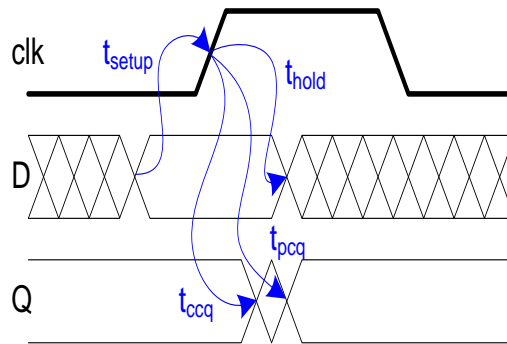
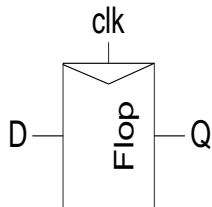
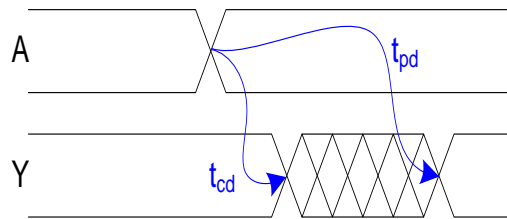
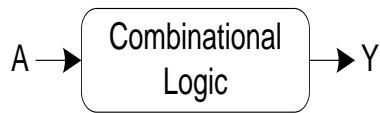
➤ Εφαρμογή ενός παλμού μικρού εύρους t_{pw}

➤ Αν ο παλμός είναι πιο σύντομος από την καθυστέρηση διαμέσου της συνδυαστικής λογικής \Rightarrow ένα δεδομένο (token) θα διαδοθεί σε κάθε κύκλο ρολογιού

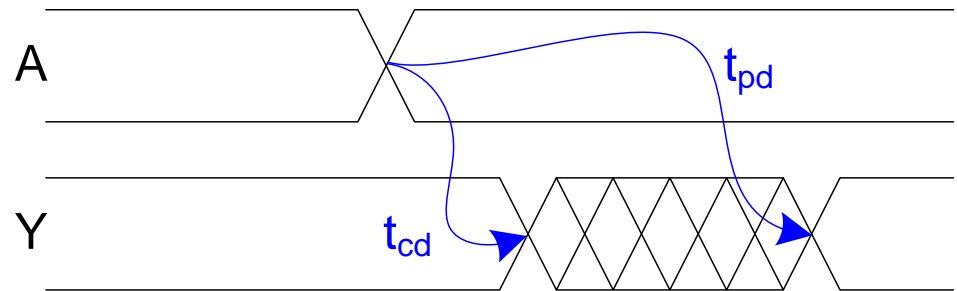
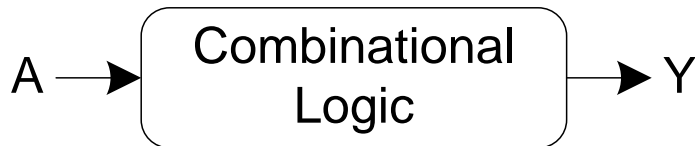


- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

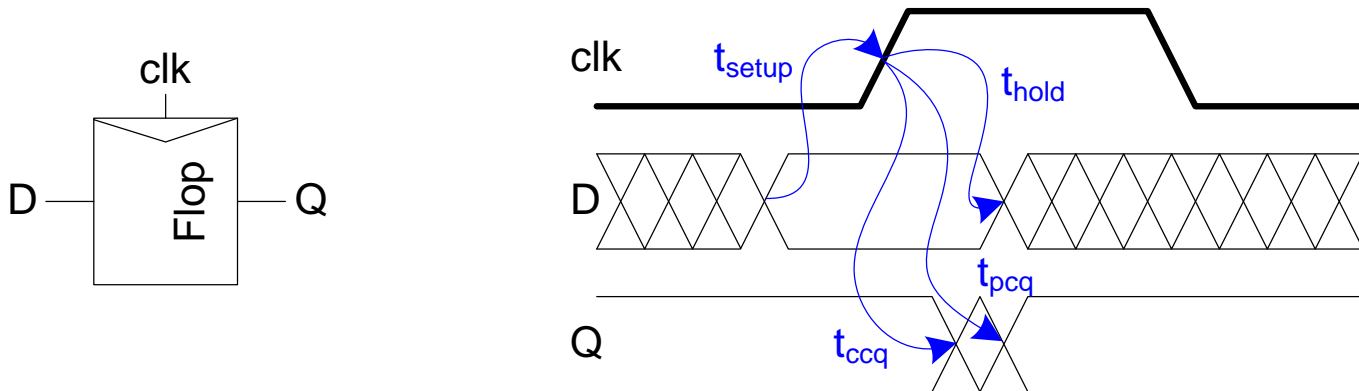
Διαγράμματα Χρονισμού



t_{pd}	Logic Prop. Delay
t_{cd}	Logic Cont. Delay
t_{pcq}	Latch/Flop Clk->Q Prop. Delay
t_{ccq}	Latch/Flop Clk->Q Cont. Delay
t_{pdq}	Latch D->Q Prop. Delay
t_{cdq}	Latch D->Q Cont. Delay
t_{setup}	Latch/Flop Setup Time
t_{hold}	Latch/Flop Hold Time

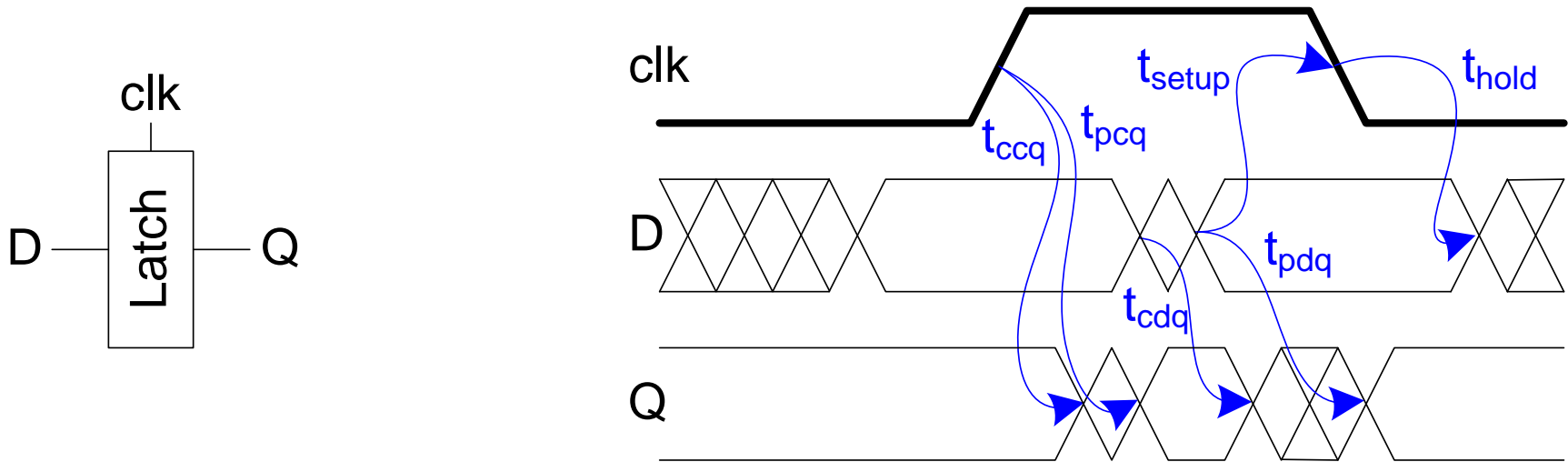


- Η είσοδος A αλλάζει από μια τιμή σε μια άλλη. Η έξοδος Y δε μπορεί να αλλάξει ακαριαία
- Ύστερα από την καθυστέρηση t_{cd} η έξοδος Y εμφανίζει την 1^η αλλαγή
- Λόγω πιθανής ύπαρξης πολλαπλών μονοπατιών καθυστέρησης μπορεί να εμφανιστούν μεταβατικοί παλμοί
- Μετά από χρόνο t_{pd} η έξοδος Y παίρνει την τελική τιμή



- Για σωστή δειγματοληψία \Rightarrow η είσοδος πρέπει να είναι σταθερή για ένα διάστημα γύρω από την ενεργή ακμή του ρολογιού
- Συγκεκριμένα, η είσοδος:
 - Πρέπει να έχει σταθεροποιηθεί πριν την ενεργή ακμή του clk για ένα διάστημα που καλείται **χρόνος αποκατάστασης** t_{setup}
 - Δεν πρέπει να αλλάξει μετά την έλευση της ενεργής ακμής του clk πριν περάσει ο **χρόνος συγκράτησης** t_{hold}
- Η έξοδος να αλλάζει ύστερα χρόνο t_{ccq} και σταθεροποιείται ύστερα από χρόνο t_{pcq}

Διαγράμματα Χρονισμού – Latch



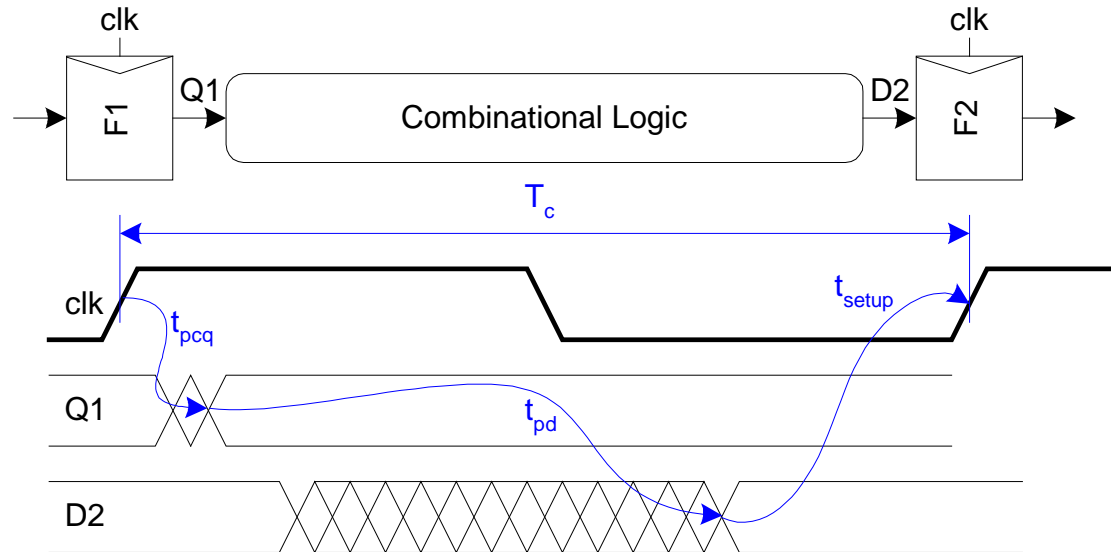
- Η είσοδος D πρέπει να αποκατασταθεί και να συγκρατηθεί γύρω από την κατερχόμενη ακμή ρολογιού που ορίζει το τέλος της περιόδου δειγματοληψίας
- Η έξοδος αλλάζει ύστερα από χρόνο t_{ccq} που ο μανδαλωτής γίνεται διαφανής και σταθεροποιείται ύστερα από t_{pcq}
- Ενώ ο μανδαλωτής είναι διαφανής η έξοδος θα συνεχίσει να ακολουθεί την είσοδο για χρονικό διάστημα ‘από D -στο- Q ’ t_{cdq} και t_{pdq}

- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- **Max and Min-Delay Περιορισμοί**
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

- Ιδεατά όλη η περίοδος θα ήταν διαθέσιμη για τη συνδυαστική λογική
- Η επιβάρυνση λόγω ακολουθιακής λογικής μειώνει το διαθέσιμο χρόνο της συνδυαστικής λογικής. Αν η καθυστέρηση της λογικής είναι πολύ μεγάλη
 - το στοιχείο που λαμβάνει το αποτέλεσμα δε θα δειγματοληπτήσει στη διάρκεια του **setup time**
 - θα δειγματοληπτήσει μια λανθασμένη ενδιάμεση τιμή
- Αποτυχία στο χρόνο αποκατάστασης ή αποτυχία μέγιστης-καθυστέρησης
- Μπορεί να λυθεί με
 - Επανασχεδίαση της λογικής ώστε είναι πιο γρήγορη ή
 - Αύξηση της περιόδου του ρολογιού

Max-Delay: Flip-Flops

$$t_{pd} \leq T_c - \underbrace{(t_{setup} + t_{pcq})}_{\text{sequencing overhead}}$$



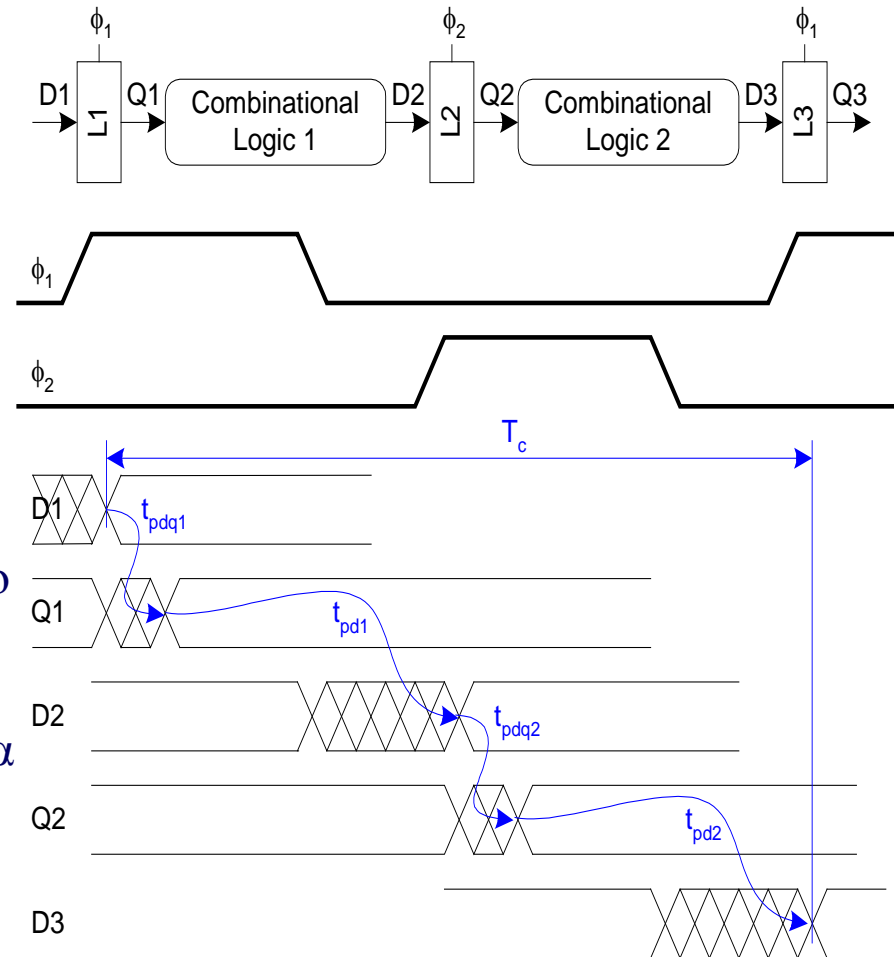
Max Delay: 2-Phase Latches

$$t_{pd} = t_{pd1} + t_{pd2} \leq T_c - \underbrace{(2t_{pdq})}_{\text{sequencing overhead}}$$

– Το D3 θα μπορούσε να φτάσει με καθυστέρηση ίση με το t_{setup} πριν την καθοδική ακμή του ϕ_1 . Το L3 δειγματοληπτεί σωστά

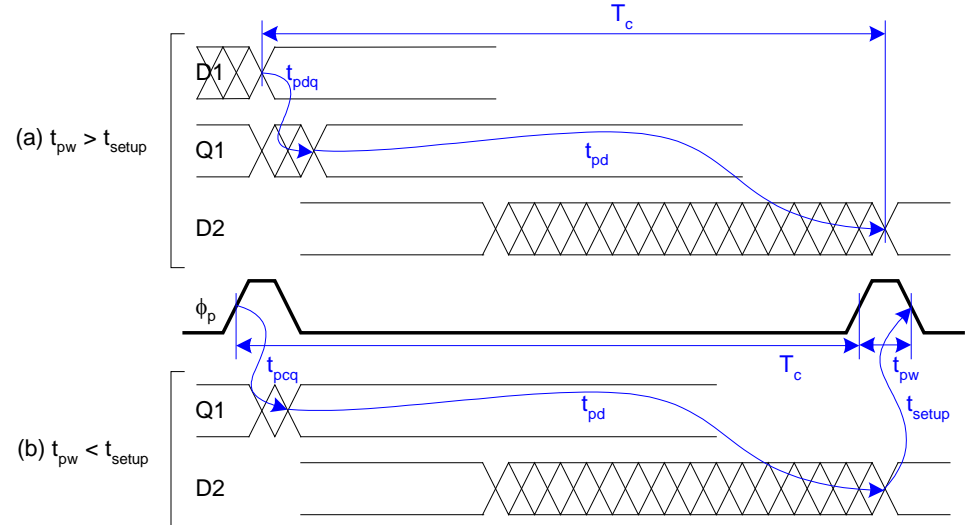
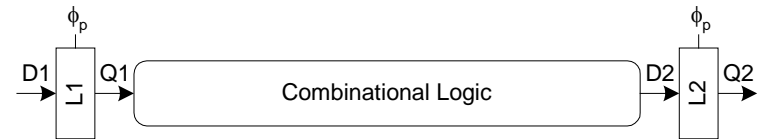
– Για λόγους ορθότητας, ονομαστικά το πρέπει να φτάνει με καθυστέρηση όχι μεγαλύτερη της περιόδου

– Στο όλο κύκλωμα, κάθε μονοπάτι απλού κύκλου καταναλώνει μια περίοδο για υπολογισμούς



Max Delay: Pulsed Latches

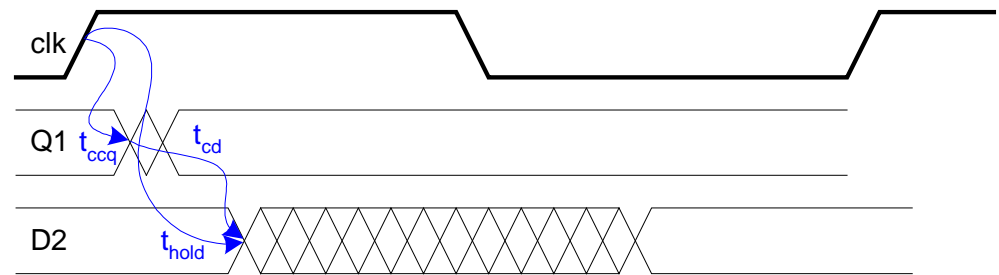
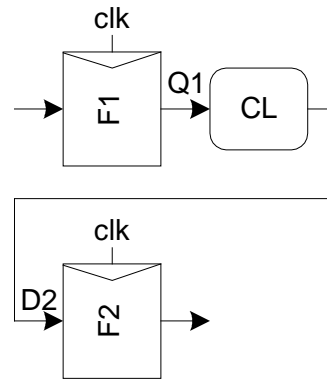
$$t_{pd} \leq T_c - \underbrace{\max(t_{pdq}, t_{pcq} + t_{setup} - t_{pw})}_{\text{sequencing overhead}}$$



- Ιδεατά, τα ακολουθιακά στοιχεία μπορεί να συνδεθούν διαδοχικά (έξοδος/ είσοδος) και να λειτουργούν χωρίς πρόβλημα
- Αν ο **setup time** είναι **μεγάλος** και η **contamination delay** **μικρή** => λάθος διάδοση δεδομένων διαμέσου δύο διαδοχικών στοιχείων σε μια ακμή ρολογιού
- Ονομάζεται **‘συνθήκη συναγωνισμού (race condition), αποτυχία χρόνου συγκράτησης ή αποτυχία ελάχιστης καθυστέρησης**
- Μπορεί να διορθωθεί μόνο με τον επανασχεδιασμό της λογικής και όχι με το να καθυστερήσει το ρολόι
 - Προσοχή ώστε να αποφεύγουν τέτοιες καταστάσεις

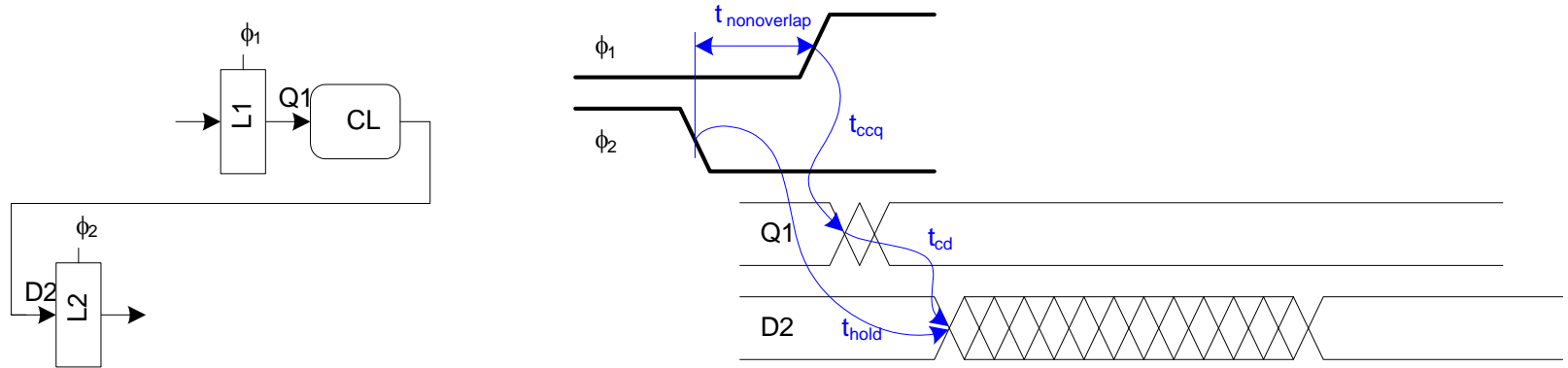
Min-Delay: Flip-Flops

$$t_{cd} \geq t_{hold} - t_{ccq}$$



- Το μονοπάτι ξεκινάει από την ανερχόμενη ακμή που σκανδαλίζει το $F1$. Το σήμα $Q1$ αρχίζει να αλλάζει μετά από t_{ccq} και το $D2$ μετά από t_{cd}
- Όμως η παλιά τιμή του $D2$ πρέπει να διατηρηθεί για t_{hold} . Άρα, η νέα τιμή δεν πρέπει να διαδοθεί πριν περάσει χρόνος t_{hold}
- Αν ισχύει η παραπάνω σχέση τότε μπορεί να συνδεθούν διαδοχικά τα F/Fs αλλιώς πρέπει να εισαχθεί καθυστέρηση (π.χ. buffers, ή αργά F/Fs)

Min-Delay: 2-Phase Latches (1/2)



➤ Το μονοπάτι καθυστέρησης ξεκινάει με τα δεδομένα να διέρχονται διαμέσου του $L1$ στον ανερχόμενο παλμό του $\phi1$

➤ Το $L2$ θα πρέπει να έχει γίνει αδιαφανές με ασφάλεια πριν το $L1$ γίνει διαφανές => τα δεδομένα πρέπει να φτάσουν στο $L2$ μετά από χρόνο που είναι μεγαλύτερος από τον t_{hold}

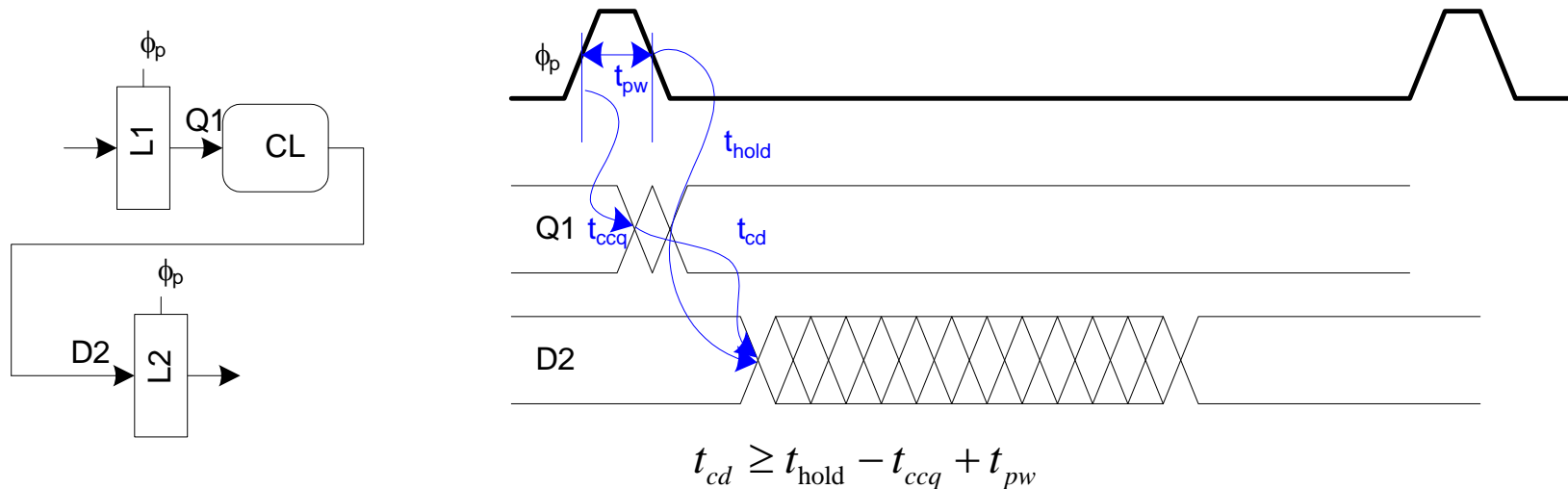
–Ο t_{hold} οριοθετείται από την κατερχόμενη παρυφή $\phi2$

➤ Καθώς οι ακμές διαχωρίζονται κατά $t_{nonoverlap}$, η ελάχιστη καθυστέρηση διαμέσου κάθε φάσης λογικής είναι $t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap}$

Min-Delay: 2-Phase Latches (2/2)

- Αν $t_{nonoverlap}$ είναι ικανοποιητικά μεγάλο τότε η αποτυχία χρόνου συγκράτησης μπορεί να αποφευχθεί τελείως
- Η παραγωγή και η διανομή ρολογιών χωρίς επικάλυψη είναι πολύ δύσκολη σε μεγάλες ταχύτητες
 - Χρήση του ρολογιού και του συμπληρωματικό του
 - $t_{nonoverlap}=0 \Rightarrow$ ίδιο περιορισμός της καθυστέρηση για latches & F/Fs
- **Παράδοξο.** Ο περιορισμός καθυστέρησης ισχύει για κάθε φάση
- Τα συστήματα με latches φαίνεται να απαιτούν συνολική καθυστέρηση διπλάσια συγκρινόμενα με τα αυτά με F/Fs
 - Όμως, τα F/Fs συνήθως υλοποιούνται από ένα ζεύγος latches
- **Επίλυση παράδοξου:** Το F/F έχει μια εσωτερική ανταγωνιστική κατάσταση ανάμεσα στους δύο μανδαλωτές
 - Το F/F πρέπει να σχεδιαστεί με προσοχή ώστε να λειτουργεί αξιόπιστα.

Min-Delay: Pulsed Latches



- Τα δεδομένα διαδίδονται μέσω του latch στην ανερχόμενη ακμή του παλμού
- Θα πρέπει να συγκρατηθούν μέχρις ότου περάσει η κατερχόμενη ακμή
- Έτσι, το πλάτος του παλμού αυξάνει το χρόνο συγκράτησης του παλμικού μανδαλωτή συγκρινόμενο με το F/F

- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

- Σε συστήματα βασισμένα σε F/Fs
- Τα δεδομένα διαβάζονται από το F/F στην 1^η ανερχόμενη ακμή
- Πρέπει να έχουν σταθεροποιηθεί (setup time) πριν την επόμενη ακμή
- **Αν υπάρξει καθυστέρηση τότε η λειτουργία δεν είναι σωστή**
- **Αν σταθεροποιηθούν πολύ γρήγορα τότε υπάρχει σπατάλη χρόνου**

➤ Σε συστήματα βασισμένα σε latches

- Τα δεδομένα μπορούν να μεταδοθούν όταν τα latches είναι διαφανή
- Τα δεδομένα αναχωρούν από το 1^ο latch στην ανερχόμενη ακμή
- Δεν απαιτείται να έχουν αποκατασταθεί μέχρι την επόμενη κατερχόμενη ακμή στο επόμενο latch

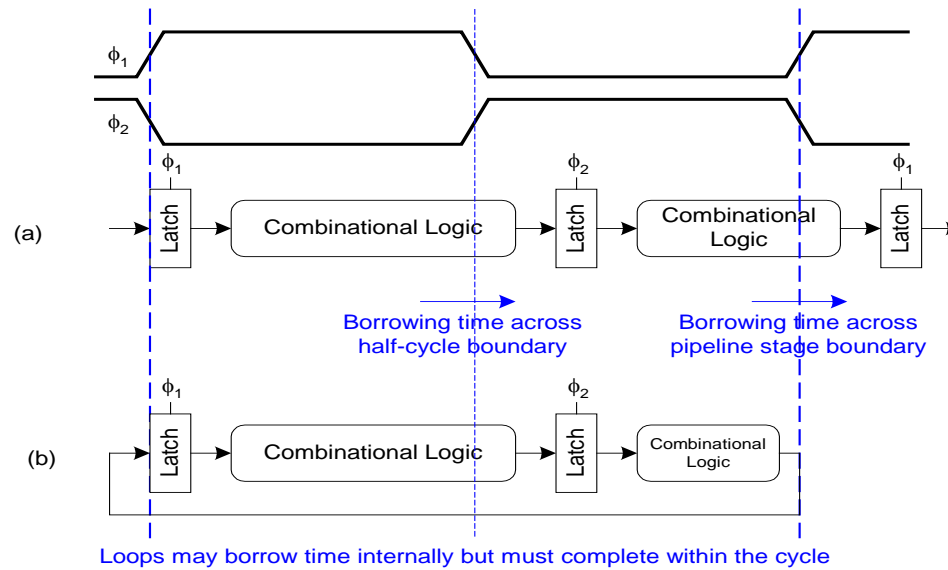
➤ Αν ένα στάδιο λογικής απαιτεί πολύ χρόνο μπορεί να δανειστεί χρόνο από το επόμενο στάδιο

- Ο δανεισμός χρόνου μπορεί να συσσωρευτεί δια μέσου πολλών κύκλων

➤ Σε συστήματα με ανάδραση

- Οι μεγάλες καθυστερήσεις θα πρέπει να ισορροπηθούν από μικρές καθυστερήσεις ώστε η επεξεργασία να ολοκληρωθεί στο διαθέσιμο χρόνο

Time Borrowing – Παράδειγμα



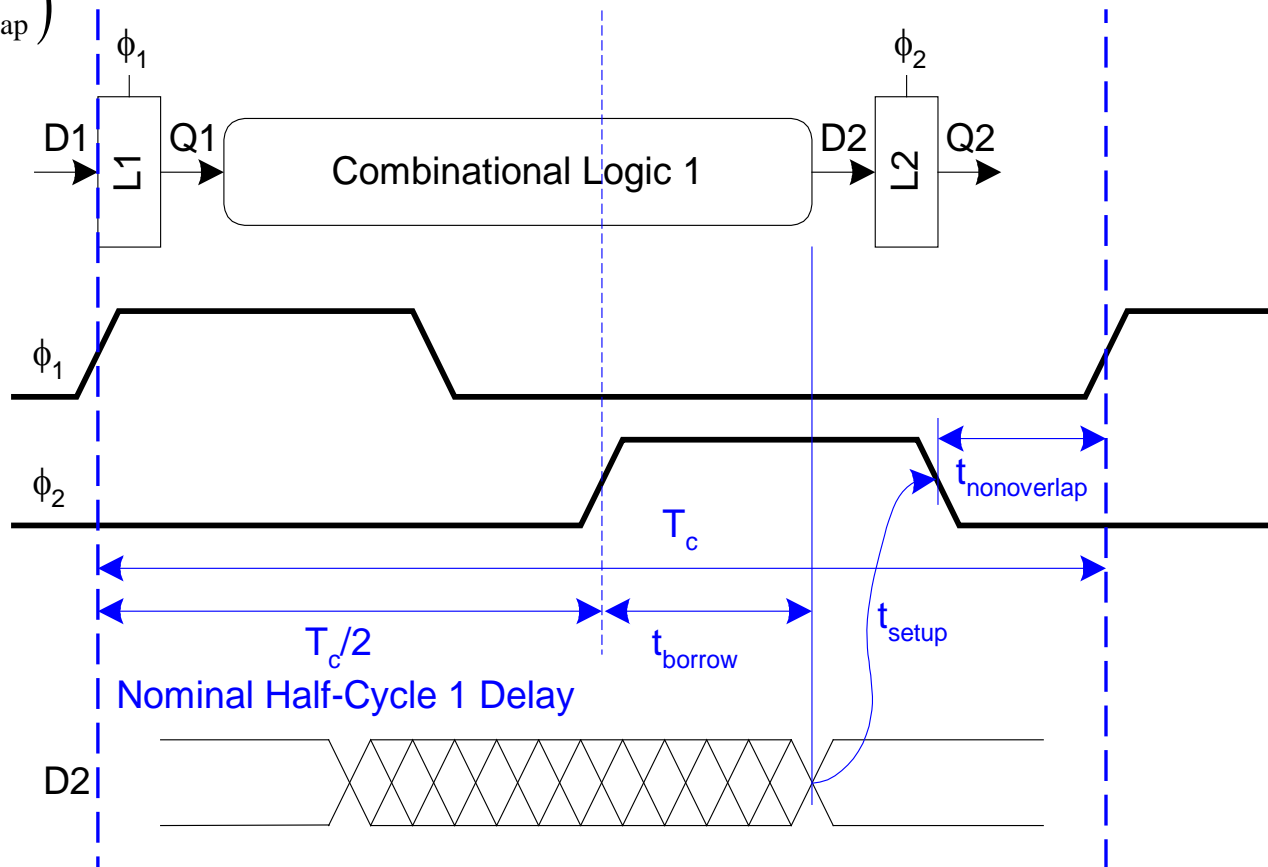
- **Η 1^η περίπτωση:** λογική με μεγάλη καθυστέρηση – δανεισμός χρόνου από τη 2^η φάση
- **Η 2^η περίπτωση:** βρόχος απλού κύκλου αυτό-παράκαμψης (bypass)
 - συνολική καθυστέρηση μικρότερη από έναν κύκλο ανάδρασης
- Τυπικό παράδειγμα είναι η βαθμίδα ALU ενός επεξεργαστή με pipeline
 - η ALU θα πρέπει να ολοκληρώσει μια πράξη και να επιστρέψει το αποτέλεσμα πίσω στην ALU (εντολή που εξαρτάται από αυτό το αποτέλεσμα)

2-Phase Latches

$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}})$$

Pulsed Latches

$$t_{\text{borrow}} \leq t_{pw} - t_{\text{setup}}$$



- **Εσκεμμένος Δανεισμός χρόνου:** Πιο εύκολη ισοστάθμιση της λογικής ανάμεσα στις βαθμίδες
- Πιο σύντομοι χρόνοι σχεδιασμού
- Η ισοστάθμιση μπορεί να γίνει κατά τη διαδικασία του σχεδιασμού
- Δεν χρειάζονται αλλαγές στο επίπεδο της μικρο-αρχιτεκτονικής
 - Μεταφορά λειτουργίων από τη μια βαθμίδα στην επόμενο

- **Ευκαιριακός δανεισμού χρόνου:** Ακόμη και ισοσταθμιστούν καθυστερήσεις σε κάθε βαθμίδα κατά τη διαδικασία του σχεδιασμού, θα υπάρχουν διαφορές από βαθμίδα σε βαθμίδα στο τελικό chip
 - Ατέλειες κατασκευής
 - Περιβαλλοντολογικές συνθήκες
 - Ανακρίβειες στο χρονικό μοντέλο CAD εργαλείου

- Σε ένα αυστηρά χρονισμένο σύστημα ο μεγαλύτερος κύκλος θέτει την περίοδο

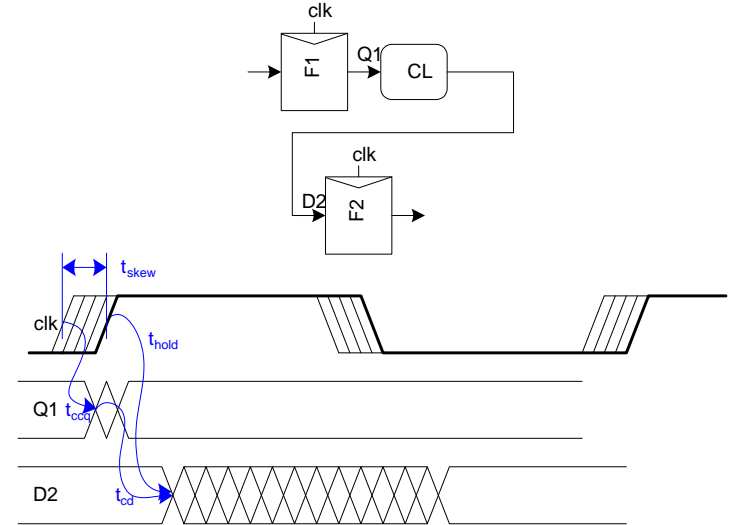
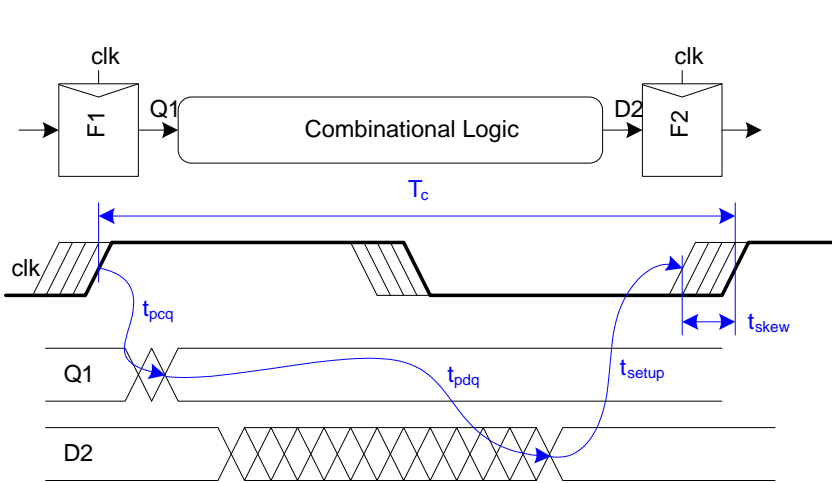
- Σε ένα σύστημα ικανό στο δανεισμό χρόνου, οι αργοί κύκλοι μπορούν ευκαιριακά να δανειστούν χρόνο από άλλους γρήγορους κύκλους, και να εξομαλυνθούν οι διαφορές

- Αρκετές φορές απαγορεύεται η χρήση του εσκεμμένου δανεισμού χρόνου έως ότου το chip φτάσει στο τελικό στάδιο (tape out)
- Αλλιώς, οι σχεδιαστές τείνουν να υποθέτουν ότι τα στάδια διοχέτευσης μπορούν να δανείζονται χρόνο από τα γειτονικά
 - Όταν αυτό γίνεται έντονα => πολλά μονοπάτια γίνονται υπερβολικά μεγάλα
- Όμως το πρόβλημα μπορεί να μην εντοπιστεί μέχρι τη φάση της πλήρους ανάλυσης χρονισμού του IC (full-chip timing analysis)
 - Τότε όμως είναι πολύ δύσκολο να ξανασχεδιαστούν πολλά μονοπάτια
- **Λύση:** ανάλυση χρονισμού για όλο το ολοκληρωμένο κύκλωμα αρκετά νωρίς κατά τη διαδικασία σχεδιασμού.

- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

- Μέχρι τώρα υποθέταμε ιδανικά σήματα ρολογιού χωρίς χρονικές αποκλίσεις (zero clock skew)
- Όμως η δημιουργία και διανομή του ρολογιού – ιδιαίτερα σε υψηλές συχνότητες & μεγάλα κυκλώματα– είναι εξαιρετικά δύσκολη
- Τα σήματα ρολογιού παρουσιάζουν αποκλίσεις συγχρονισμού (αποκλίσεις στους χρόνους αφίξεως)
 - Μείωση της μέγιστης καθυστέρησης διάδοσης της συνδυαστικής λογικής
 - Αύξηση της contamination καθυστέρησης
 - Μείωση του χρόνου δανεισμού

Απόκλιση Ρολογιού : Flip-Flops (1/2)

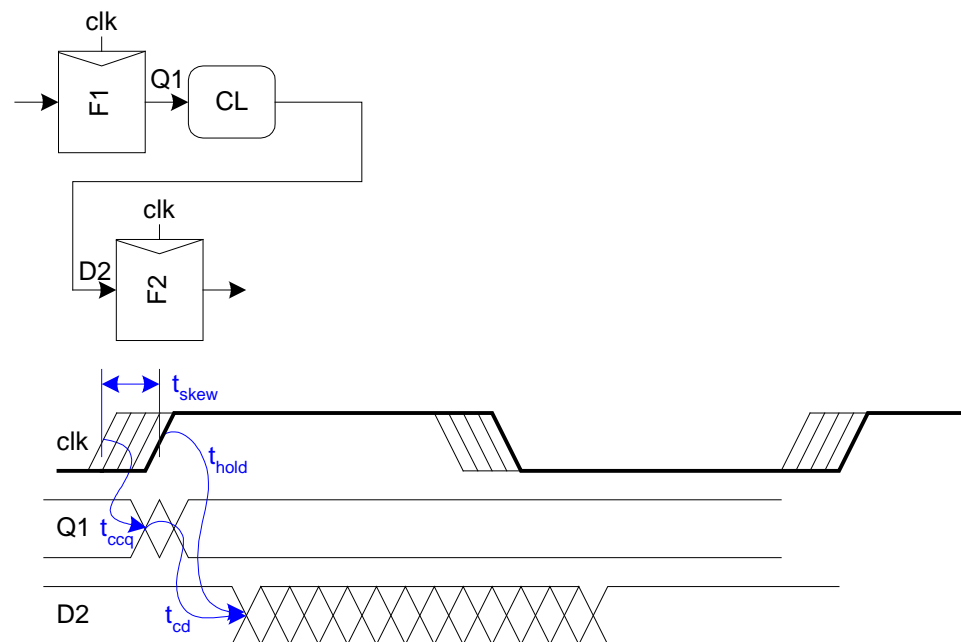
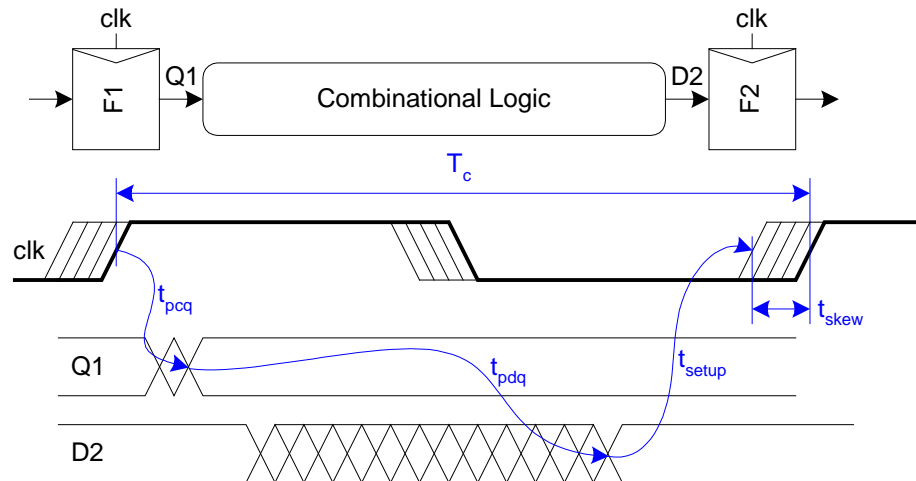


- Η έντονη γραμμή *clk* υποδεικνύει τον πιο καθυστερημένο πιθανό χρόνο άφιξης ενώ οι διακεκομμένες δείχνουν ότι το ρολόι μπορεί να αποκλίνει
- Το χειρίστο σενάριο για τη μέγιστη καθυστέρηση είναι όταν το F/F που ενεργοποιείται δέχεται το ρολόι αργά ενώ το επόμενο δέχεται το ρολόι νωρίς
- Τότε η χρονική απόκλιση ρολογιού αφαιρείται από το χρόνο που είναι διαθέσιμος για υπολογισμούς και εμφανίζεται ως ακολουθιακή επιβάρυνση.

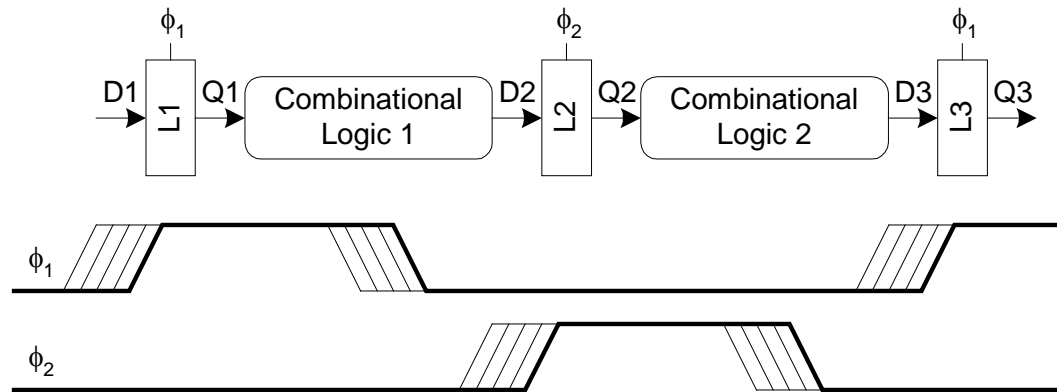
Απόκλιση Ρολογιού : Flip-Flops (2/2)

$$t_{pd} \leq T_c - \underbrace{(t_{pcq} + t_{setup} + t_{skew})}_{\text{sequencing overhead}}$$

$$t_{cd} \geq t_{hold} - t_{ccq} + t_{skew}$$



Απόκλιση Ρολογιού : Latches (1/2)



➤ Σε σύστημα που χρησιμοποιεί διαφανείς μανδαλωτές, η χρονική απόκλιση δεν υποβαθμίζει τις επιδόσεις

➤ Ο πλήρης κύκλος (μικρότερος από δύο καθυστερήσεις μανδαλωτών) είναι διαθέσιμος για τους υπολογισμούς ακόμη και όταν τα ρολόγια έχουν χρονική απόκλιση

– Τα δεδομένα μπορεί ακόμη να φτάσουν στους μανδαλωτές ενώ είναι διαφανείς.

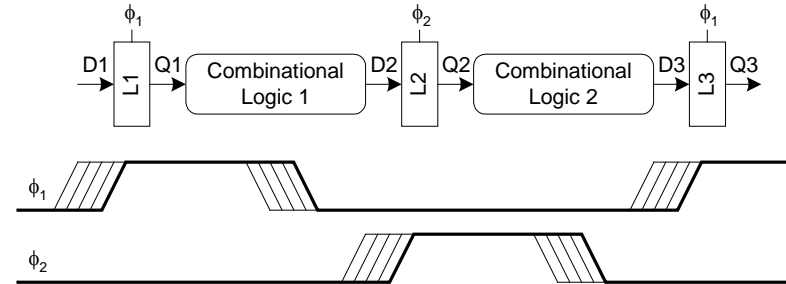
➤ Τα συστήματα που βασίζονται σε μανδαλωτές παρουσιάζουν ‘ανοχή-στη-χρονική-απόκλιση’

2-Phase Latches

$$t_{pd} \leq T_c - \underbrace{(2t_{pdq})}_{\text{sequencing overhead}}$$

$$t_{cd1}, t_{cd2} \geq t_{\text{hold}} - t_{ccq} - t_{\text{nonoverlap}} + t_{\text{skew}}$$

$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}} + t_{\text{skew}})$$



Pulsed Latches

$$t_{pd} \leq T_c - \underbrace{\max(t_{pdq}, t_{pcq} + t_{\text{setup}} - t_{pw} + t_{\text{skew}})}_{\text{sequencing overhead}}$$

$$t_{cd} \geq t_{\text{hold}} + t_{pw} - t_{ccq} + t_{\text{skew}}$$

$$t_{\text{borrow}} \leq t_{pw} - (t_{\text{setup}} + t_{\text{skew}})$$

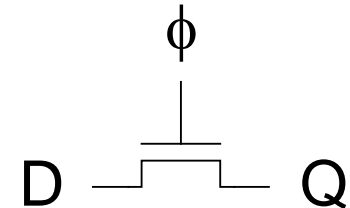
Πίνακας 7.4 Συγκρίσεις των στοιχείων ακολουθίας

	Ακολουθιακή επιβάρυνση $(T_c - t_{pd})$	Ελάχιστη Καθυστέρηση Λογικής t_{cd}	Δανεισμός χρόνου t_{borrow}
Flip-flops	$t_{pcq} + t_{setup} + t_{skew}$	$t_{hold} - t_{ccq} + t_{skew}$	0
Διαφανείς Μαν-δαλωτές δύο φάσεων	$2t_{pdq}$	$t_{hold} - t_{ccq} - t_{nonoverlap} + t_{skew}$ σε κάθε ημικύκλιο	$\frac{T_c}{2} - (t_{setup} + t_{nonoverlap} + t_{skew})$
Παλμικοί μαν-δαλωτές	$\max(t_{pdq}, t_{pcq} + t_{setup} - t_{p\omega} + t_{skew})$	$t_{hold} - t_{ccq} - t_{nonoverlap} + t_{skew}$	$t_{p\omega} - (t_{setup} + t_{skew})$

- Ακολουθιακή Λογική – Βασικές Έννοιες
- Μέθοδοι Χρονικής Ακολουθίας
- Διαγράμματα Χρονισμού
- Max and Min-Delay Περιορισμοί
- Δανεισμός Χρόνου (Time Borrowing)
- Απόκλιση Ρολογιού (Clock Skew)
- Σχεδιασμός Ακολουθιακών Στοιχείων

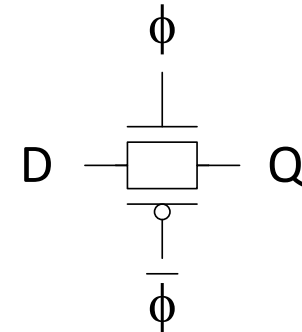
- Απλός σχεδιασμός – Μικρή επιφάνεια & σχετικά γρήγορο
 - Όταν $\phi=1$ η είσοδος D μεταφέρεται στην έξοδο (διαφανές)
 - Όταν $\phi=0$ η έξοδος είναι απομονωμένη (μη διαφανές)

- Έχει 4 βασικά προβλήματα



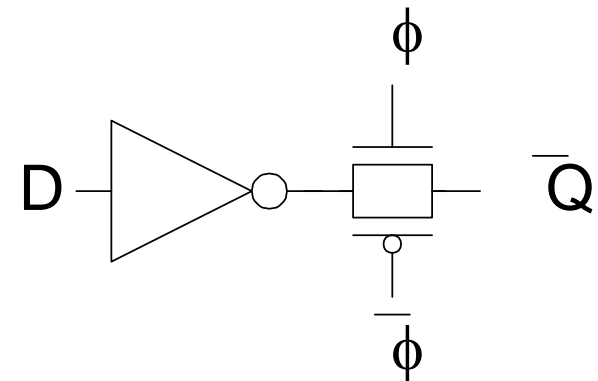
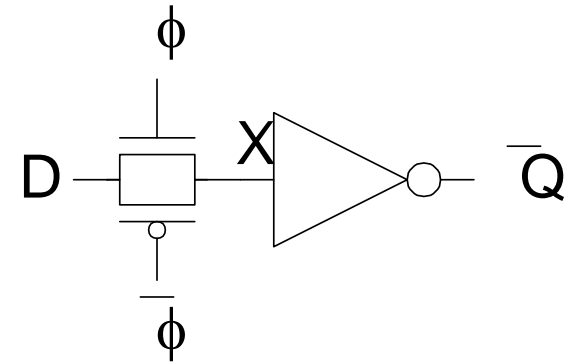
- Η έξοδος δεν εκτελεί πλήρης μεταβάσεις (rail-to-rail)
 - Ποτέ δεν αυξάνει πάνω από $V_{DD}-V_t$
- Η έξοδος είναι «δυναμική»
 - Αιωρείται (float) όταν $\phi=0$. Αλλοίωση λογικής από ρεύματα διαρροής όταν $\phi=0$ για πολύ χρόνο
- Η είσοδος D οδηγεί απευθείας την είσοδο διάχυσης του τρανζίστορ
 - Ευαίσθητο στο θόρυβο – Μπορεί να άγει και με $\phi=0$
 - Δύσκολη μοντελοποίηση καθυστέρησης με στατικούς αναλυτές χρόνου
- Ο κόμβος κατάστασης Q είναι εκτεθειμένος
 - Θόρυβος στην έξοδο μπορεί να αλλοιώσει την κατάσταση

- Όταν $\phi=1$ η είσοδος D μεταφέρεται στην έξοδο (διαφανές)
- Όταν $\phi=0$ η έξοδος είναι απομονωμένη (μη διαφανές)
- Προσφέρει πλήρη ταλάντωση στην έξοδο
 - $V_{dd} \leftarrow \rightarrow GND$
- Απαιτεί ένα συμπληρωματικό ρολόι ϕ
 - Μπορεί να παρέχεται ως μια επιπρόσθετη είσοδος ή να δημιουργείται τοπικά (εσωτερικά του κυττάρου) από το ϕ με τη χρήση ενός αντιστροφέα

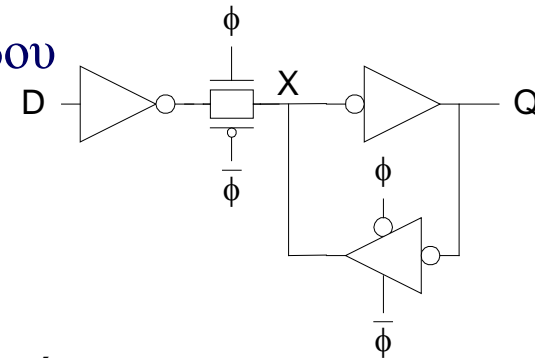
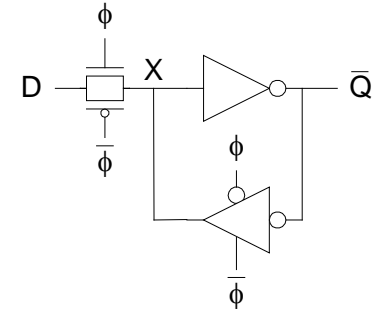


Σχεδιασμός Latch – Transmission Gates

- Προσθήκη αντιστροφέα στην έξοδο
 - Απομόνωση κόμβου κατάστασης X από το θόρυβο
- Δημιουργεί ανάστροφο μανδαλωτή
- Απομονωμένη είσοδος αλλά όχι απομονωμένη έξοδος
- Ανάστροφος μανδαλωτής
- Ο αντιστροφέας που ακολουθείται από πύλη μετάδοσης είναι ισοδύναμος με ένα αντιστροφέα τριών καταστάσεων
 - Ελαφρώς χαμηλότερο λογικό φόρτο
 - Η έξοδος οδηγείται παράλληλα και από τα δύο τρανζίστορ της πύλης μετάδοσης.
- Και τα δύο είναι γρήγοροι δυναμικοί μανδαλωτές



- Διαρροές ρεύματος => πρόβλημα για τα δυναμικά latches
- Τα στατικά latches προσθέτουν ανάδραση => αποφεύγεται η αιώρηση της εξόδου
- Όταν $\phi=1$ η πύλη μετάδοσης είναι ON και το latch διαφανές
- Όταν το $\phi=0$ η πύλη μετάδοσης είναι OFF ενώ ο tristate buffer είναι ON => διατήρηση της τιμής του κόμβου X
- Χρήση αντιστροφέα στην είσοδο – αντιμετώπιση θορύβου από την άμεση οδήγηση της διάχυσης της πύλης μετάδοσης
- Και τα δύο έχουν πρόβλημα με το θόρυβο στην έξοδο
 - Η ανάδραση μεταφέρει το θόρυβο πίσω και αλλοιώνει την τιμή του κόμβου κατάστασης X



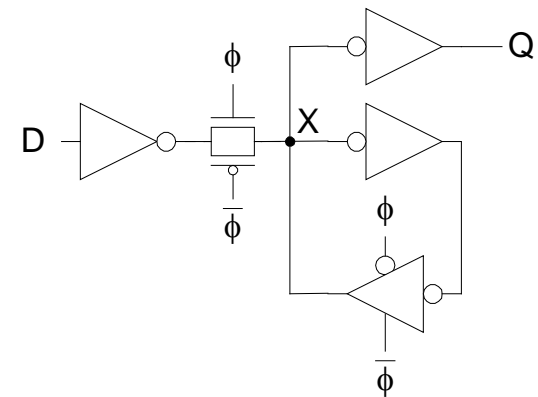
Σχεδιασμός Latch – Static

➤ Είναι το πλέον στιβαρό (robust) latch που αντιμετωπίζει όλες τις αδυναμίες

- Ο μανδαλωτής είναι στατικός
- Όλοι οι κόμβοι εκτελούν πλήρης μεταβάσεις ($V_{dd} \leftrightarrow GND$)
- Ο θόρυβος κατάστασης απομονώνεται από το θόρυβο της εξόδου
- Η είσοδος οδηγεί τις πύλες των τρανζίστορ παρά διαχύσεις

➤ Μειονεκτήματα

- Μεγάλη επιφάνεια
- Σχετικά αργό (1.5 – 2 FO4 delays)
- Χρήση ρολογιού 4 φορές

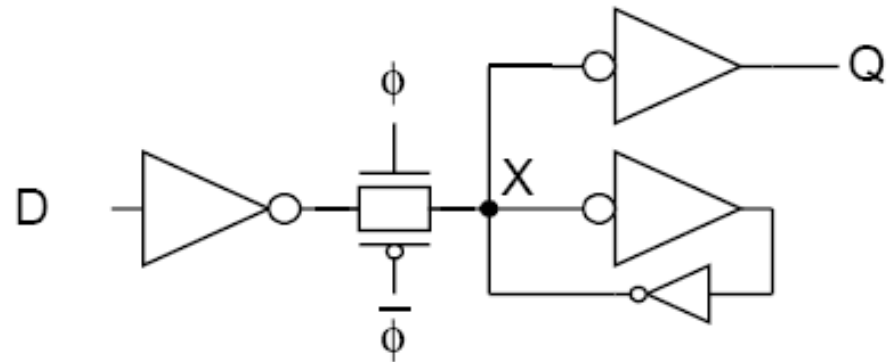


➤ Είναι από τα πλέον χρησιμοποιούμενα latch

- Εκτός από ειδικές περιπτώσεις (υψηλή ταχύτητα, μικρή επιφάνεια)

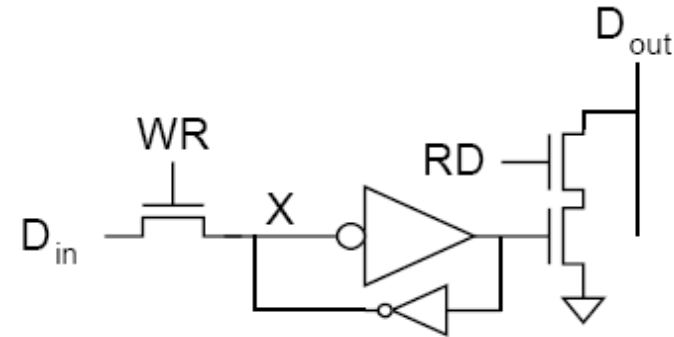
- Παραλλαγή του προηγούμενου
 - Μείωση του φορτίου στο ρολόι
 - Χρήση weak inverter αντί δυναμικής πύλης (tristate buffer)
 - Δύο τρανζίστορ λιγότερα

- Απαιτεί προσεχτικό σχεδιασμό
 - Ο tristate buffer στην είσοδο πρέπει να υπερνικά πάντα τον αντιστροφέα ανάδρασης (weak inverter)



➤ Latch σε FPGAs

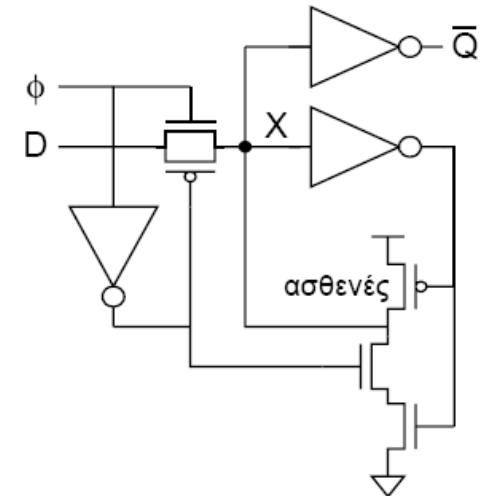
- Αρκετά τέτοια latches συνδέονται με ένα μόνο καλώδιο D_{out}
- Μόνο ένα ενεργοποιείται κάθε στιγμή, με το σήμα RD



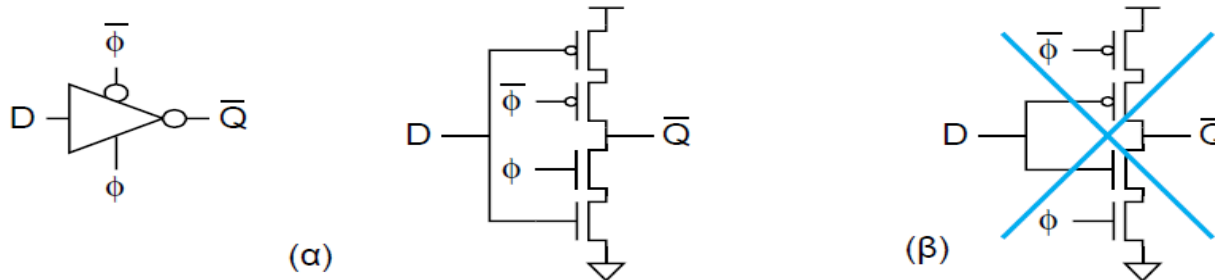
➤ Latch στον Itanium 2

- Στη στατική ανάδραση, ο σωρός οδήγησης «κάτω» είναι χρονισμένος με το ρολόι
- Ο σωρός οδήγησης «πάνω» είναι ένα ασθενές τρανζίστορ pMOS

➤ Η πύλη που οδηγεί την είσοδο πρέπει να είναι αρκετά δυνατή για να υπερνικήσει την ανάδραση

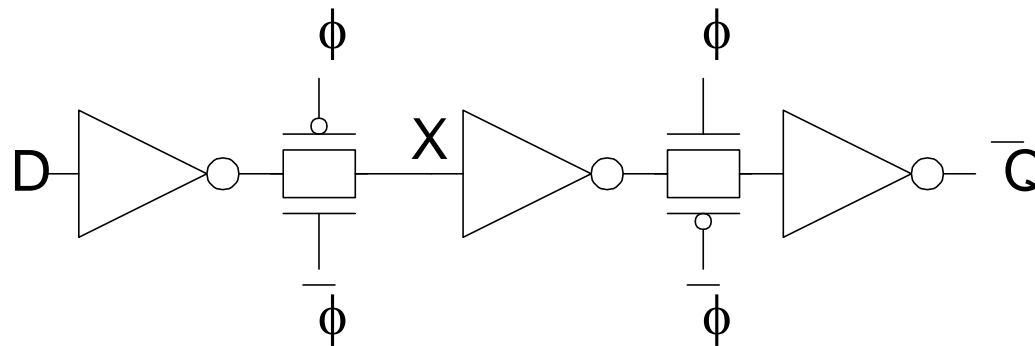


C²MOS Latch



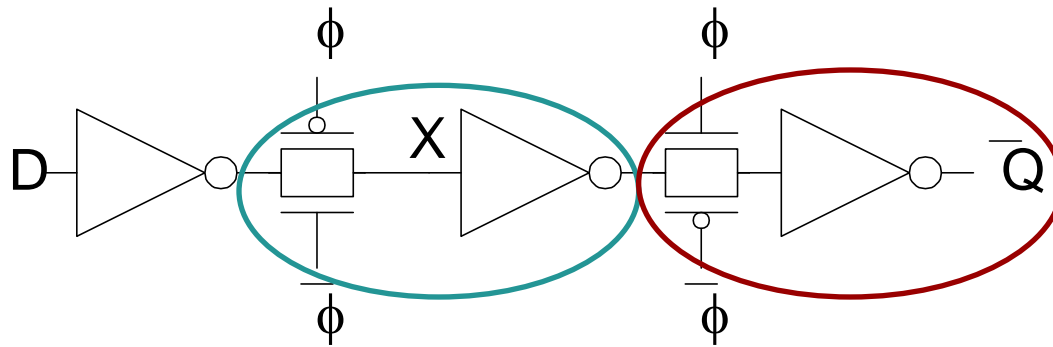
- Ο δυναμικός μανδαλωτής μπορεί επίσης να σχεδιαστεί ως ένα τρισταθές στοιχείο χρονισμένο στο ρολόι. Μια τέτοια μορφή ονομάζεται χρονισμένη CMOS (Clocked CMOS, C²MOS)
- Η συμβατική μορφή (αντιστροφέας & πύλη μετάδοσης) είναι ελαφρώς πιο γρήγορη
 - Η έξοδος οδηγείται διαμέσου των nMOS και pMOS τα οποία λειτουργούν παράλληλα
- Το Σχήμα β δείχνει μια άλλη μορφή όπου αντιμεταθέτει τους ακροδέκτες των δεδομένων και του ρολογιού
- Είναι λογικά ισοδύναμη αλλά έχει χειρότερη ηλεκτρική συμπεριφορά
 - Αν το D αλλάζει ενώ ο μανδαλωτής είναι διαφανής μπορεί να προκαλέσει θόρυβο διαμοιρασμού φορτίου στον κόμβο εξόδου

Dynamic F/F



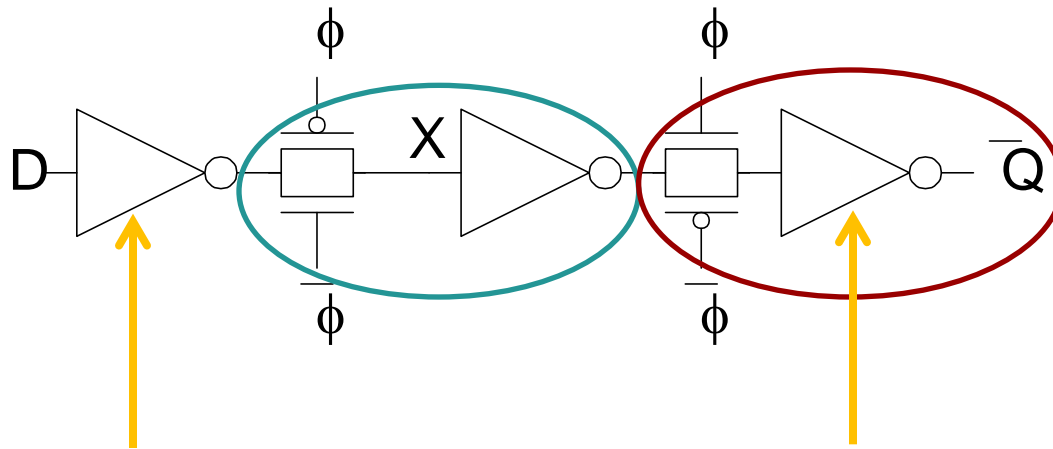
- Δυναμικό F/F αντιστροφής (υλοποιεί τη συμπληρωματική έξοδο Q')

Dynamic F/F



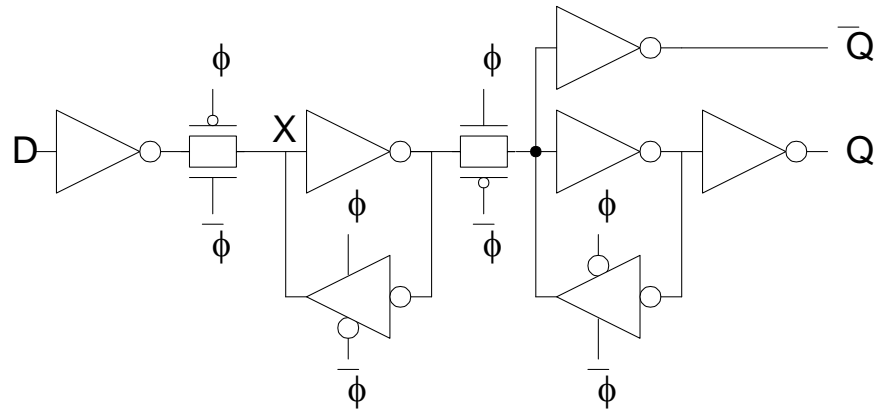
- Δυναμικό F/F αντιστροφής (υλοποιεί τη συμπληρωματική έξοδο Q')
- Αποτελείται από ένα ζεύγος δυναμικών μανδαλωτών διαδοχικά συνδεδεμένων

Dynamic F/F



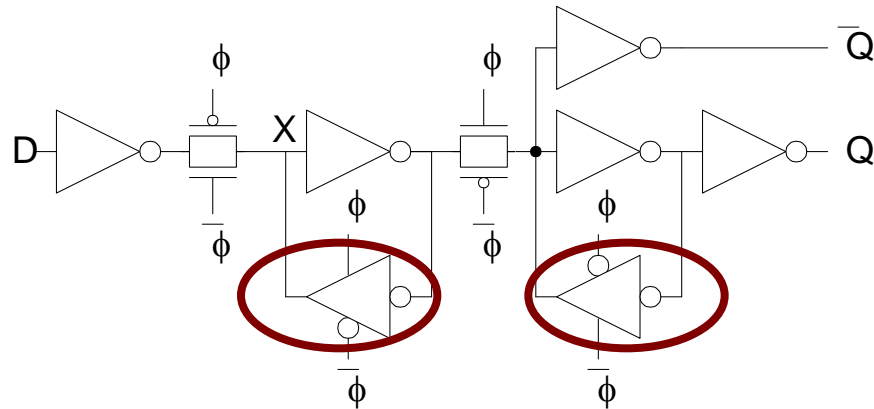
- Δυναμικό F/F αντιστροφής (υλοποιεί τη συμπληρωματική έξοδο Q')
- Αποτελείται από ένα ζεύγος δυναμικών μανδαλωτών διαδοχικά συνδεδεμένων
- Μπορεί να απομακρυνθεί είτε ο πρώτος είτε ο τελευταίος αντιστροφέας ώστε να μειωθεί η καθυστέρηση
- Όμως δημιουργούνται προβλήματα θορύβου
 - Η είσοδος ή έξοδος δεν θα είναι απομονωμένη στο θόρυβο

Static F/F



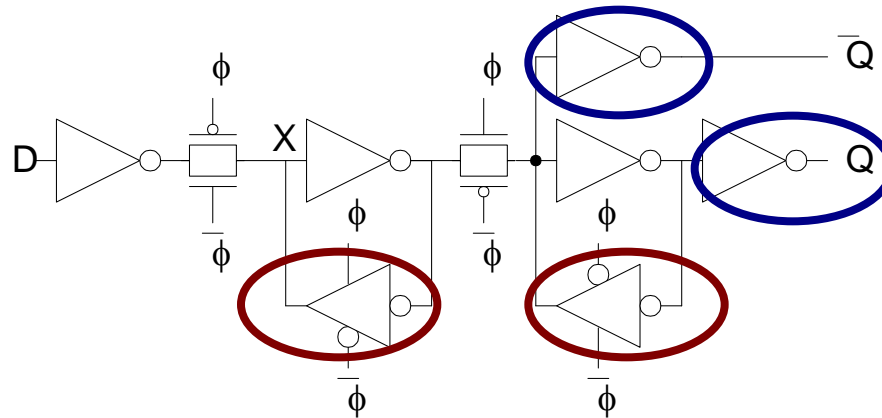
- Βασίζεται στο προηγούμενο F/F – Παράγει στατικές Q, Q' εξόδους
- Περιλαμβάνει

Static F/F



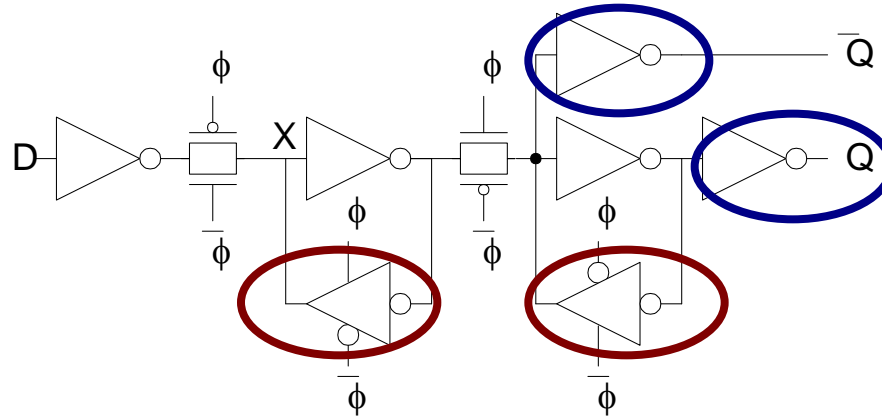
- Βασίζεται στο προηγούμενο F/F – Παράγει στατικές Q , Q' εξόδους
- Περιλαμβάνει
 - Ανάδραση

Static F/F



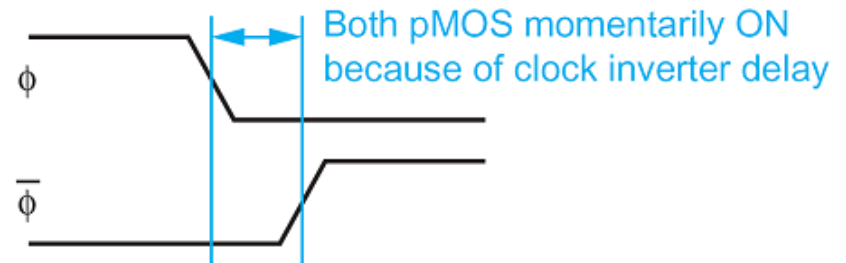
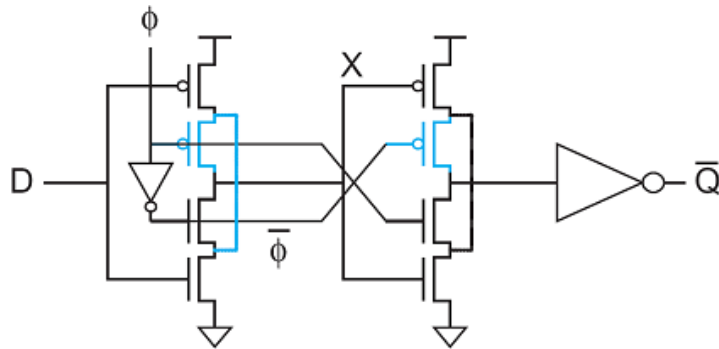
- Βασίζεται στο προηγούμενο F/F – Παράγει στατικές Q , Q' εξόδους
- Περιλαμβάνει
 - Ανάδραση
 - Επιπλέον αντιστροφείς

Static F/F



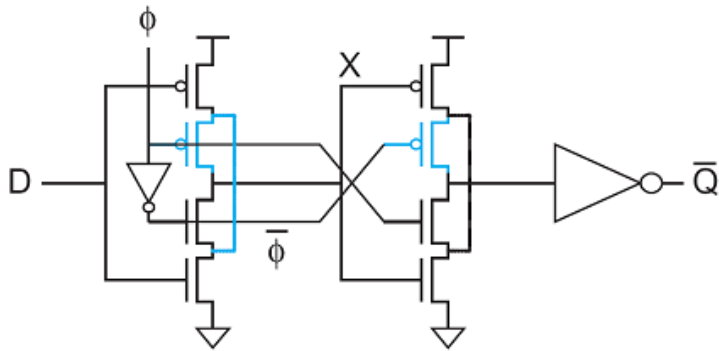
- Βασίζεται στο προηγούμενο F/F – Παράγει στατικές Q, Q' εξόδους
- Περιλαμβάνει
 - Ανάδραση
 - Επιπλέον αντιστροφείς
- Είναι από τα πλέον χρησιμοποιούμενα F/Fs σε βιβλιοθήκες τυποποιημένων κυκλωματικών κυττάρων (standard cell libraries) καθώς χαρακτηρίζεται από:
 - Απλότητα
 - Ευστάθεια
 - Ικανοποιητική ενεργειακή απόδοση

NORA Dynamic Flip-Flop (1/3)

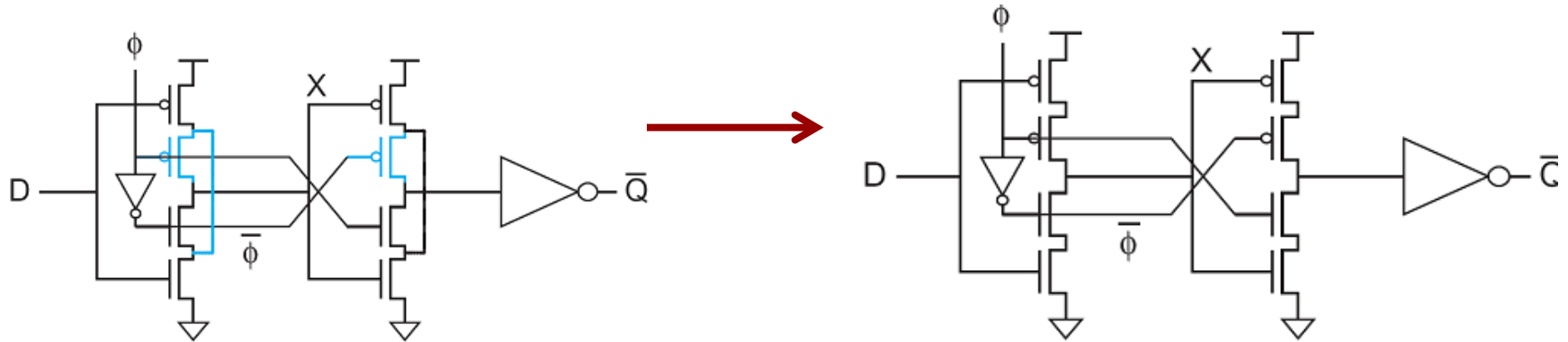


- Κάθε F/F αποτελείται από 2 latches => εν δυνάμει συναγωνισμός μεταξύ τους
- Λόγω της καθυστέρησης του αντιστροφέα, ο ανταγωνισμός μπορεί να οξυνθεί από τη χρονική απόκλιση ανάμεσα στο ρολόι φ και στο φ'
- Όταν πέφτει το φ, τότε το φ αλλά και το φ' είναι ταυτόχρονα σε χαμηλή στάθμη => τα pMOS είναι ON και στις δύο πύλες μετάδοσης
- Αν η χρονική απόκλιση (καθυστέρηση αντιστροφέα) είναι πολύ μεγάλη τα δεδομένα μπορεί να διέλθουν διαμέσου και των δύο latches κατά την κατερχόμενη ακμή του ρολογιού => λανθασμένη λειτουργία

NORA Dynamic Flip-Flop (2/3)

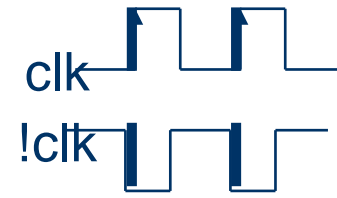
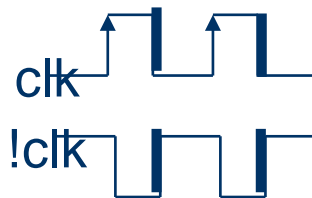
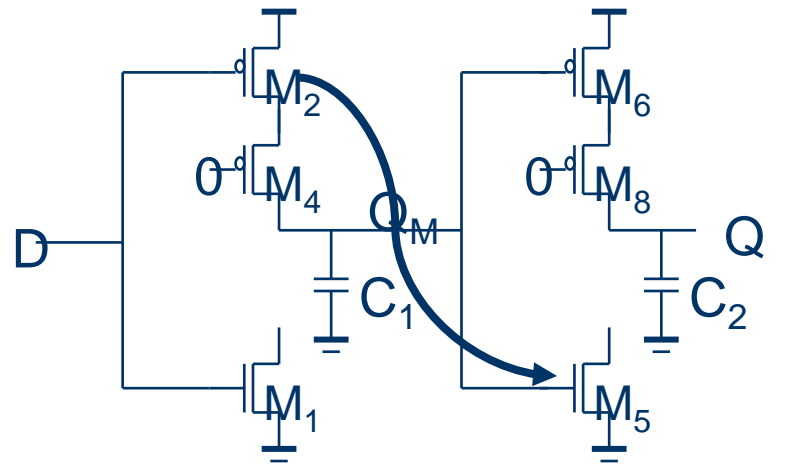
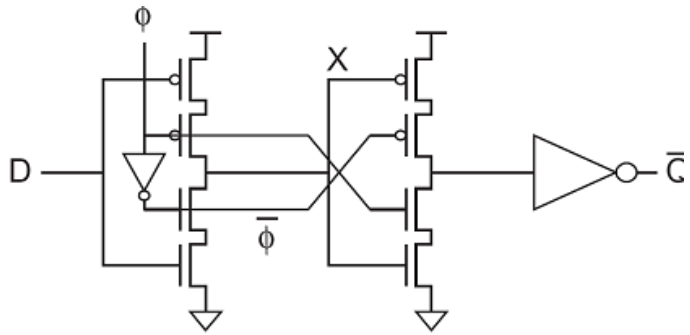


NORA Dynamic Flip-Flop (2/3)



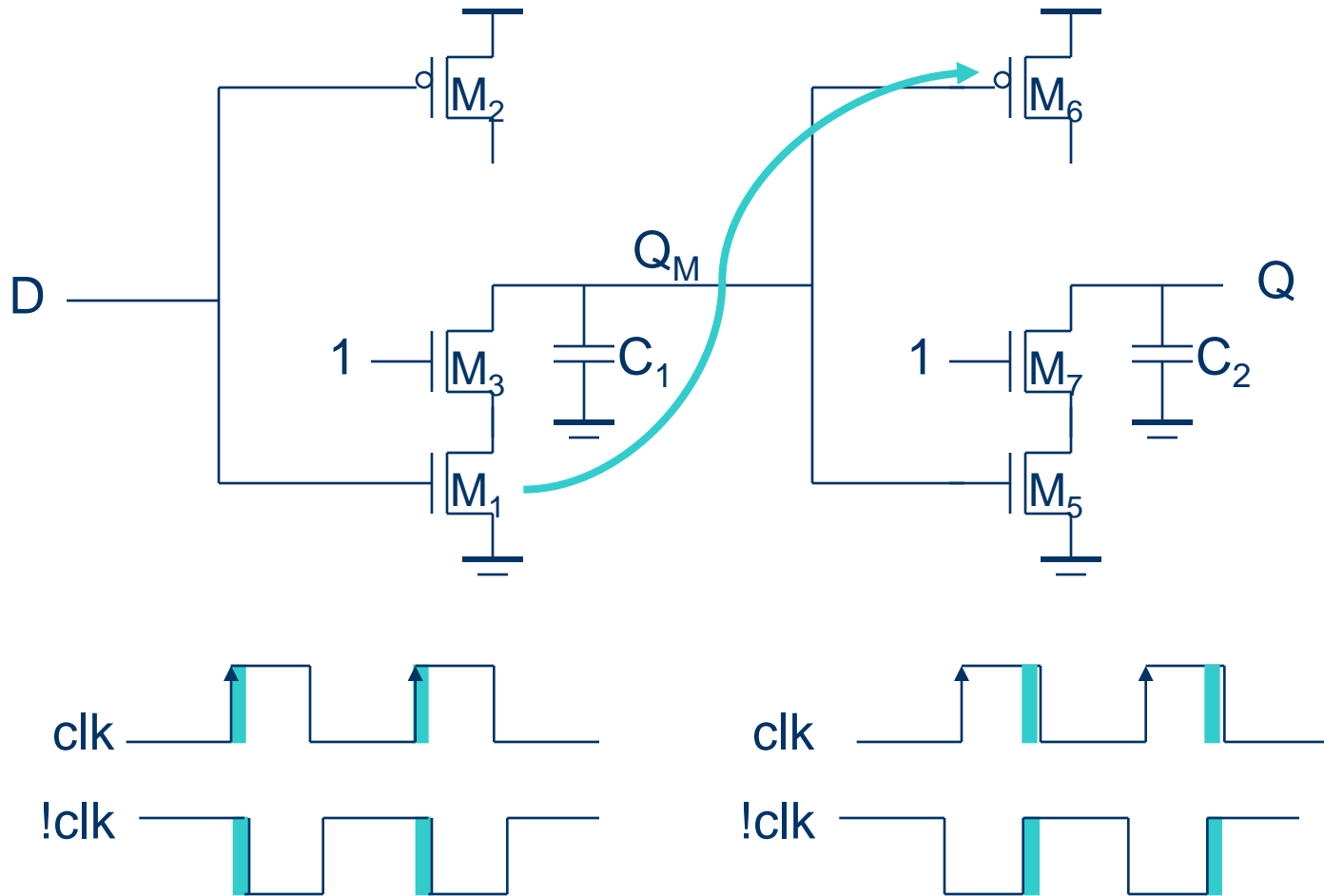
- C²MOS flip-flop με latches C²MOS (αντί αντιστροφείς & πύλες μετάδοσης)
- Επειδή η κάθε βαθμίδα αντιστρέφει
 - τα δεδομένα διέρχονται από τα nMOS του ενός latch και του pMOS του άλλου
- **Αποφυγή κινδύνων λόγω χρονικής απόκλισης για τα δύο χρονισμένα στο ρολόι pMOS**
 - Ισχύει και όταν τοποθετηθεί άρτιος αριθμός αντιστροφών λογικών βαθμίδων ανάμεσα στα latches
- Αυτή η τεχνική ονομάζεται *χωρίς ανταγωνισμό* (No RAce, **NORA**)

NORA 0-0 Overlap

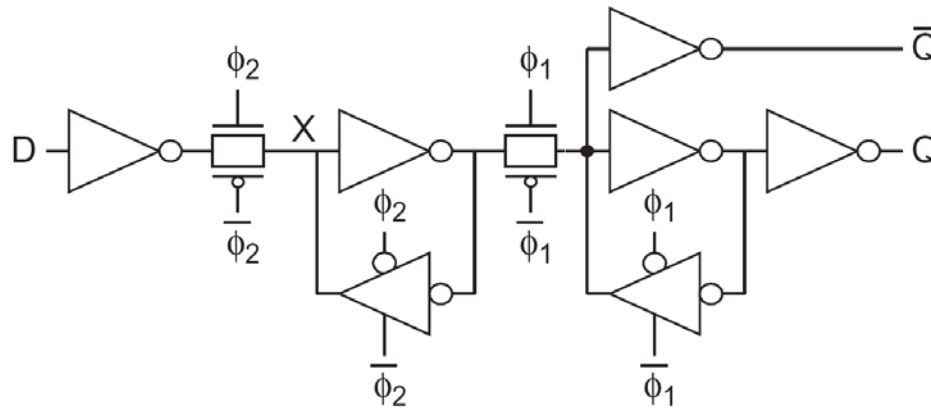


➤ Η έξοδος είναι απομονωμένη από την είσοδο

NORA 1-1 Overlap



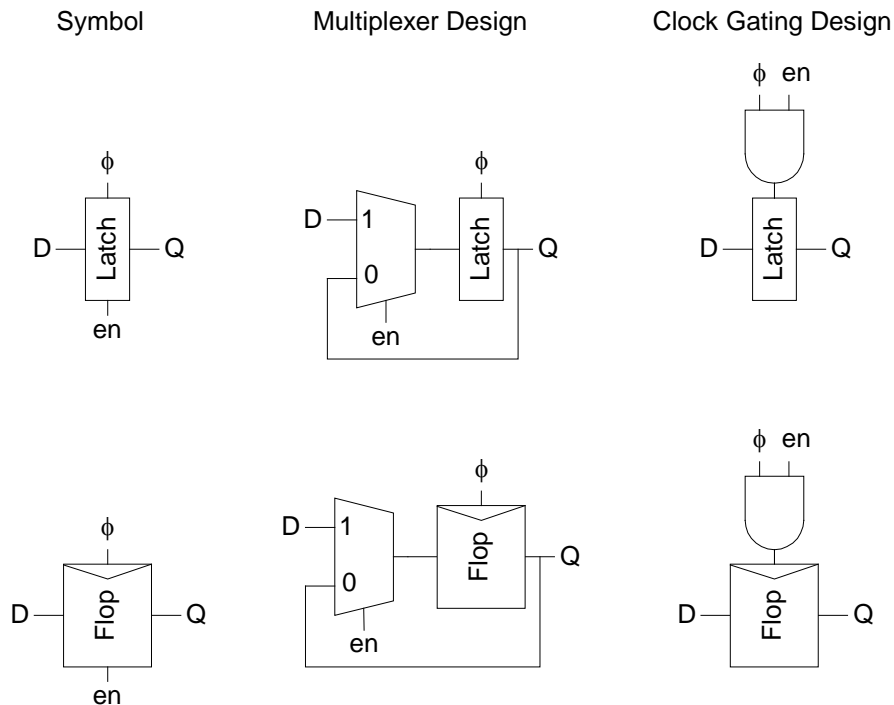
Two Phase F/F



- Τα προηγούμενα F/Fs παρουσιάζουν προβλήματα ελαχίστης καθυστέρησης
 - Ειδικά όταν υπάρχει λίγη ή καθόλου λογική ανάμεσα στα F/Fs και η χρονική απόκλιση είναι μεγάλη
- **Εναλλακτικά:** χρήση ζεύγος από ρολόγια μη επικαλυπτόμενων φάσεων
- Το F/F παίρνει την είσοδό του στην ανερχόμενη ακμή του ϕ_1
- **Κάνοντας το εύρος της μη επικάλυψης μεγάλο, το κύκλωμα θα λειτουργήσει σωστά παρά τις μεγάλες χρονικές αποκλίσεις**
- Όμως, ο χρόνος της μη επικάλυψης δε χρησιμοποιείται από τη λογική => αύξηση χρόνου αποκατάστασης και ακολουθιακής επιβάρυνσης

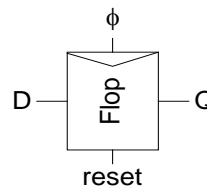
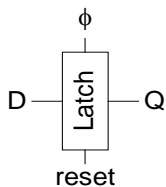
Enabled Latches & F/Fs

- **Enable:** το clock αγνοείται όταν $en = 0$
- **Mux:** αυξάνει τη latch D-Q delay και την επιφάνεια
- **Clock Gating:** αυξάνει skew & en setup time (πρέπει $en=1$ όταν $clock=1$ για αποφυγή glitches). Μείωση της κατανάλωσης (gated clock)

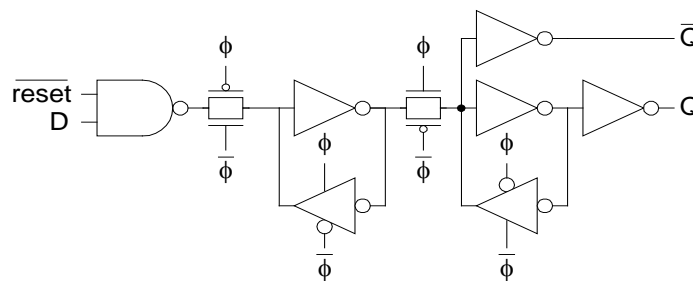
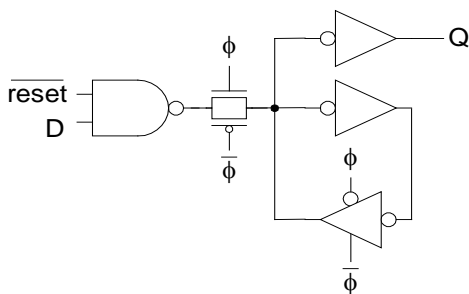


➤ Synchronous έναντι asynchronous

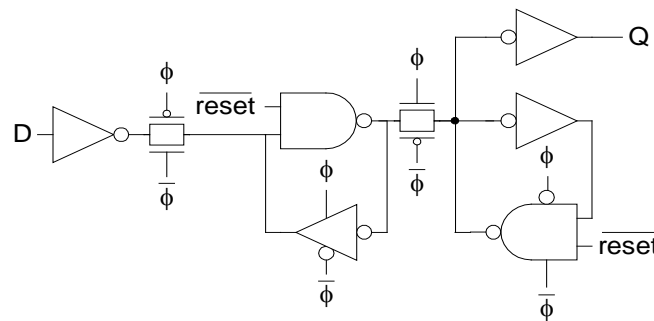
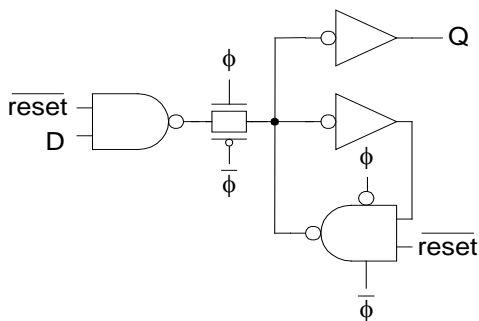
Symbol



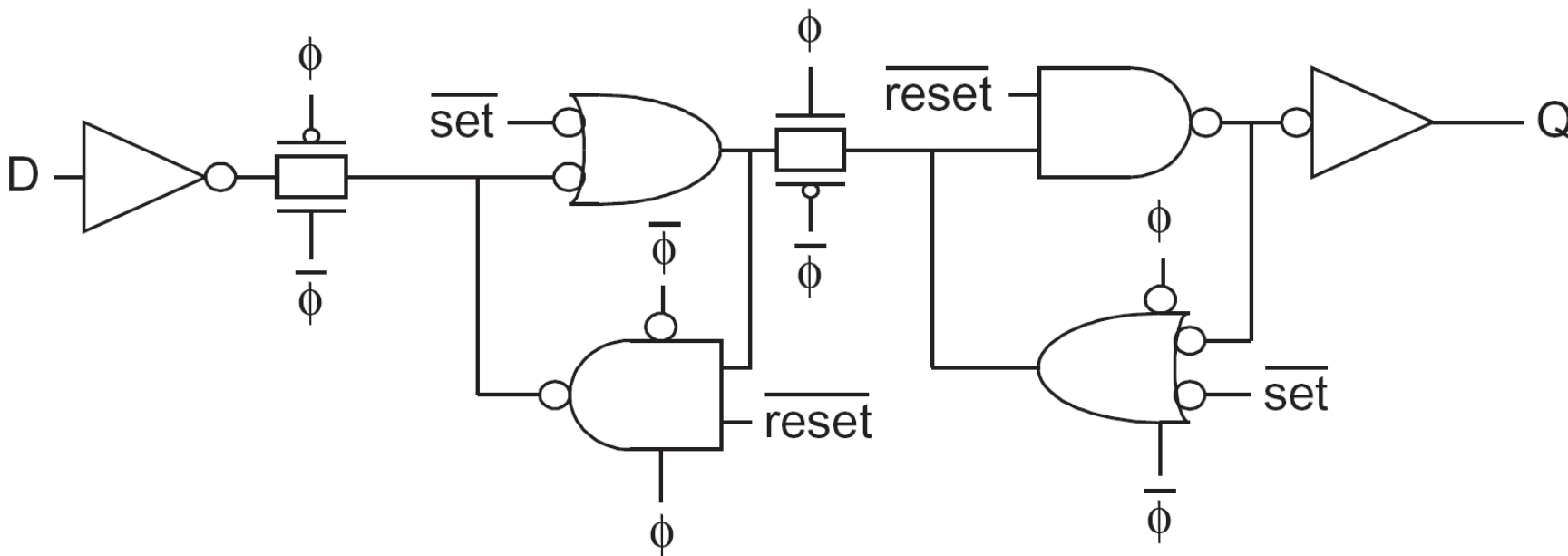
Synchronous Reset



Asynchronous Reset



F/F με σύγχρονο Set & reset



- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,
Βασίλης Παλιουράς, Γεώργιος Θεοδωρίδης,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II».
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση
<https://eclass.upatras.gr/courses/EE892/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ