



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα ΠΠ

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Υποσυστήματα Διατάξεων

- Εισαγωγή
- Μνήμη ROM
- Μνήμες σειριακής προσπέλασης
- Μνήμες διευθυνσιοδοτούμενες από τα δεδομένα (CAM)
- Προγραμματιζόμενες λογικές διατάξεις

Κατηγορίες μνημών ROM

- **Mask:** Τα περιεχόμενα ενσωματώνονται κατά την διαδικασία κατασκευής και δε μπορούν να αλλάξουν
- **PROM:** μπορεί να προγραμματιστεί μία φορά μετά την κατασκευή τήκοντας ασφάλειες με εφαρμογή υψηλής τάσης προγραμματισμού
- **EPROM:** διαγραφή με έκθεση σε UV ακτινοβολία για μερικά λεπτά (απομάκρυνση φορτίου από πύλη) – προγραμματίζεται με εναπόθεση φορτίου σε μία αιωρούμενη πύλη
- **EEPROM:** παρόμοιες με τις EPROM, μπορούν να επανα-προγραμματισθούν σε μs με κύκλωμα μέσα στο chip
- **Flash:** μία παραλλαγή των EEPROM, σβήνονται ολόκληρα μπλοκ αντί για ξεχωριστά bit
 - Μικρή επιφάνεια ανά bit => υψηλή πυκνότητα ολοκλήρωσης
 - Εύκολος προγραμματισμός (χαμηλές τάσεις)
 - Υψηλή ταχύτητα
 - Έχουν αντικαταστήσει όλους τους άλλους τύπους ROM στα σύγχρονα συστήματα

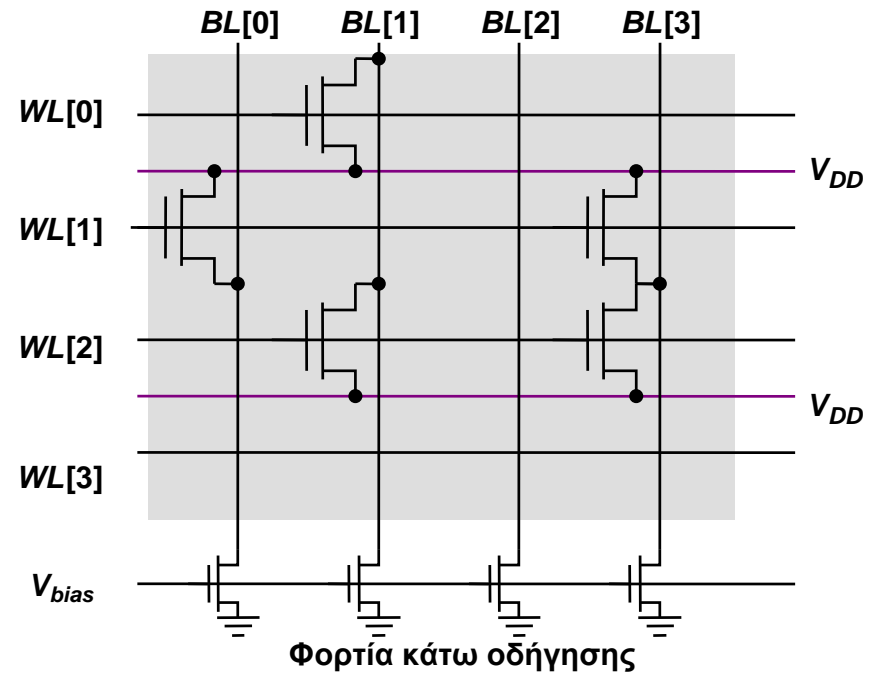
- Εισαγωγή
- Μνήμη ROM
- Μνήμες σειριακής προσπέλασης
- Μνήμες διευθυνσιοδοτούμενες από τα δεδομένα (CAM)
- Προγραμματιζόμενες λογικές διατάξεις

- Οι μνήμες Ανάγνωσης-μόνο (Read-Only Memories – ROMs) είναι μη πτητικές
 - Διατηρούν τα δεδομένα και με απουσία τροφοδοσίας
- Το κάθε κύτταρο μνήμης υλοποιείται με 1 μόνο τρανζίστορ
- Ανάλογα με την οργάνωση η παρουσία ή απουσία τρανζίστορ αντιστοιχεί σε μία λογική τιμή (0, 1)
- Τύποι οργάνωσης
 - OR
 - NOR
 - NAND

Προγραμματισμός μνημών τύπου ROM

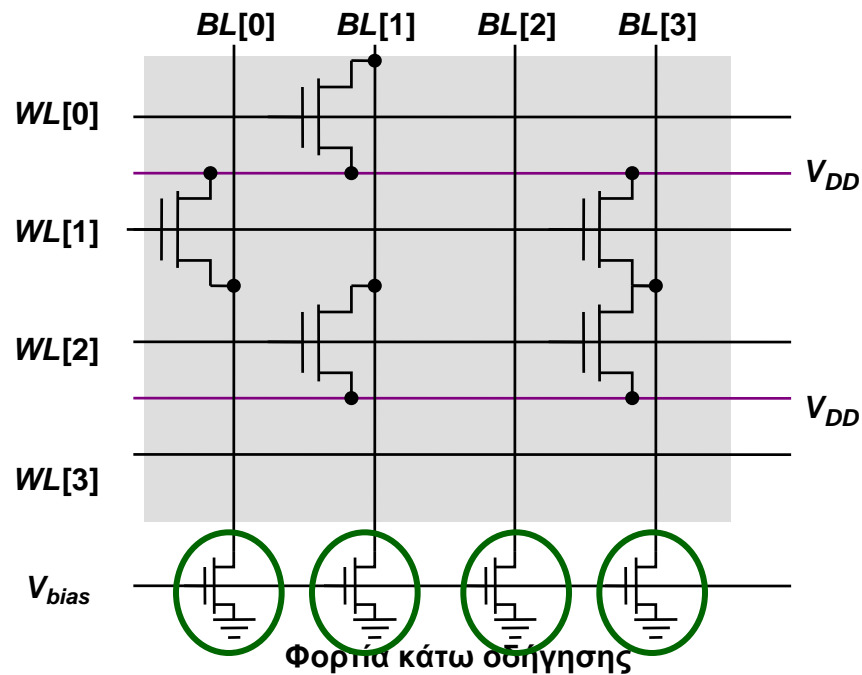
- **Mask:** Τα περιεχόμενα ενσωματώνονται κατά την διαδικασία κατασκευής και δε μπορούν να αλλάξουν
- **PROM:** μπορεί να προγραμματιστεί μία φορά μετά την κατασκευή τήκοντας ασφάλειες με εφαρμογή υψηλής τάσης προγραμματισμού
- **EPROM:** διαγραφή με έκθεση σε UV ακτινοβολία για μερικά λεπτά (απομάκρυνση φορτίου από πύλη) – προγραμματίζεται με εναπόθεση φορτίου σε μία αιωρούμενη πύλη
- **EEPROM:** παρόμοιες με τις EPROM, μπορούν να επανα-προγραμματισθούν σε μs με κύκλωμα μέσα στο chip
- **Flash:** μία παραλλαγή των EEPROM, σβήνονται ολόκληρα μπλοκ αντί για ξεχωριστά ψηφία
 - Μικρή επιφάνεια ανά bit => υψηλή πυκνότητα ολοκλήρωσης
 - Εύκολος προγραμματισμός (χαμηλές τάσεις)
 - Υψηλή ταχύτητα
 - Έχουν αντικαταστήσει όλους τους άλλους τύπους ROM στα σύγχρονα συστήματα

Οργάνωση τύπου OR



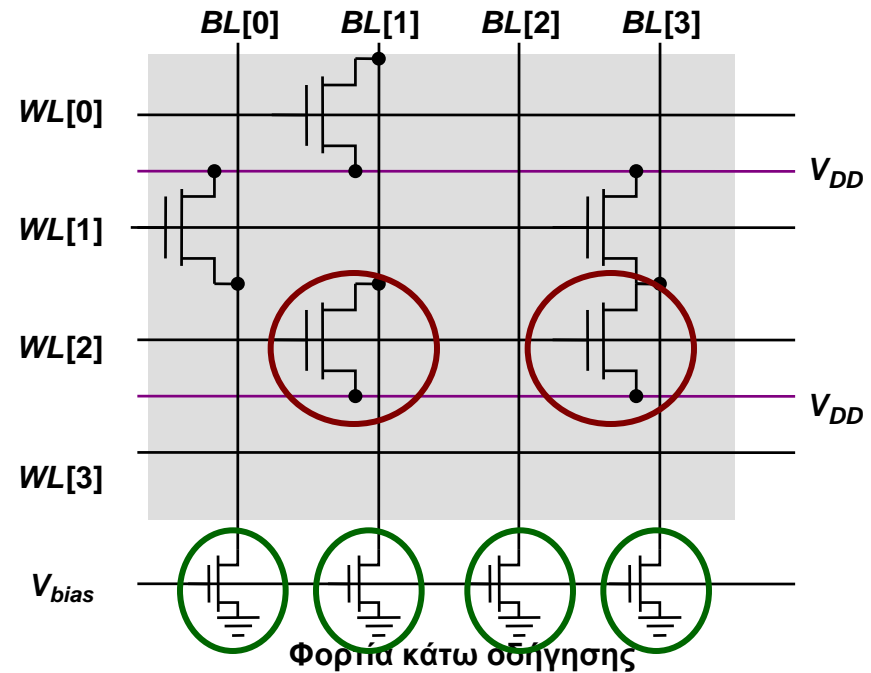
Οργάνωση τύπου OR

► Οι γραμμές bit_line (BL) είναι συνδεδεμένες ωμικά στη γείωση



➤ Οι γραμμές bit_line (BL) είναι συνδεδεμένες ωμικά στη γείωση

➤ nMOS τρανζίστορ διέλευσης τοποθετούνται στα ψηφία της κάθε λέξης που έχουν τιμή λογικό 1 (“1”)



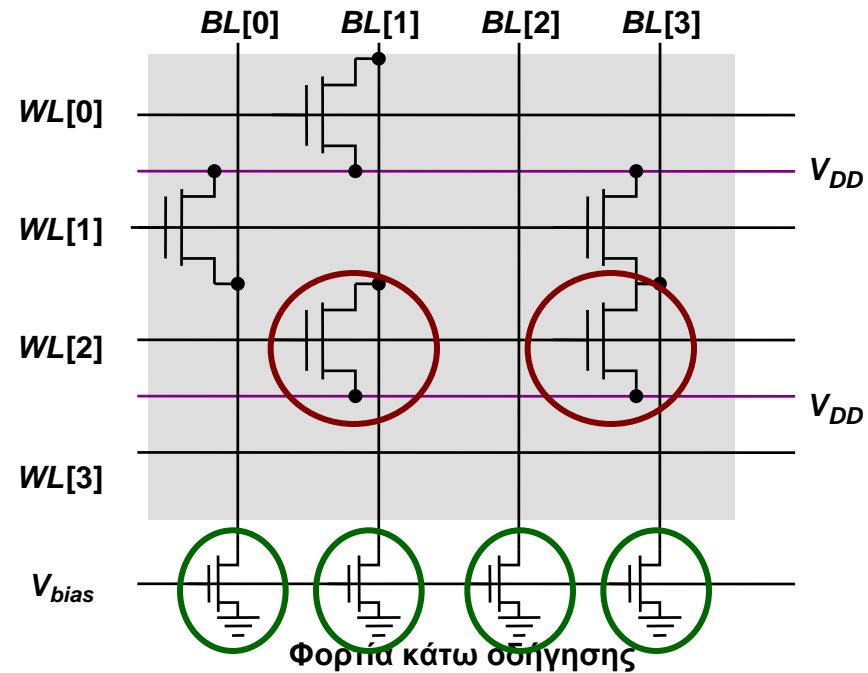
➤ Οι γραμμές bit_line (BL) είναι συνδεδεμένες ωμικά στη γείωση

➤ nMOS τρανζίστορ διέλευσης τοποθετούνται στα ψηφία της κάθε λέξης που έχουν τιμή λογικό 1 (“1”)

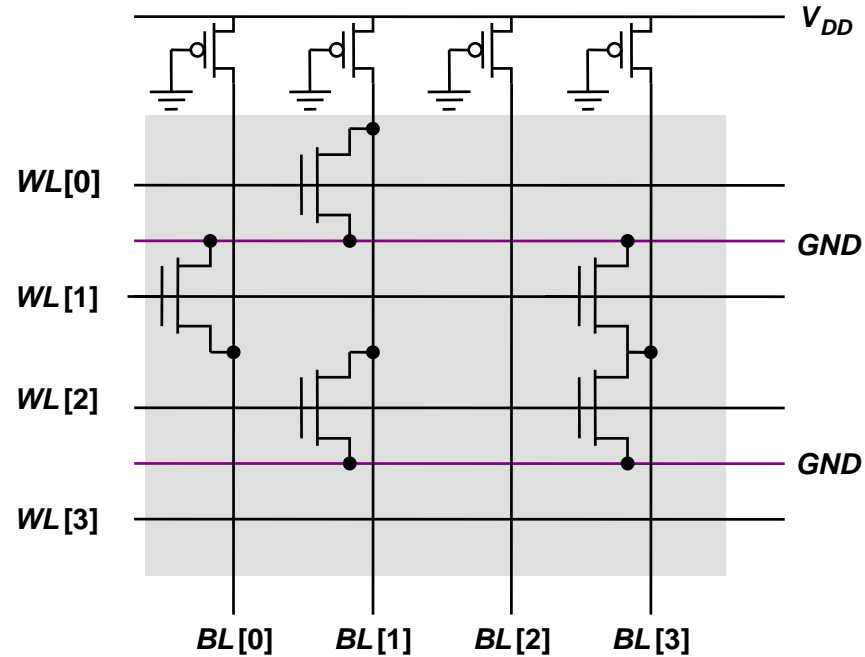
➤ Η ενεργοποίηση της word_line (WL) => άγει το αντίστοιχο nMOS και η αντίστοιχη BL = 1

➤ Διαμοιρασμός γραμμής τροφοδοσίας σε γειτονικά κύτταρα για μείωση κόστους

- Τα περιττού αριθμού κύτταρα τοποθετούνται αντικατροπτικά

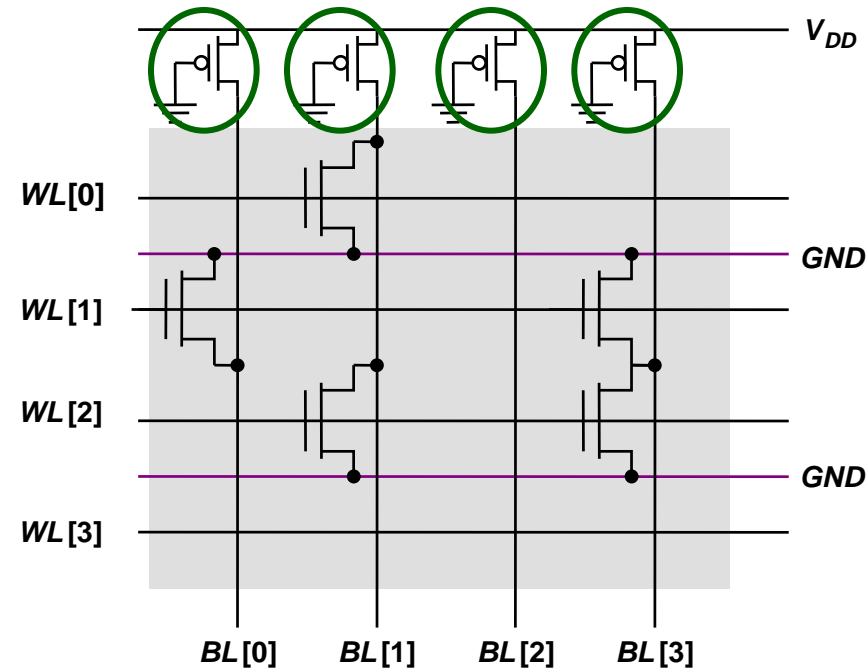


Οργάνωση τύπου NOR

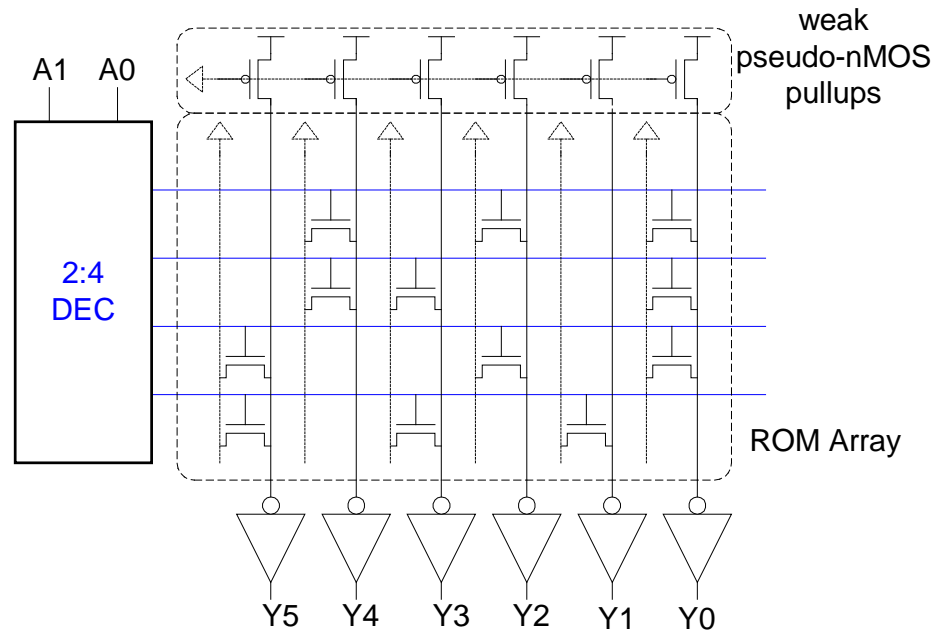


Οργάνωση τύπου NOR

> Οι γραμμές bit_line (BL) είναι
 συνδεδεμένες ωμικά στην τροφοδοσία

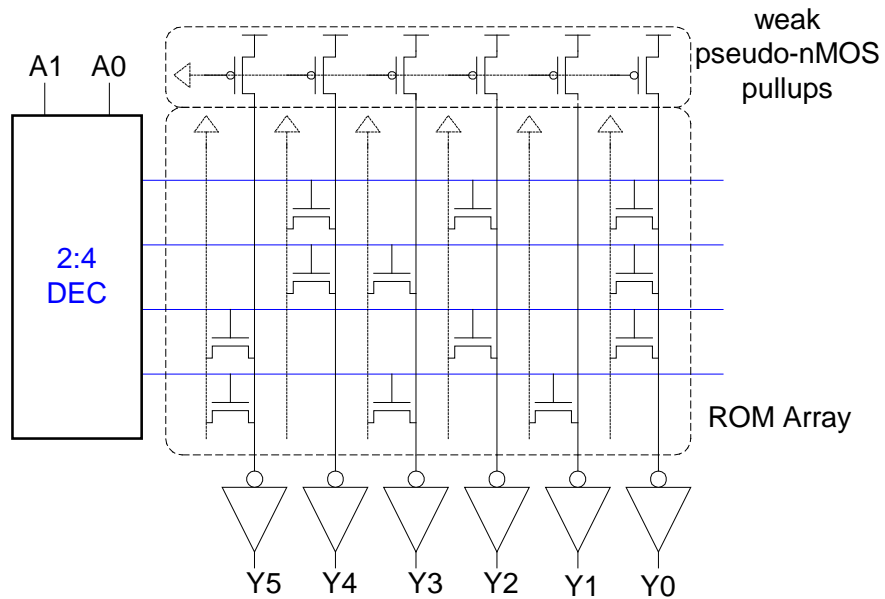


Παράδειγμα ROM (4x6) τύπου NOR

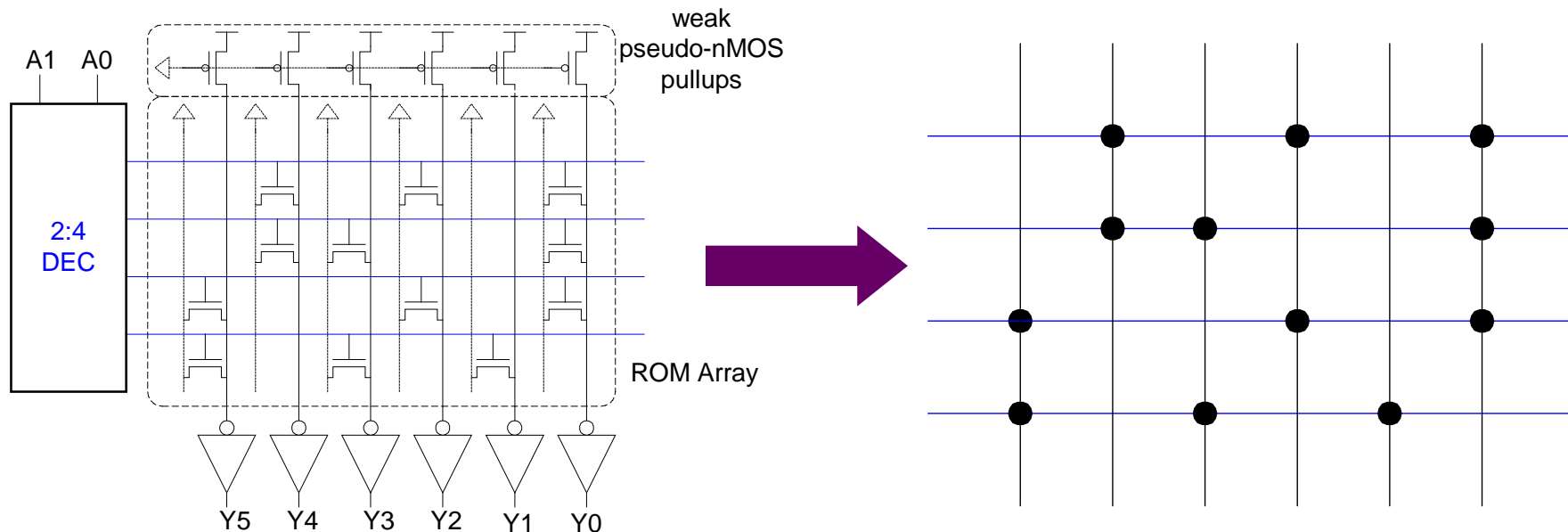


- Μοιάζει με 6 4-εισόδων pseudo-nMOS NORs
- Χρήση αντιστροφών για αναπαραγωγή και οδήγηση σήματος
- Δεδομένα
 - Word 0: **010101**
 - Word 1: **011001**
 - Word 2: **100101**
 - Word 3: **101010**

Διαγράμματα κουκίδων (Dots diagrams)

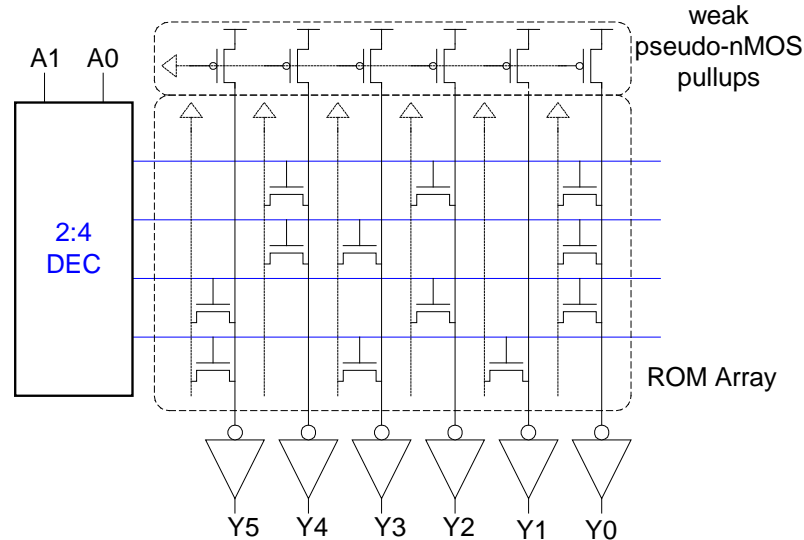


Διαγράμματα κουκίδων (Dots diagrams)



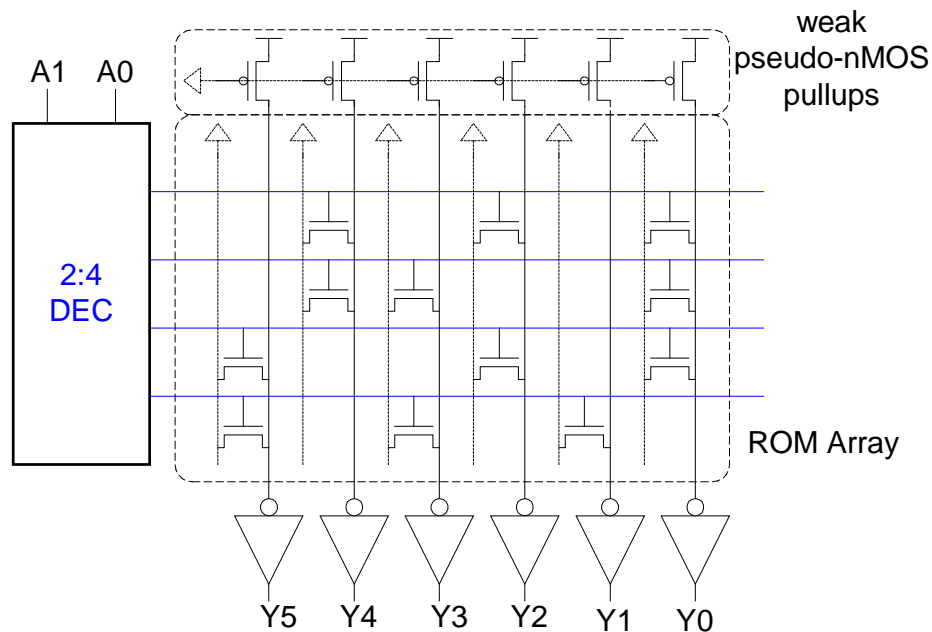
- Οι κουκίδες αντιστοιχούν σε αποθηκευμένη τιμή ίση με “1”
- Απλούστερη αναπαράσταση

Προγραμματισμός ROM



- Οι προγραμματιζόμενες από μάσκα ROM μπορούν να διαμορφώνονται με την παρουσία ή όχι ενός τρανζίστορ ή μίας επαφής
- Η παράληψη τρανζίστορ => μείωση χωρητικότητας της γραμμής λέξης & κατανάλωσης ισχύος
- Ο προγραμματισμός με μεταλλικές επαφές ήταν κάποτε δημοφιλής
 - τέτοιες ROM κατασκευάζονταν εξ' ολοκλήρου χωρίς όμως τη στρώση μετάλλου
 - μετά προγραμματίζονταν σύμφωνα με τις απαιτήσεις του πελάτη κατά το στάδιο της επεξεργασίας με μέταλλο
- Ο ερχομός των μνημών Flash έχει μειώσει τη ζήτηση για τέτοιες μνήμες

Σχεδιαστικά ζητήματα (1/2)



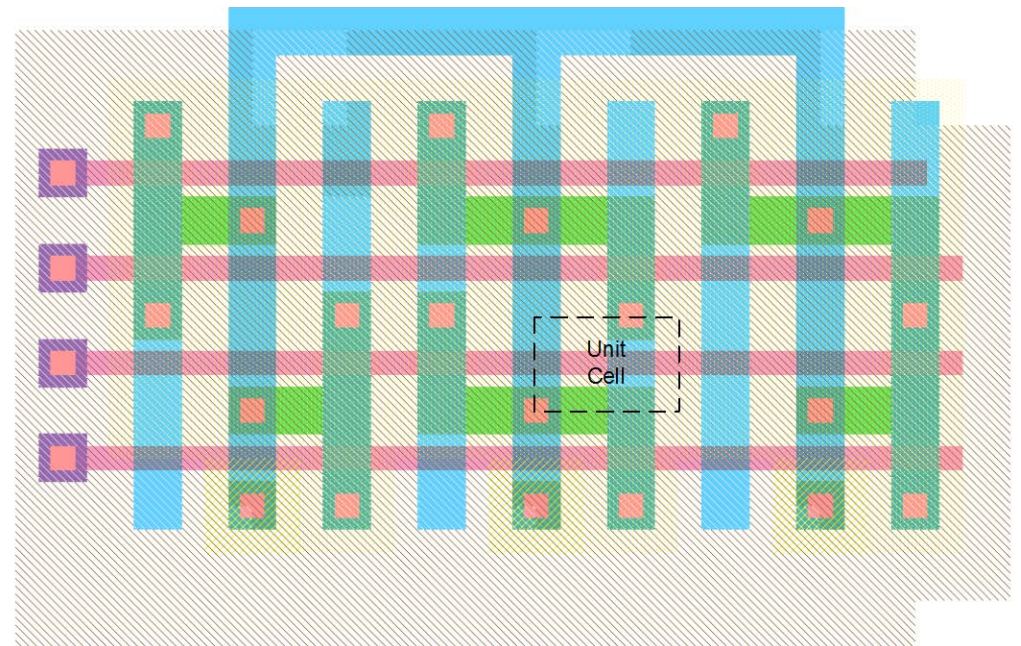
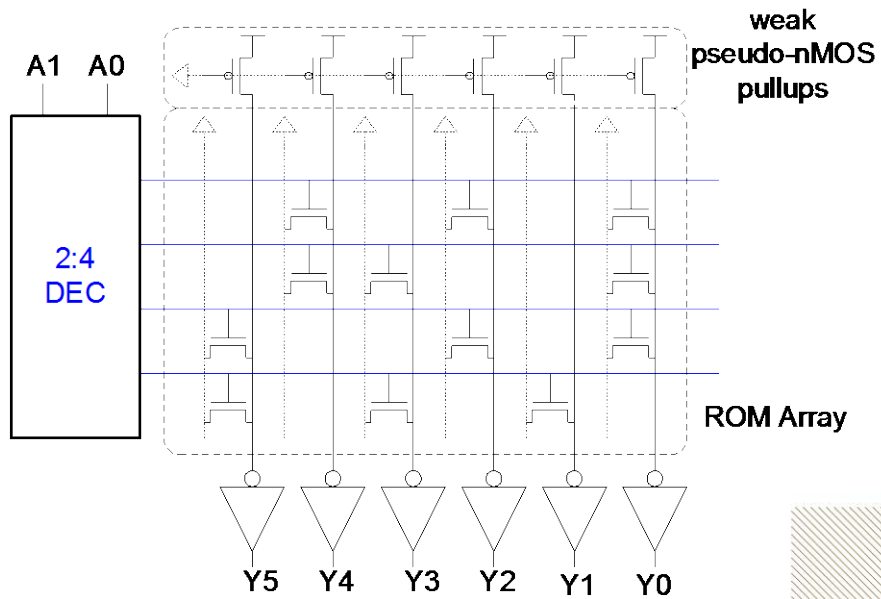
➤ Για μείωση του μεγέθους κυττάρου και C των bitlines \Rightarrow nMOS στοιχείο θα πρέπει να έχει το ελάχιστο δυνατό μέγεθος

➤ $R_{pMOS} > R_{nMOS} \Rightarrow$ εξασφαλίζει επαρκές χαμηλό επίπεδο τάσης

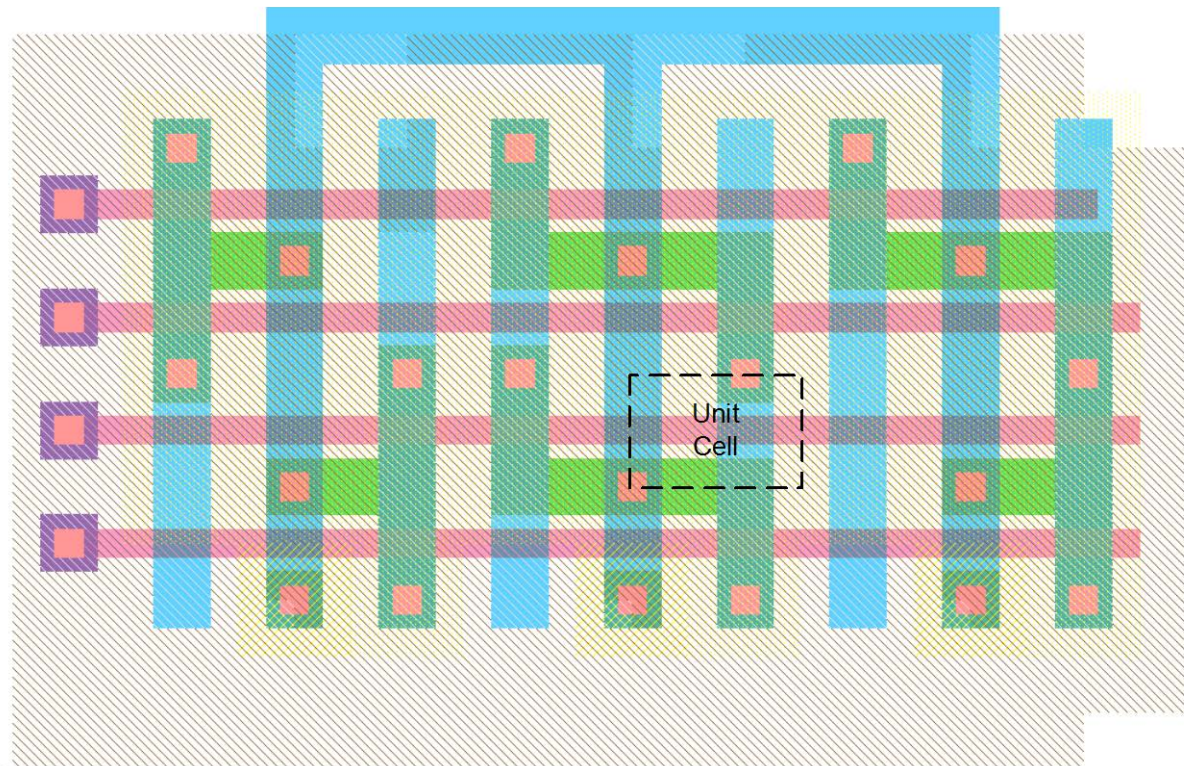
- Η μεγάλη αντίσταση έχει καταστρεπτική επίδραση στις μεταβάσεις από χαμηλή σε υψηλή στάθμη στη γραμμή ψηφίου
- Η χωρητικότητα της γραμμής ψηφίου είναι το άθροισμα των συνεισφορών όλων των συνδεδεμένων στοιχείων (μπορεί να είναι της τάξης των pF για μεγάλες μήμες)

- Για χάρη της πυκνότητας ολοκλήρωσης και της ταχύτητας είναι πιθανόν να χαλαρώσουμε κάποια από ποιοτικά πρότυπα του σχεδιασμού λογικών πυλών
- Στην περίπτωση της NOR ROM, διαπραγμάτευση για εξισορρόπηση των περιθωρίων θορύβου για χάρη της ταχύτητας – θέτοντας την V_{OL} της γραμμής ψηφίου σε υψηλότερη τάση (π.χ. 1 ως 1.5 V για 2.5 V τάση τροφοδοσίας)
 - Έτσι, το pMOS στοιχείο μπορεί να έχει μεγαλύτερο πλάτος βελτιώνοντας τη μετάβαση από χαμηλή σε υψηλή στάθμη
- Μετακινούμενοι από τον πυρήνα της μνήμης στον εξωτερικό κόσμο απαιτείται αποκατάσταση της πλήρους ταλάντευσης της τάσης
 - Επιτυγχάνεται από τις περιφερειακές μονάδες (ενισχυτής αίσθησης)
 - Παράδειγμα, η τροφοδότηση της γραμμής ψηφίου σε ένα συμπληρωματικό CMOS αντιστροφέα με κατάλληλα ρυθμισμένα όρια μεταγωγής αποκαθιστά πλήρως την ταλάντευση του σήματος.

NOR ROM Array Layout

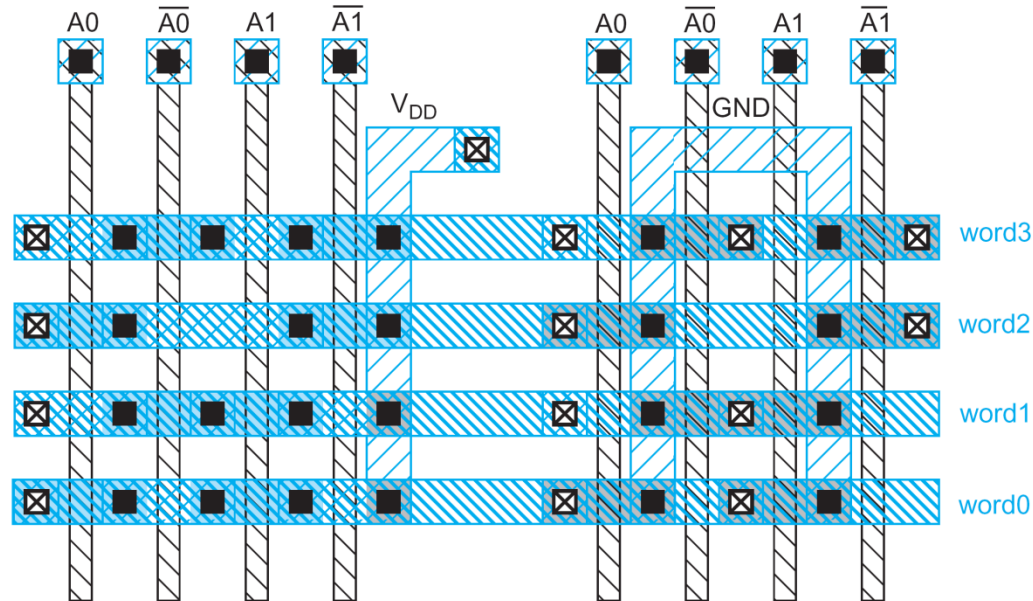


NOR ROM Array Layout



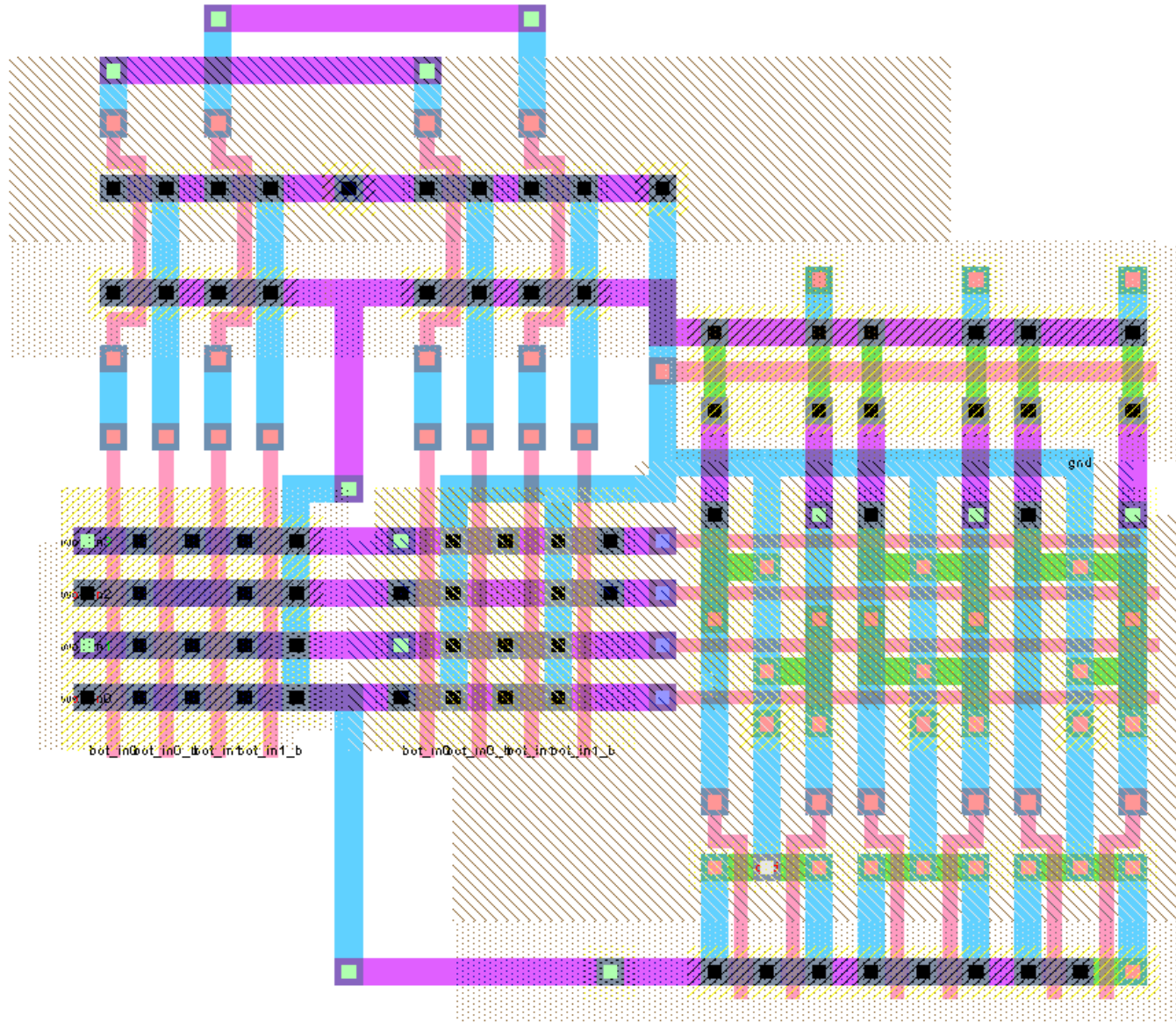
- Οι γραμμές λέξεων υλοποιούνται οριζόντια σε πολυπυρίτιο, ενώ οι γραμμές bit και οι γειώσεις κατακόρυφα σε μέταλλο-1
- Κάθε γείωση μοιράζεται σε ένα ζεύγος κυττάρων

Αποκωδικοποιητές γραμμών

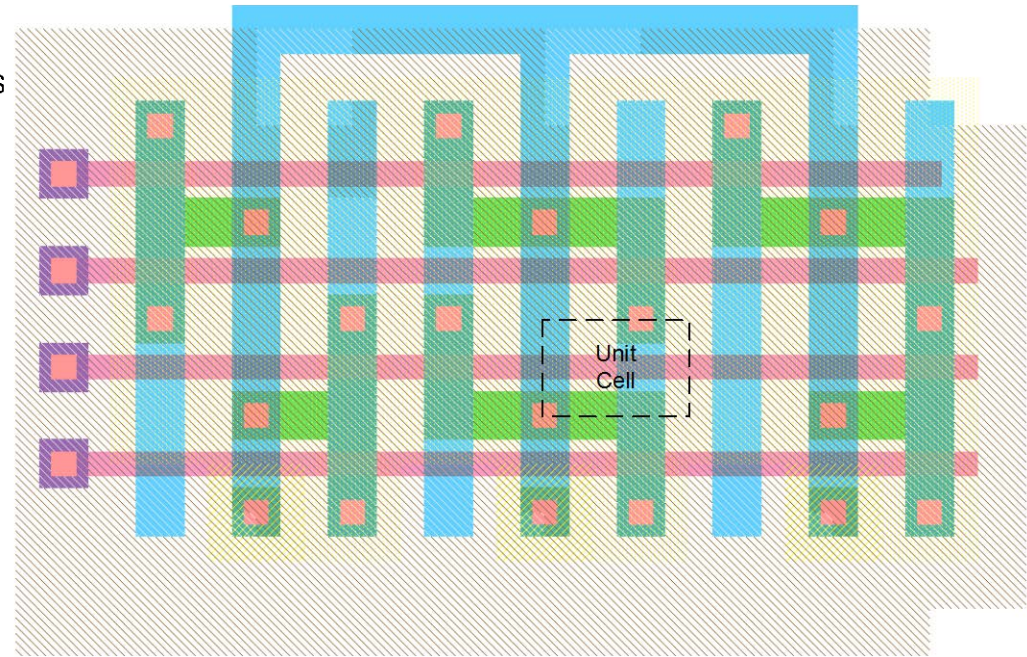
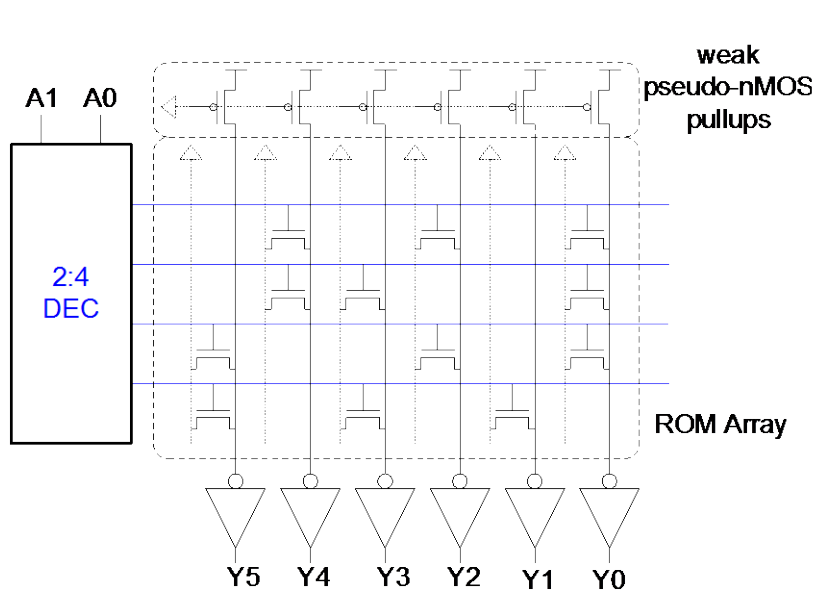


- Οι αποκωδικοποιητές γραμμών για τις ROM είναι παρόμοιοι με αυτούς των RAM
– με εξαίρεση του ότι αυτοί είναι συνήθως πολύ περιορισμένοι από το βήμα γραμμής λέξης της ROM
- Η έξοδος ενός 2:4 αποκωδ. συμπρίσεται σε 1 οριζόντιο ίχνος με χρήση κατακόρυφων γραμμών πολυπυρίτιου (διευθύνσεις) & μεταλλικές γραμμές τροφοδοσίας
- Οι αποκωδικοποιητές στηλών για τις ROM είναι συνήθως απλούστεροι από αυτές των RAM επειδή χρησιμοποιείται αισθητήρας μονής κατάληξης.

Πλήρες NOR ROM Layout



ROM Array Layout

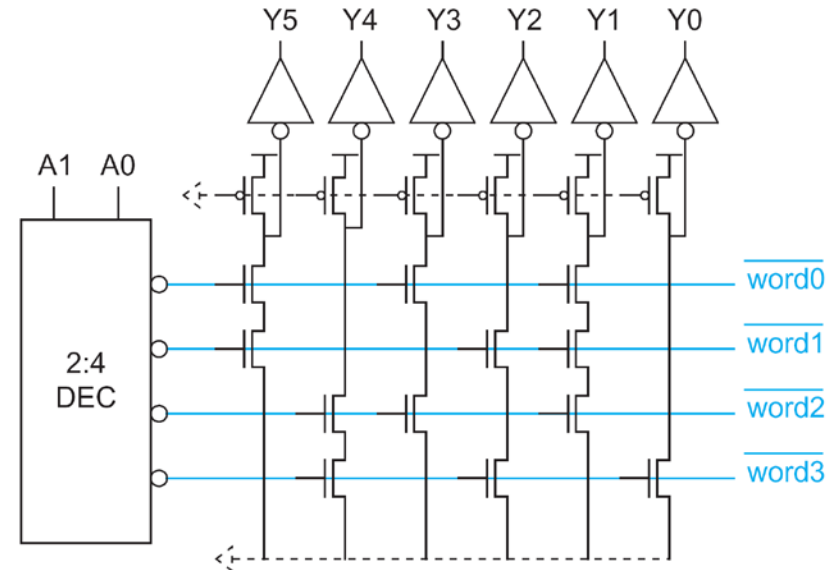


Ένα μεγάλο μέρος του κυττάρου αφιερώνεται στις διασυνδέσεις με τη γείωση

➤ Ένας τρόπος για να αποφευχθεί αυτό το επιπλέον κόστος είναι να υιοθετηθεί μια διαφορετική οργάνωση μνήμης

Οργάνωση τύπου NAND

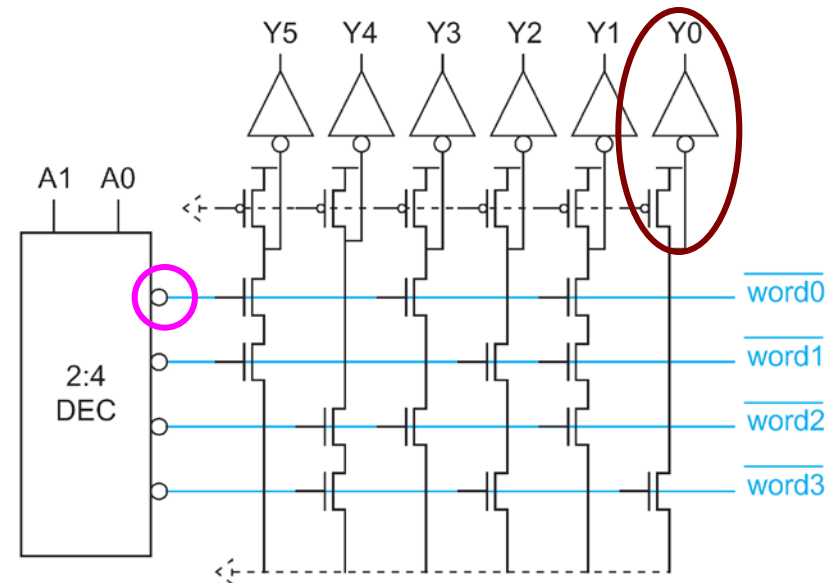
- Τα τρανζίστορ συνδέονται σε σειρά – δομή τύπου NAND



Οργάνωση τύπου NAND

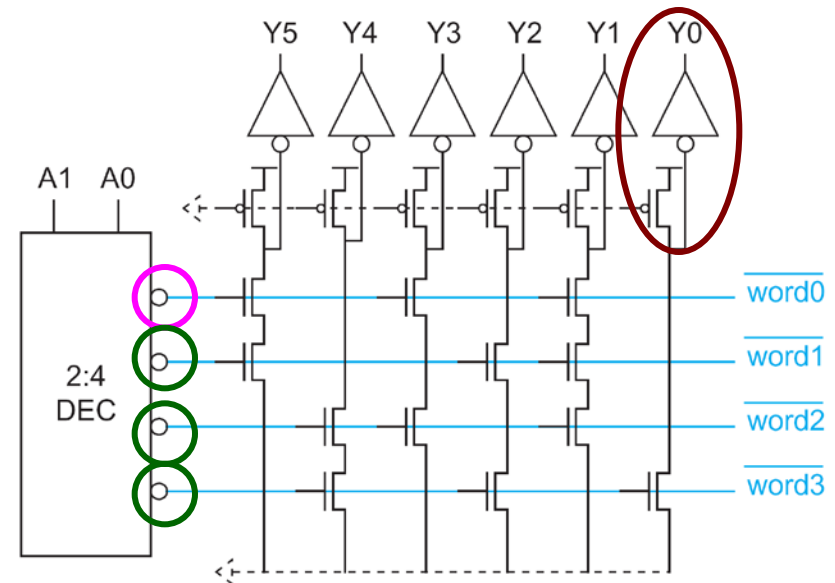
➤ Τα τρανζίστορ συνδέονται σε σειρά – δομή τύπου NAND

➤ Οι γραμμές bitline προφορτίζονται σε χαμηλή στάθμη



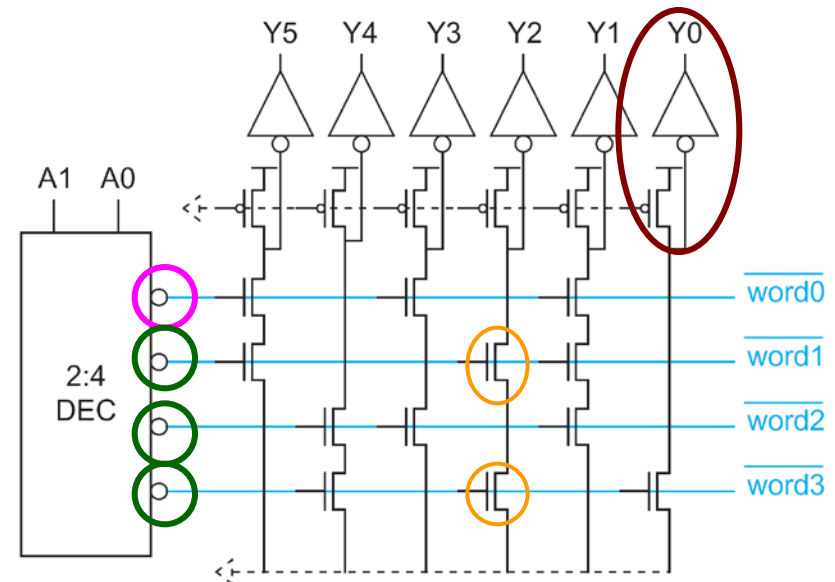
Οργάνωση τύπου NAND

- Τα τρανζίστορ συνδέονται σε σειρά – δομή τύπου NAND
- Οι γραμμές bitline προφορτίζονται σε χαμηλή στάθμη
- Η ενεργοποιημένη γραμμή wordline οδηγείται σε χαμηλή στάθμη



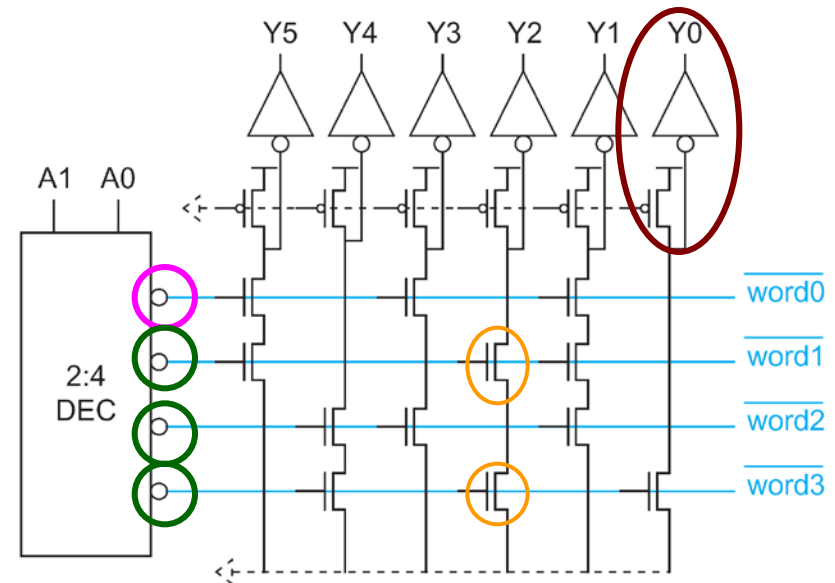
Οργάνωση τύπου NAND

- Τα τρανζίστορ συνδέονται σε σειρά – δομή τύπου NAND
- Οι γραμμές bitline προφορτίζονται σε χαμηλή στάθμη
- Η ενεργοποιημένη γραμμή wordline οδηγείται σε χαμηλή στάθμη
- Τα nMOS τρανζίστορ στις μη επιλεγμένες γραμμές είναι ON

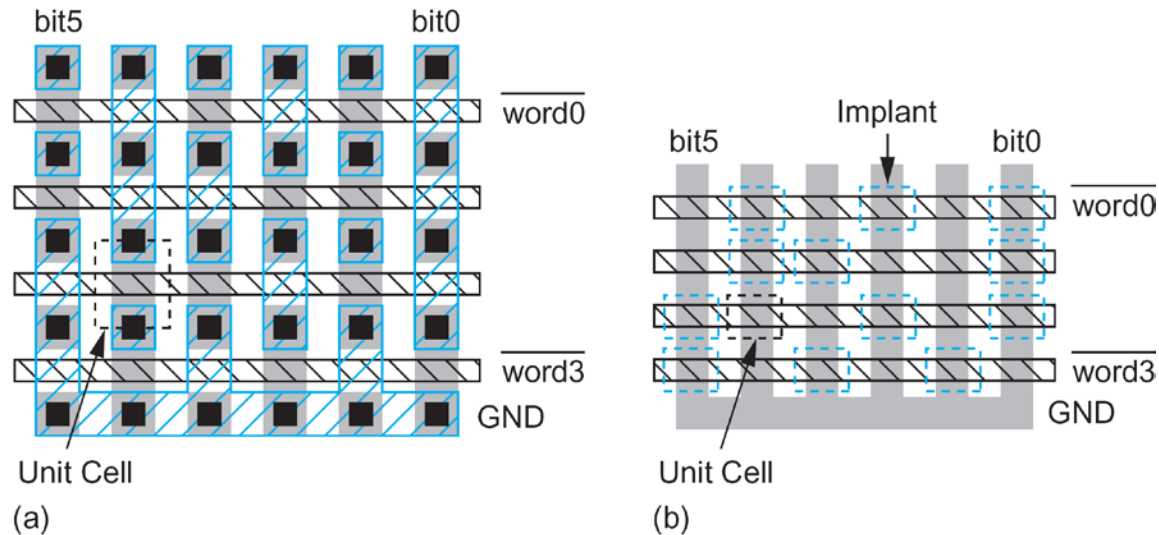


Οργάνωση τύπου NAND

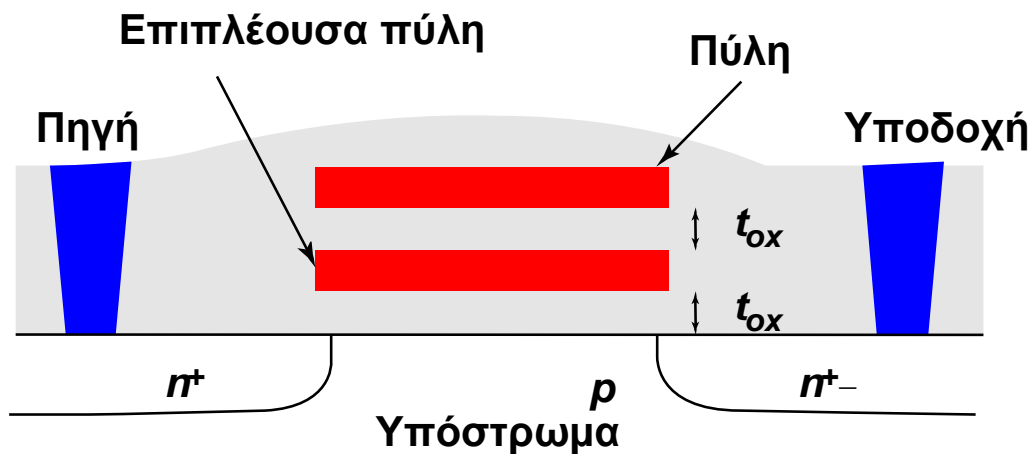
- Τα τρανζίστορ συνδέονται σε σειρά – δομή τύπου NAND
- Οι γραμμές bitline προφορτίζονται σε χαμηλή στάθμη
- Η ενεργοποιημένη γραμμή wordline οδηγείται σε χαμηλή στάθμη
- Τα nMOS τρανζίστορ στις μη επιλεγμένες γραμμές είναι ON
- Εάν κανένα τρανζίστορ δεν είναι συσχετισμένο με την επιλεγμένη λέξη, η γραμμή bit θα πάρει την τιμή “0”
- Εάν υπάρχει τρανζίστορ, η γραμμή bit θα πάρει την τιμή “1”



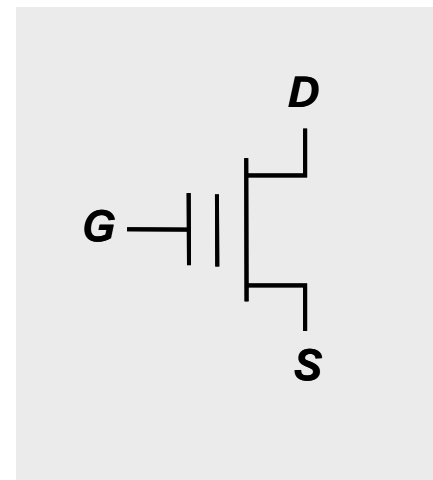
NAND ROM Layout



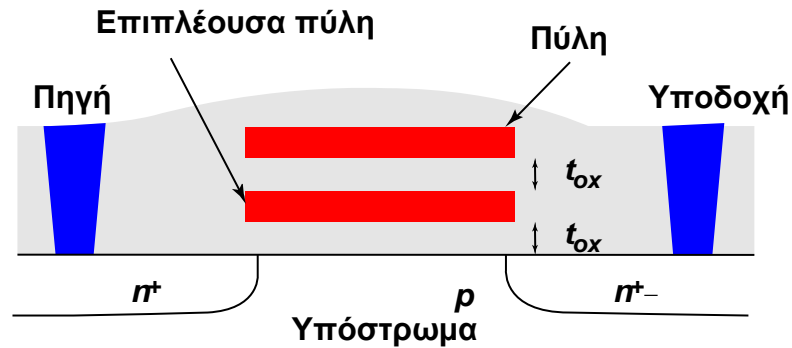
- Το βασικό κύτταρο αποτελείται μόνο από ένα τρανζίστορ (ή δεν έχει τρανζίστορ)
- Δε χρειάζεται σύνδεση με την τάση τροφοδοσίας
- Τα παραπάνω μειώνουν σημαντικά το μέγεθος κυττάρων
- Ένα μειονέκτημα της NAND ROM είναι ότι η καθυστέρηση αυξάνει με το πλήθος των εν σειρά συνδεδεμένων τρανζίστορ



Εγκάρσια τομή στοιχείου

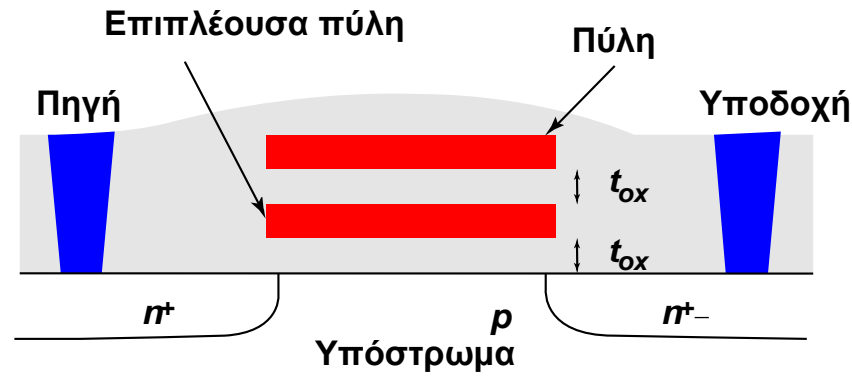


Σχηματικό σύμβολο



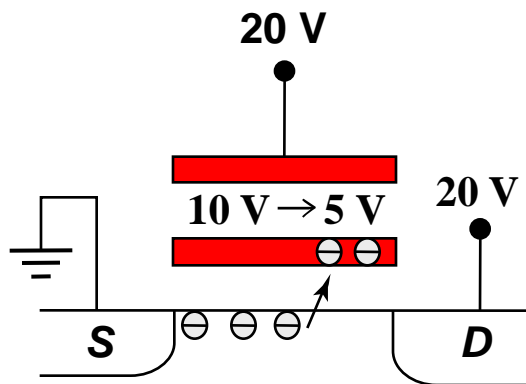
Εγκάρσια τομή στοιχείου

- Παρόμοια δομή με ένα κλασικό MOS στοιχείο αλλά με εισαγωγή μιας λουρίδας πολυπυρίτιου μεταξύ της πύλης και του καναλιού
- Αυτή η λουρίδα δεν συνδέεται πουθενά και καλείται *επιπλέουσα πύλη (floating gate)*
- Διπλασιασμός πάχους του οξειδίου της πύλης $t_{ox} \Rightarrow$ δημιουργία στοιχείου με μειωμένη διαγωγιμότητα και με μεγαλύτερη τάση κατωφλίου
- Και οι δύο αυτές οι ιδιότητες δεν είναι ιδιαίτερα επιθυμητές
- Αν εξαιρεθούν τα παραπάνω, η συσκευή λειτουργεί ως ένα κανονικό τρανζίστορ

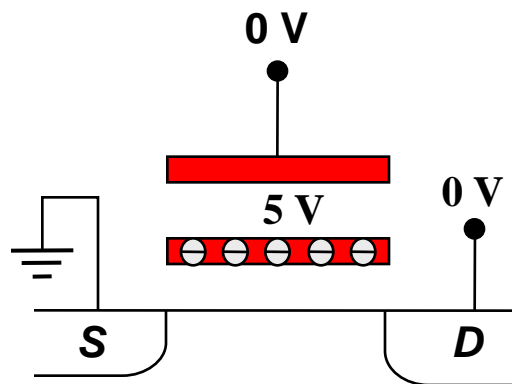


Εγκάρσια τομή στοιχείου

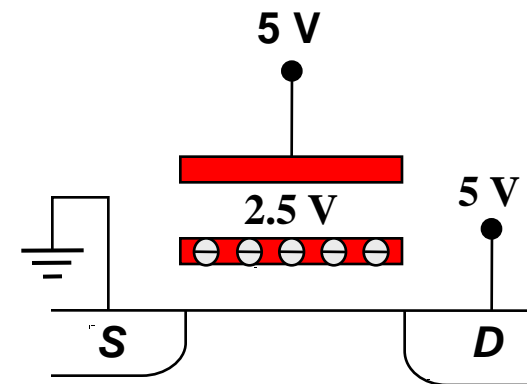
- Η τάση κατωφλίου του είναι προγραμματιζόμενη
 - Εφαρμογή υψηλής τάσης (πάνω από 10 V) μεταξύ των πηγής και πύλης-πηγής => μεγάλο ηλεκτρικό πεδίο => έγχυση φορτίων με μορφή χιονοστιβάδας
- Τα ηλεκτρόνια αποκτούν επαρκή ενέργεια (ηλεκτρόνια *υψηλής κινητικότητας* – *hot electrons*), διαβαίνουν μέσα από το μονωτή και παγιδεύονται στην επιπλέουσα πύλη
 - Μπορεί να εμφανιστεί με οξείδιο πάχους ως και 100 nm – καθιστά εύκολη την κατασκευή
- Το τρανζίστορ επιπλέουσας πύλης καλείται συχνά ως *επιπλέουσας πύλης με έγχυση χιονοστιβάδας MOS (Floating Gate Avalanche-Injection)*



Έγχυση σε μορφή χιονοστιβάδας



Η απομάκρυνση της τάσης προγραμματισμού αφήνει το φορτίο παγιδευμένο

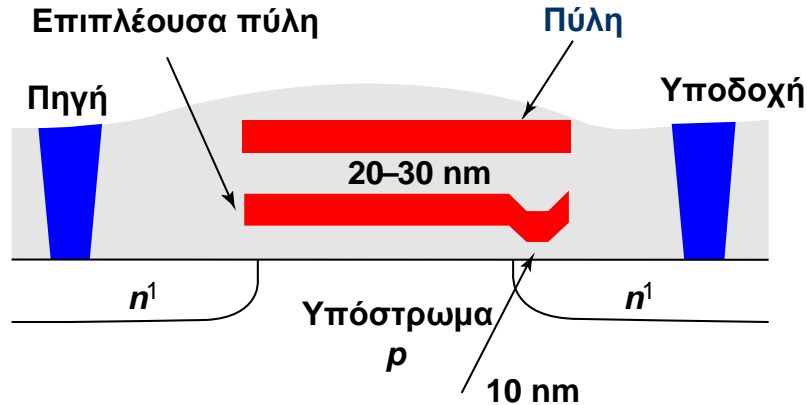


Ο προγραμματισμός καταλήγει σε υψηλότερο V_T .

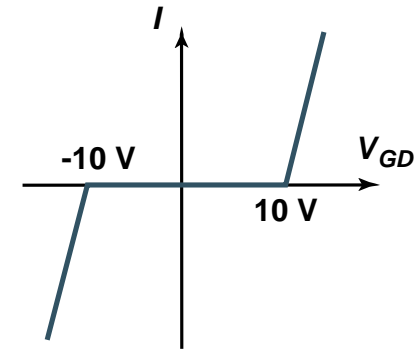
(Erasable-Programmable Read-Only Memory-EPROM)

- Μία EPROM διαγράφεται φωτίζοντας με υπεριώδες φως τα κύτταρα μέσω ενός διαφανούς παραθύρου που υπάρχει στη συσκευασία του ολοκληρωμένου
- Η διαδικασία διαγραφής είναι αργή και μπορεί να διαρκέσει από δευτερόλεπτα μέχρι μερικά λεπτά
- Ένα άλλο πρόβλημα είναι η *περιορισμένη αντοχή*
 - ο αριθμός των φορών που η μνήμη μπορεί να διαγραφεί/προγραμματιστεί περιορίζεται γενικά σε ένα μέγιστο των χιλίων φορών λόγω της UV διαδικασίας διαγραφής
- Τα EPROM κύτταρα είναι εξαιρετικά απλά και παρουσιάζουν υψηλή πυκνότητα => *κατασκευή μεγάλων μνημών με μικρό κόστος*
- Λόγω των ζητημάτων κόστους και αξιοπιστίας, οι EPROMs έχουν πια μειωμένη προτίμηση και έχουν αντικατασταθεί από τις μνήμες Flash.

- Το σημαντικότερο μειονέκτημα της μνήμης EPROM είναι ότι η διαγραφή γίνεται «εκτός συστήματος»
 - Η μνήμη πρέπει να αφαιρεθεί από τον πλακέτα και να τοποθετηθεί σε μία συσκευή που καλείται προγραμματιστής EPROM
- Η EEPROM αποφεύγει αυτήν τη διαδικασία με τη χρήση ενός μηχανισμού για να εγχύει ή να αφαιρεί φορτία από μια επιπλέουσα πύλη
- Ένα τροποποιημένο στοιχείο επιπλέουσας πύλης που καλείται **FLOTOX (Floating-Gate Tunneling Oxide)** τρανζίστορ χρησιμοποιείται ως στοιχείο προγραμματισμού
 - υποστηρίζει μια ηλεκτρική διαδικασία για την διαγραφή



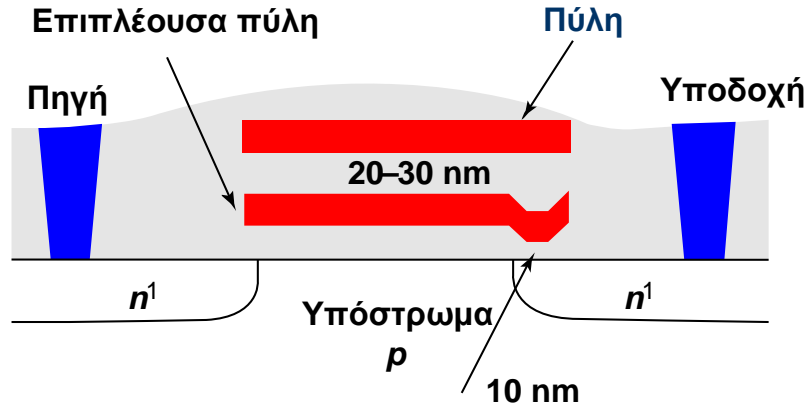
Τρανζίστορ FLOTOX



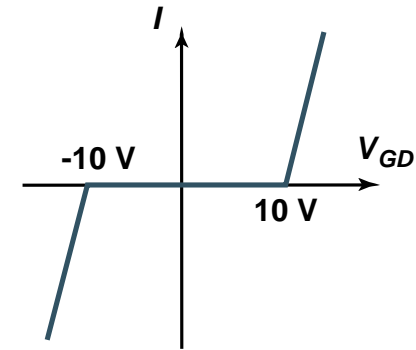
Χαρακτηριστικές $I-V$
Fowler-Nordheim

➤ Μοιάζει με το FAMOS – ένα μέρος του διηλεκτρικού που χωρίζει την επιπλέουσα πύλη από το κανάλι και τον υποδοχέα είναι μειωμένου πάχους – περίπου 10 nm ή και λιγότερο

➤ Όταν μια τάση περίπου 10V εφαρμόζεται πάνω από το λεπτό μονωτή, τα ηλεκτρόνια ταξιδεύουν προς και από την επιπλέουσα πύλη μέσω ενός μηχανισμού αποκαλούμενου *Fowler-Nordheim tunneling*



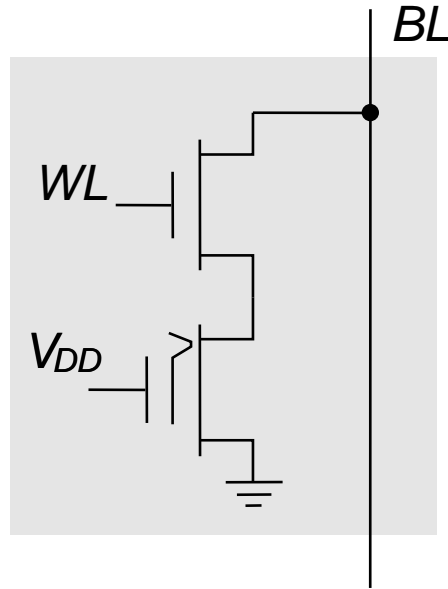
Τρανζίστορ FLOTOX



Χαρακτηριστικές $I-V$
Fowler-Nordheim

- Το κύριο πλεονέκτημα της τεχνικής προγραμματισμού είναι ότι είναι αντιστρέψιμη
 - Η διαγραφή γίνεται με αντιστροφή της τάσης που εφαρμόζεται κατά την εγγραφή
 - Η έγχυση των ηλεκτρονίων στην επιπλέουσα πύλη αυξάνει την τάση κατωφλίου, ενώ η αντίστροφη λειτουργία μειώνει την τάση V_T
- Η διπλή-κατευθυντικότητα εισάγει πρόβλημα για τον έλεγχο της τάσης κατωφλίου:
 - Η αφαίρεση μεγάλης ποσότητας φορτίου από την επιπλέουσα πύλη οδηγεί σε ένα στοιχείο αραίωσης που δεν μπορεί να έρθει σε κατάσταση αγωγής από τα τυπικά σήματα των γραμμών-λέξης

FLOTOX ΕΕΡΡΟΜ



Ο απόλυτος έλεγχος του κατωφλίου
είναι δύσκολος
Το μη προγραμματιζόμενο τρανζίστορ
μπορεί να είναι αραίωσης
⇒ 2 κύτταρα τρανζίστορ

- Επίλυση προβλήματος – προσθήκη ενός επιπλέον τρανζίστορ σε σειρά με το τρανζίστορ επιπλέουσας πύλης
- Το επιπλέον τρανζίστορ λειτουργεί ως στοιχείο προσπέλασης κατά την ανάγνωση, ενώ το FLOTOX τρανζίστορ εκτελεί τη λειτουργία της αποθήκευσης

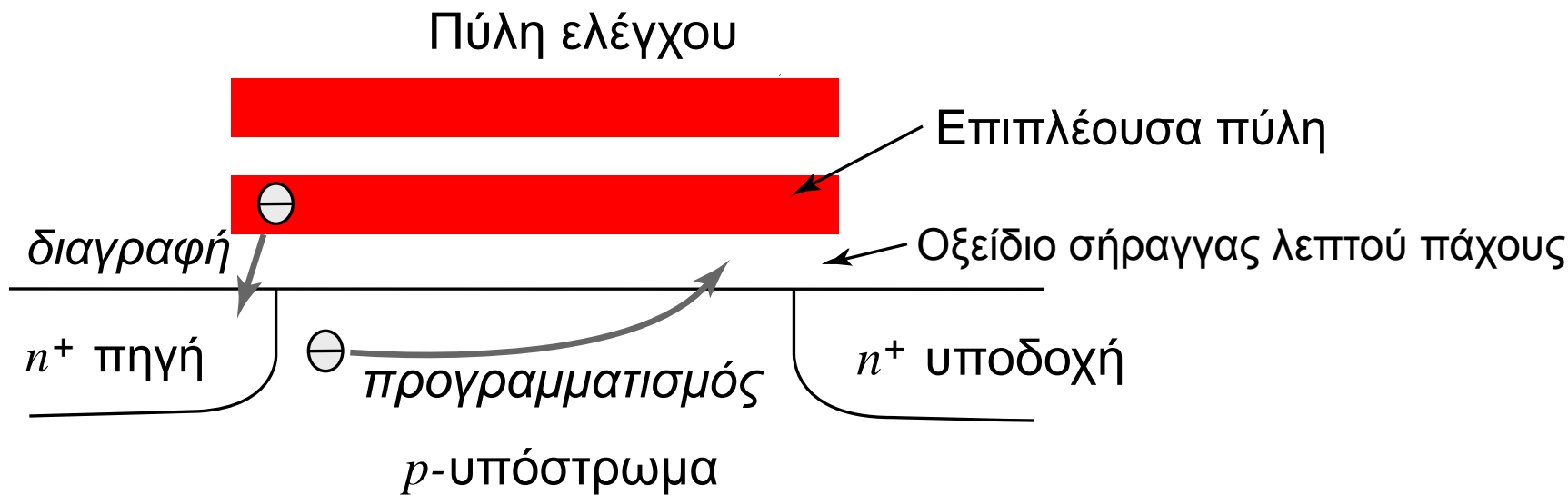
➤ Μειονεκτήματα

- Το κύτταρο EEPROM με δύο τρανζίστορ είναι μεγαλύτερο από το αντίστοιχο EPROM
- Επίσης, το FLOTOX είναι μεγαλύτερο από το FAMOS – λόγω της επιπλέον επιφάνειας του οξειδίου της σήραγγας
- Η κατασκευή του πολύ λεπτού οξειδίου είναι ένα δύσκολη & ακριβή

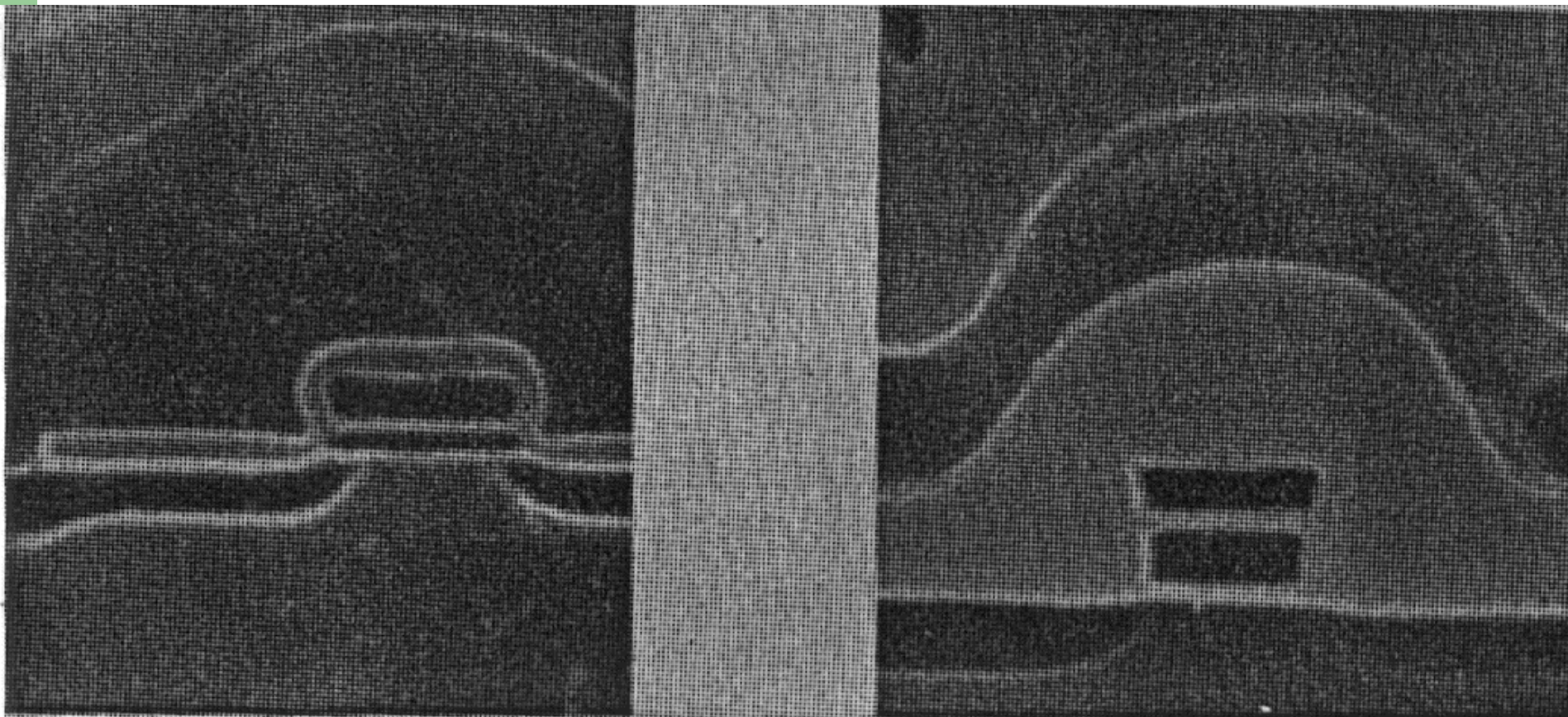
➤ Πλεονεκτήματα

- Προσαρμοστικότητα – γραφονται & διαγράφονται χωρίς να αφερευθουν από την πλακέτα

- Η Flash EEPROM είναι ένας συνδυασμός των τεχνικών EPROM και EEPROM
- Οι περισσότερες Flash EEPROM χρησιμοποιούν έγχυση με μορφή χιονοστιβάδας ηλεκτρονίων υψηλής ευκινησίας για τον προγραμματισμό
- Η διαγραφή εκτελείται μέσω σηράγγων Fowler–Nordheim όπως και στις EEPROM
- Η κύρια διαφορά είναι ότι η διαγραφή εκτελείται είτε για όλο το τσιπ της μνήμης ή για μια ένα τμήμα της μνήμης – αστραπιαία (flash)
- Έχει το πλεονέκτημα ότι το επιπλέον τρανζίστορ του κυττάρου EEPROM μπορεί να απαλειφθεί
 - Απλούστερη δομή του κυττάρου => αύξηση της πυκνότητας ολοκλήρωσης



Πολλές διαφορετικές επιλογές ...

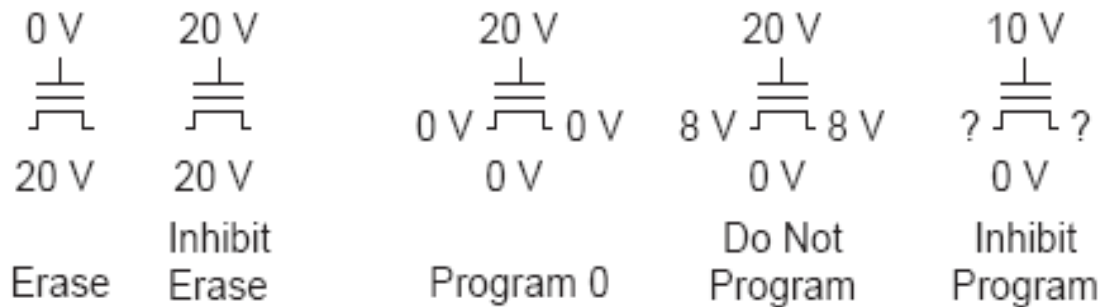


Flash

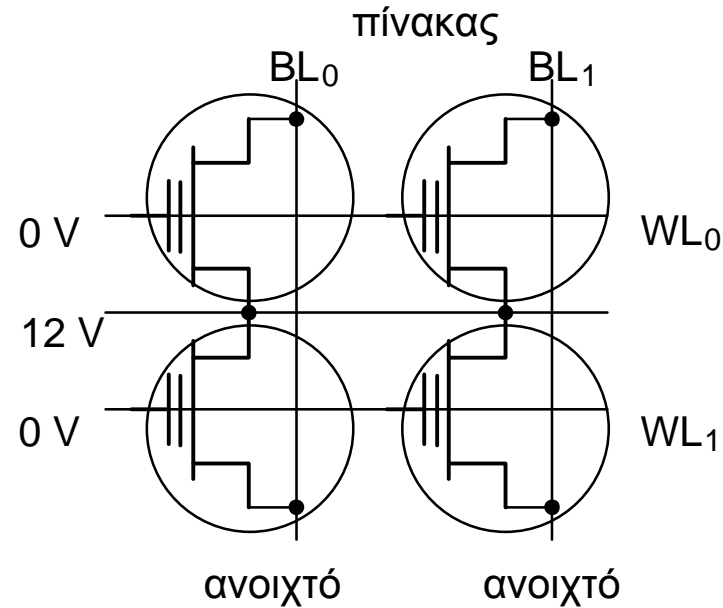
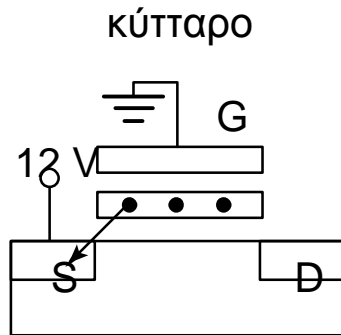
EPROM

Προγραμματισμός Flash

- Το φορτίο στην επιπλέουσα πύλη καθορίζει V_t
- **Λογικό 1:** αρνητικό V_t (απουσία φορτίου στην επιπλέουσα πύλη)
- **Λογικό 0:** positive V_t (παρουσία φορτίου στην επιπλέουσα πύλη)
- Τα κύτταρα διαγράφονται εφαρμόζοντας μία μεγάλη τάση υποστρώματος ή στην πηγή ώστε το φορτίο της επιπλέουσας πύλης να μετακινηθεί στο υπόστρωμα
- Ο προγραμματισμός στο 0 γίνεται με την εφαρμογή ισχυρής τάσης στον ακροδέκτη της πύλης

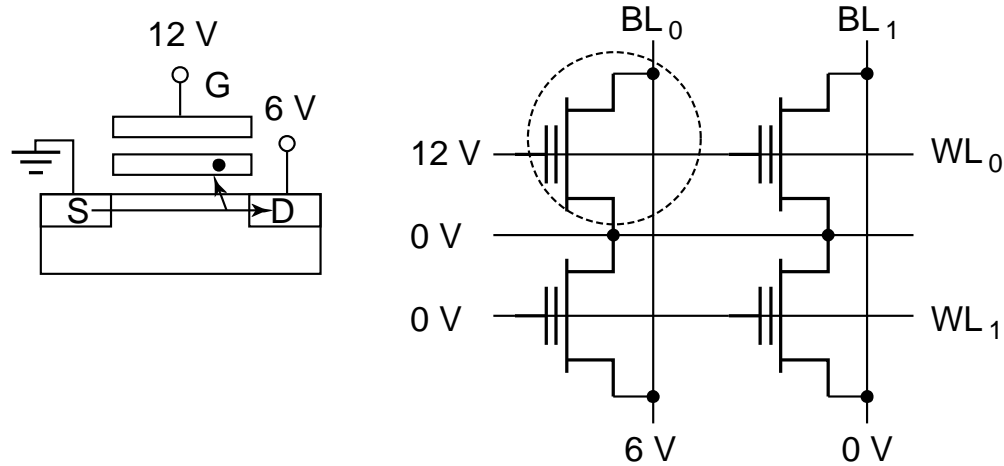


Μνήμη Flash τύπου NOR — Διαγραφή



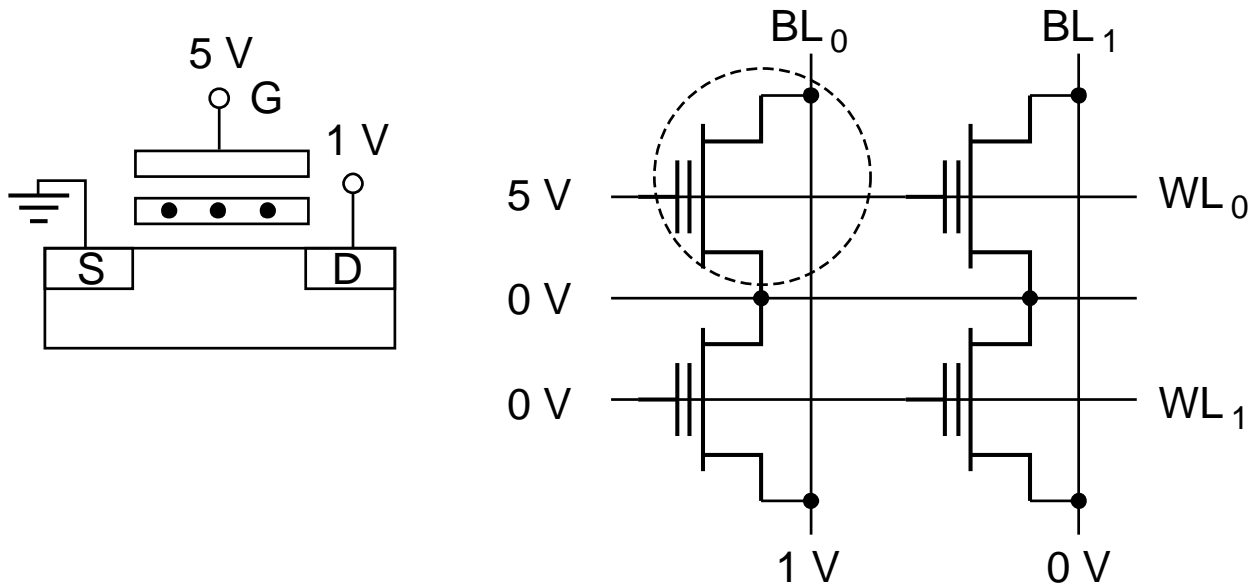
- Εφαρμόζεται μία τάση πύλης ίση με 0 V σε συνδυασμό με μία υψηλή τάση (12 V) στην πηγή
- Τα ηλεκτρόνια, αν υπάρχουν, στην επιπλέον πύλη εκτινάσσονται στην πηγή λόγω φαινομένου σήραγγας
- Όλα τα κύτταρα σβήνονται ταυτόχρονα.

Μνήμη Flash τύπου NOR — Εγγραφή



- Εφαρμογή υψηλής τάσης στην πύλη και λογικό “1” στον υποδοχέα
- Παραγωγή υψηλής κινητικότητας ηλεκτρονίων που εγχέονται στην επιπλέον πύλη αυξάνοντας την τάση κατωφλίου
 - Αλλιώς, η επιπλέον πύλη παραμένει στην προηγούμενη κατάσταση χωρίς ηλεκτρόνια, που αντιστοιχεί στην κατάσταση “0”
- Για να επιτευχθεί η απαραίτητη μετατόπιση της τάσης κατωφλίου κατά 3 έως 3.5 V, πρέπει να εφαρμοστεί ένας παλμός με τυπικό εύρος 1-10μs

Μνήμη Flash τύπου NOR — Ανάγνωση



- Η λειτουργία ανάγνωσης γίνεται όπως σε οποιοδήποτε NOR ROM δομή
- Για την επιλογή ενός κυττάρου, η γραμμή λέξης έρχεται σε τάση 5 V προκαλώντας μια υπό συνθήκη εκφόρτιση της γραμμής ψηφίου.

➤ Οι γραμμές bitline οδηγούνται με τις επιθυμητές τιμές (“0” ή “1”)

➤ $V_{sub}=0V$, $gsl=“0”$ & $ssl=“1”$

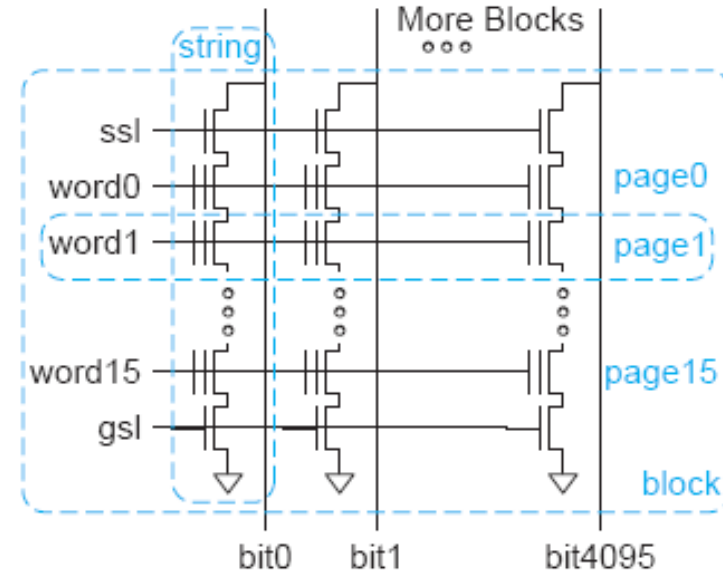
➤ Ενεργοποίηση wordline ($V_{wordline}=20V$) για την προς εγγραφή σελίδα

– Οι υπόλοιπες $V_{wordline}=10V$ – pass logic

➤ Ο προγραμματισμός δεν μπορεί να επαναφέρει την τιμή 1 (αρνητικό V_t -παρουσία φορτίου)

– Χρειάζεται πρώτα διαγραφή

➤ Κάθε φορά προγραμματίζεται μία ολόκληρη σελίδα



➤ Παρόμοια με NAND ROM

➤ Bitlines precharged & $gsl = ssl = "1"$

➤ Η ενεργή wordline = "0" & οι υπόλοιπες σε 4.5V (υψηλότερα από το V_t)

➤ Όλα τα τρανζίστορ είναι ON εκτός από αυτά της ενεργής γραμμής

➤ Αν το κύτταρο έχει αρνητικό V_t (απουσία φορτιών) το τρανζίστορ γίνεται ON και η bitline εκφορτίζεται

➤ Αλλιώς η bitline δεν αλλάζει κατάσταση

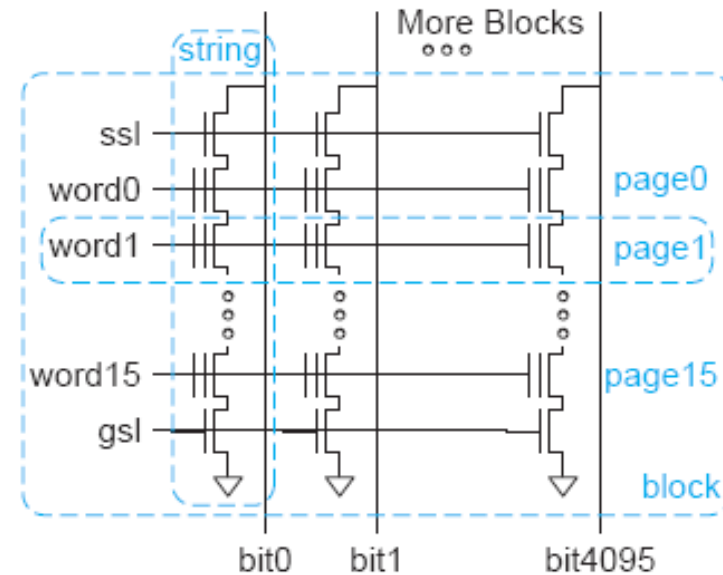


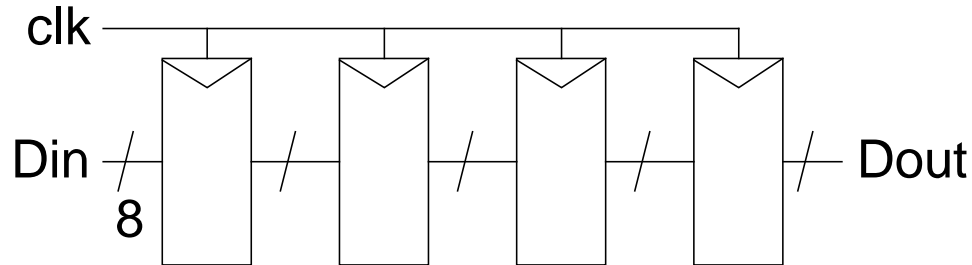
Table 12-1 Comparison between nonvolatile memories ([Itoh01]).
 $V_{DD} = 3.3$ or 5 V; $V_{PP} = 12$ or 12.5 V.

	Cell— Nr. of Transistors	Cell Area (ratio wrt EPROM)	Mechanism		External Power Supply		Program/ Erase Cycles
			Erase	Write	Write	Read	
MASK ROM	1 T (NAND)	0.35–5	—	—	—	V_{DD}	0
EPROM	1 T	1	UV Exposure	Hot electrons	V_{PP}	V_{DD}	~100
EEPROM	2 T	3–5	FN Tunneling	FN Tunneling	V_{PP} (int)	V_{DD}	10^4 – 10^5
Flash Memory	1 T	1–2	FN Tunneling	Hot electrons	V_{PP}	V_{DD}	10^4 – 10^5
			FN Tunneling	FN Tunneling	V_{PP} (int)	V_{DD}	10^4 – 10^5

- Εισαγωγή
- Μνήμη ROM
- Μνήμες σειριακής προσπέλασης
- Μνήμες διευθυνσιοδοτούμενες από τα δεδομένα (CAM)
- Προγραμματιζόμενες λογικές διατάξεις

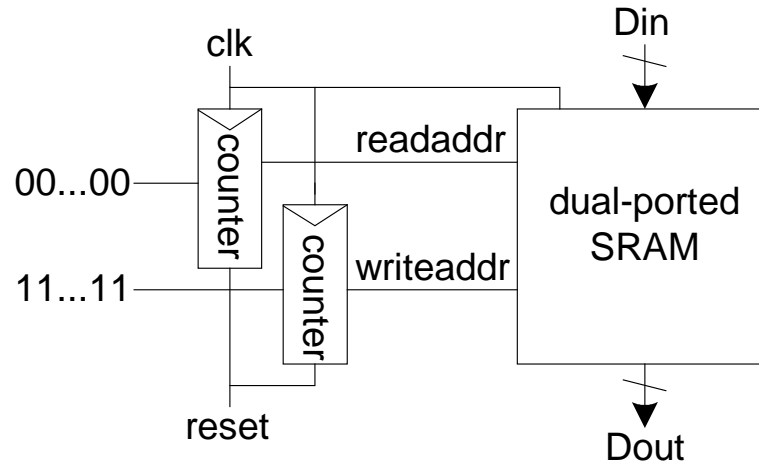
- Οι μνήμες σειριακής προσπέλασης δε χρησιμοποιούν διεύθυνση για την προσπέλαση των δεδομένων
- Με τη χρήση βασικών κυττάρων SRAM και /ή καταχωρητών, μπορούμε να κατασκευάσουμε μία ποικιλία μνημών σειριακής προσπέλασης
- Τύποι μνημών σειριακής προσπέλασης
 - Shift Registers
 - Tapped Delay Lines
 - Serial In Parallel Out (SIPO)
 - Parallel In Serial Out (PISO)
 - Queues (FIFO, LIFO)

Καταχωρητής Ολίσθησης (Shift Register)



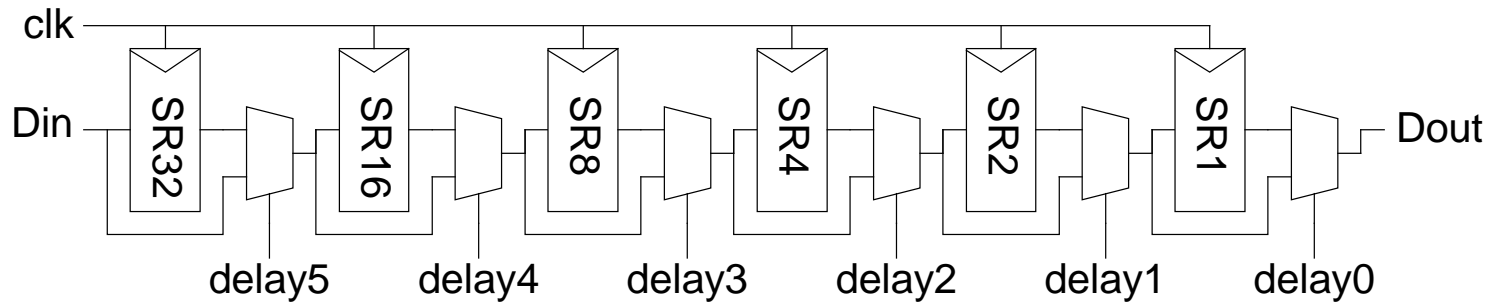
- Οι καταχωρητές ολίσθησης χρησιμοποιούνται για την αποθήκευση και καθυστέρηση των δεδομένων
- Καταχωρητής ολίσθησης 8 bit 4 σταδίων αποτελούμενος από 32 flip-flops
- Καθώς δεν υπάρχει λογική ανάμεσα στους καταχωρητές, πρέπει να δοθεί ιδιαίτερη προσοχή στους χρόνους συγκράτησης (hold).

Υψηλής Πυκνότητας Shift Registers



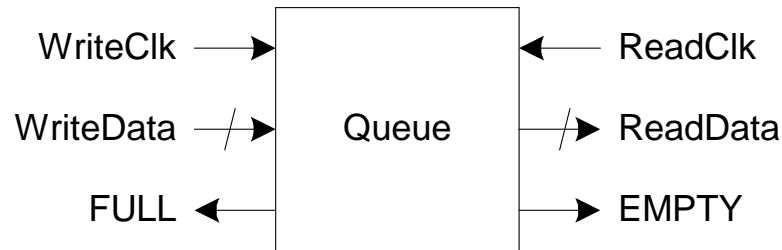
- Τα flip-flop έχουν μεγάλη επιφάνεια => οι μεγάλοι καταχωρητές ολίσθησης χρησιμοποιούν δίπορες RAM
- Η RAM διαμορφώνεται σαν ένας κυκλικός buffer με ένα ζεύγος δεικτών (μετρητές)
 - καθορίζουν που διαβάζονται και που γράφονται δεδομένα
- Ο μετρητής ανάγνωσης αρχικοποιείται στην πρώτη θέση & ο εγγραφής στην τελευταία
- Μετακίνηση δεικτών (pointers) στη μνήμη αντί δεδομένων
- Αύξηση της διεύθυνσης κατά 1 σε κάθε κύκλο

Tapped Delay Line



- Ένας *tapped delay line* είναι ένας καταχωρητής ολίσθησης με προγραμματιζόμενο αριθμό βαθμίδων (stages)
- Πολυπλέκτες ελέγχουν την παράκαμψη των βαθμίδων καθυστέρησης για να δώσουν τη συνολική καθυστέρηση
- Παράδειγμα: 0 – 63 stages of delay

Ουρές (Queues)

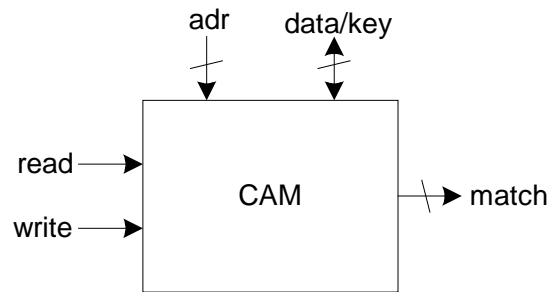


- Οι *ουρές* επιτρέπουν την ανάγνωση και εγγραφή δεδομένων σε διαφορετικούς ρυθμούς
- Οι λειτουργίες ανάγνωσης και εγγραφής ελέγχονται από τα δικά τους ρολόγια η καθεμιά, που μπορεί να είναι ασύγχρονα
- Η ουρά θέτει τη σημαία *ΠΛΗΡΗΣ* (FULL) όταν δεν υπάρχει χώρος για εγγραφή δεδομένων και τη σημαία *ΑΔΕΙΑ* (EMPTY) όταν δεν υπάρχουν δεδομένα για ανάγνωση
- Υλοποιείται με SRAM και read/write counters (pointers)
- Η ουρά διατηρεί εσωτερικά δείκτες (pointers) ανάγνωσης και εγγραφής που καθορίζουν ποια δεδομένα θα προσπελαστούν

- *First In First Out (FIFO)* – χρησιμοποιούνται για αποθήκευση προσωρινών δεδομένων μεταξύ δύο ασύγχρονων ροών
 - οργανώνεται σαν κυκλικός buffer, όπως ένας καταχωρητής ολίσθησης
- Αρχικά (reset), οι δείκτες εγγραφής και ανάγνωσης αρχικοποιούνται στο πρώτο στοιχείο και η FIFO είναι ΑΔΕΙΑ
- Σε μία εγγραφή, ο δείκτης εγγραφής προχωράει στο επόμενο στοιχείο
 - Αν συμπέσει με το δείκτη ανάγνωσης, τότε η FIFO είναι ΠΛΗΡΗΣ
- Σε μία ανάγνωση, ο δείκτης ανάγνωσης προχωράει στο επόμενο στοιχείο
 - Εάν φτάσει τον δείκτη εγγραφής, η FIFO είναι ΑΔΕΙΑ
- *Last In First Out (LIFO)* – καλείται και *σωρός (stack)*
 - Χρησιμοποιεί έναν απλό δείκτη για ανάγνωση εγγραφή

- Εισαγωγή
- Μνήμη ROM
- Μνήμες σειριακής προσπέλασης
- Μνήμες διευθυνσιοδοτούμενες από τα δεδομένα (CAM)
- Προγραμματιζόμενες λογικές διατάξεις

Content-addressable memory – CAM



➤ Η CAM λειτουργεί σαν μία συνηθισμένη SRAM που μπορεί να διαβαστεί ή να εγγραφεί όπως μια συμβατική SRAM

➤ Επιτελεί και λειτουργίες *ταιριάσματος* (matching)

➤ Εφαρμογές

- Cache memory
- Transaction Lookaside Buffer (TLB)

10T CAM Cell

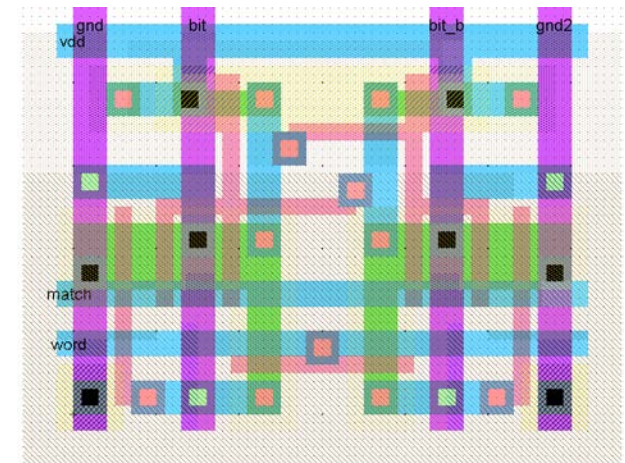
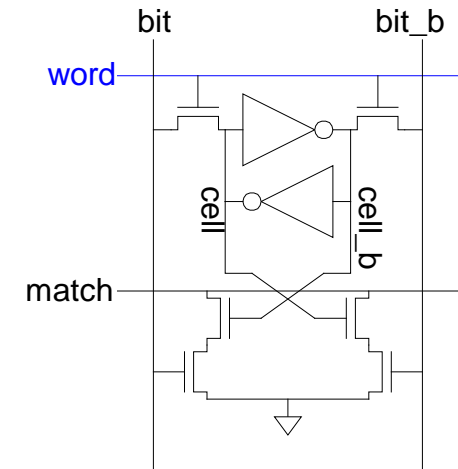
- Το κύτταρο αποτελείται από ένα κύτταρο SRAM με πρόσθετα τρανζίστορ για το ταίριασμα (match)
 - Πολλαπλά κύτταρα CAM στην ίδια λέξη ενώνονται με την ίδια γραμμή match

- Η γραμμή match είναι είτε προφορτισμένη ενώ το κλειδί τοποθετείται στις γραμμές bit

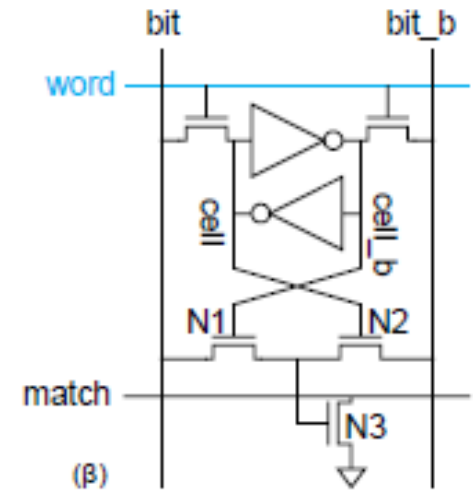
- Αν το κλειδί και η τιμή στο κύτταρο τιμή διαφέρουν, η γραμμή match οδηγείται χαμηλά

- Αν τα bit του κλειδιού ταιριάζουν με τα αποθηκευμένα bit στην λέξη της μνήμης, η γραμμή ταιριάσματος θα παραμείνει σε υψηλή στάθμη

- Το κλειδί μπορεί να περιέχει ένα αδιάφορο bit (don't care) θέτοντας και τη bit και τη bit_b χαμηλά



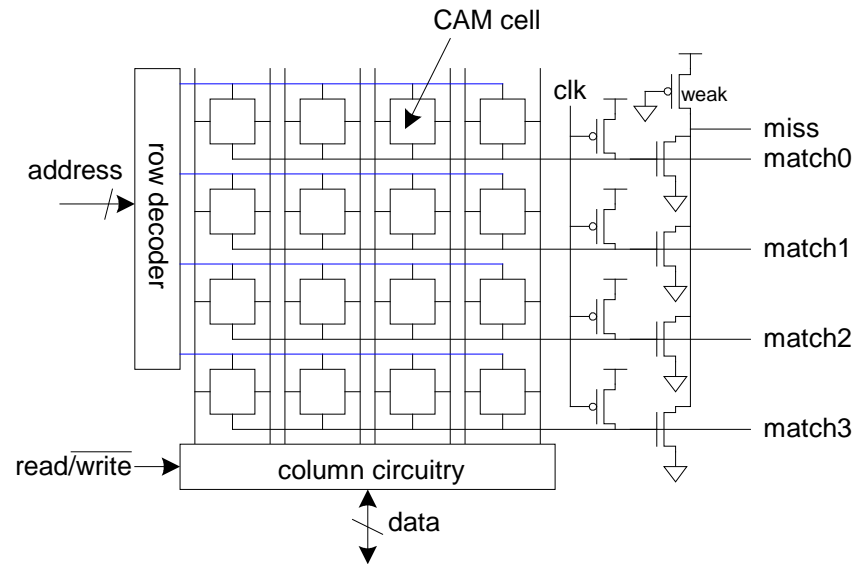
- Κύτταρο CAM που έχει ένα λιγότερο τρανζίστορ (9T)
- Αν οι τιμές δε συμφωνούν, το N3 ενεργοποιείται για οδηγήσει χαμηλά τη γραμμή λέξης
- Ωστόσο, η πύλη του N3 βλέπει ένα υποβαθμισμένο επίπεδο υψηλής λογικής



➤ Ανάγνωση και εγγραφή όπως μία συνηθισμένη SRAM

➤ Για ταίριασμα (matching):

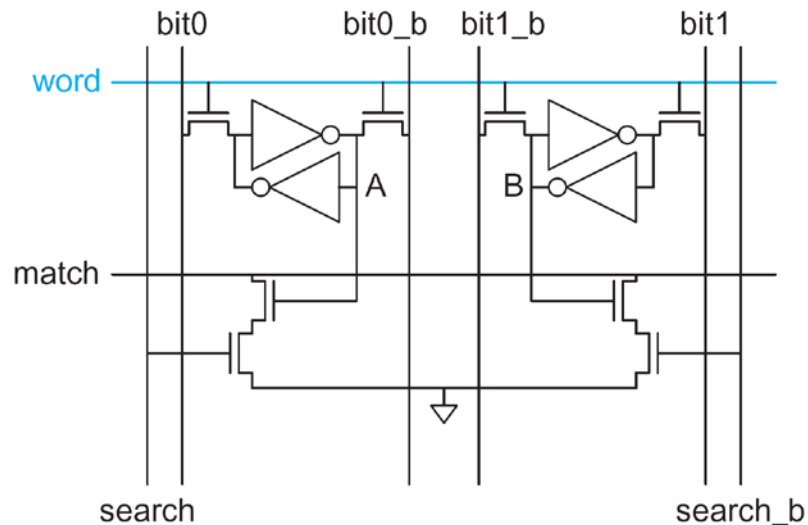
- Η προς προσπέλαση wordline οδηγείται σε χαμηλή στάθμη
- Precharge matchlines
- Τοποθέτηση κλειδιού στις bitlines
- Υπολογισμός της matchline



➤ Miss line

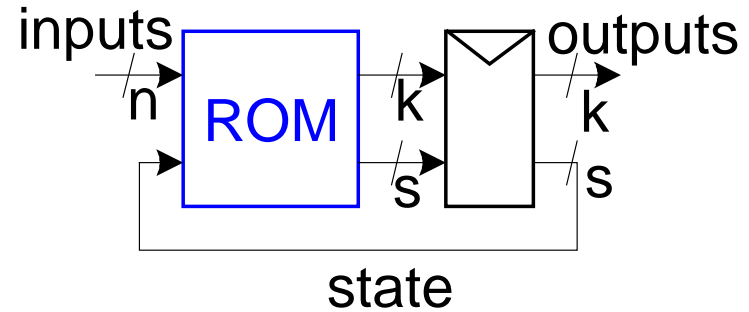
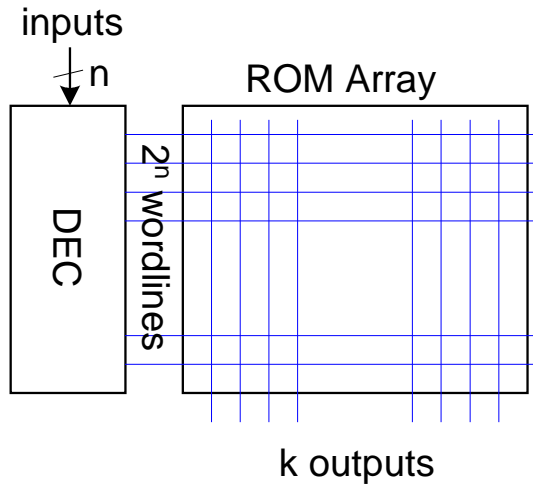
- Pseudo-nMOS NOR των match γραμμών
- Οδηγείται υψηλά όταν δεν υπάρχει matching

Τριαδική (Ternary) CAM



- Σε αρκετές εφαρμογές απαιτείται η αποθήκευση don't care value
 - δε ενδιαφερόμαστε για την αποθηκευμένη τιμή
- Η ternary CAM μπορεί να αποθηκεύει τρεις λογικές τιμές: 0, 1, X
- $A = 1, B = 0$ το κύτταρο ταιριάζει ένα 0
- $A = 0, B = 1$ το κύτταρο ταιριάζει ένα 1
- $A = 0, B = 0$ το κύτταρο ταιριάζει 0 και 1

- Εισαγωγή
- Μνήμη ROM
- Μνήμες σειριακής προσπέλασης
- Μνήμες διευθυνσιοδοτούμενες από τα δεδομένα (CAM)
- Προγραμματιζόμενες λογικές διατάξεις



- Χρήση ROM ως lookup table που περιέχει τον πίνακα αληθείας
 - n inputs, k outputs απαιτούν 2^n words x k bits
 - Η αλλαγή της λειτουργίας – επαναπρογραμματισμός της ROM
 - Μεγάλη καθυστέρηση για μεγάλες ROM (# γραμμών, # στηλών/γραμμή)

- Μηχανές Πεπερασμένων Καταστάσεων (Finite State Machines)
 - n inputs, k outputs, s bits of state
 - Build with 2^{n+s} x $(k+s)$ bit ROM and $(k+s)$ bit reg

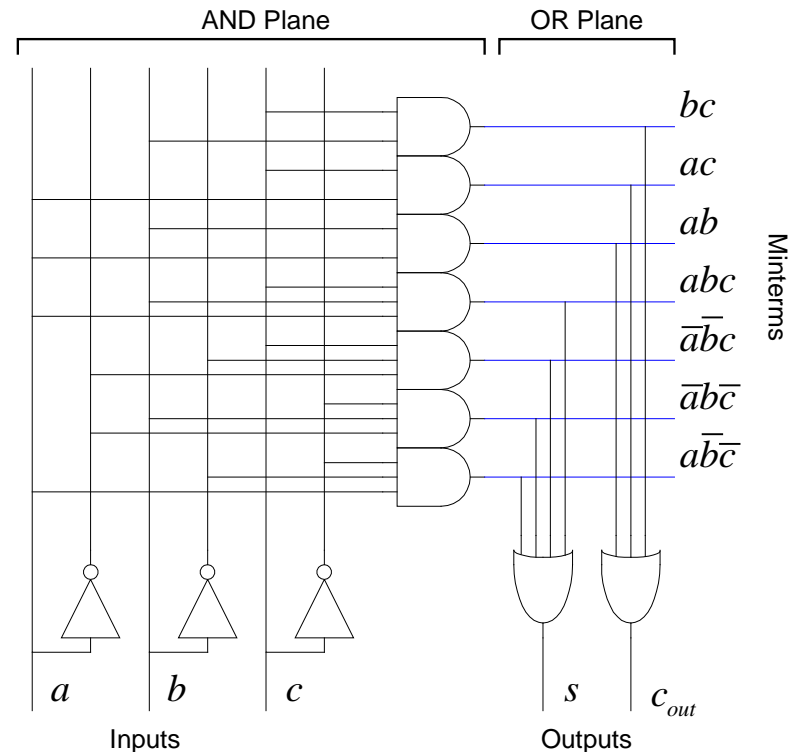
Programmable Logic Array – PLA

- Μία διάταξη *Programmable Logic Array* υλοποιεί κάθε συνάρτηση με μορφή sum-of-products
- *Literals*: inputs & complements
- *Products / Minterms*: AND of literals
- *Outputs*: OR of Minterms

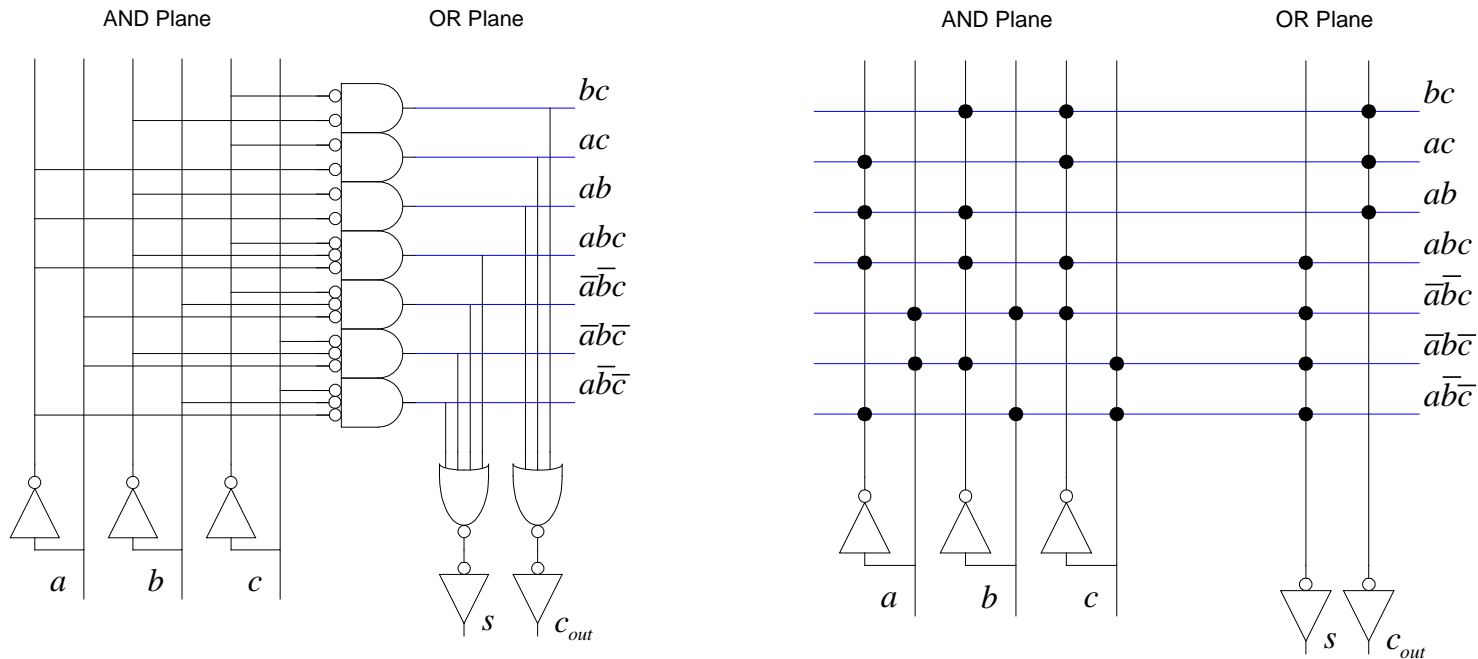
➤ Παράδειγμα: Full Adder

$$s = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc$$

$$c_{out} = ab + bc + ac$$

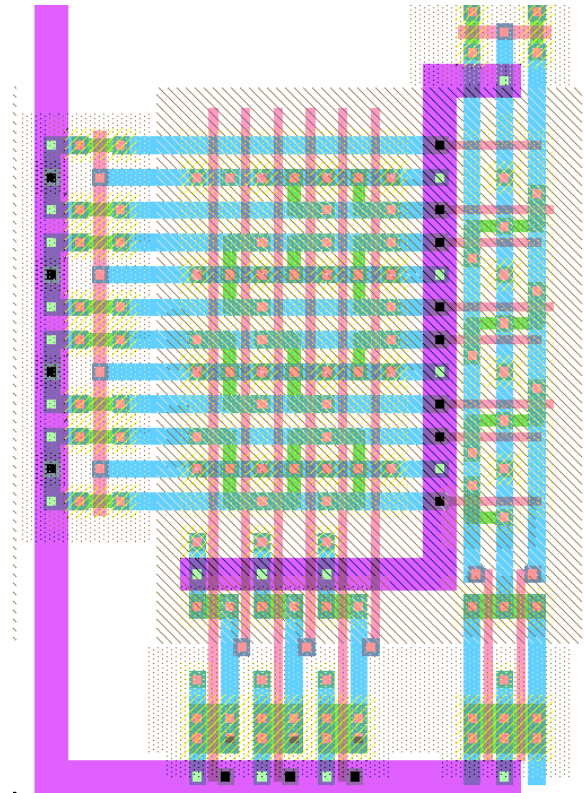
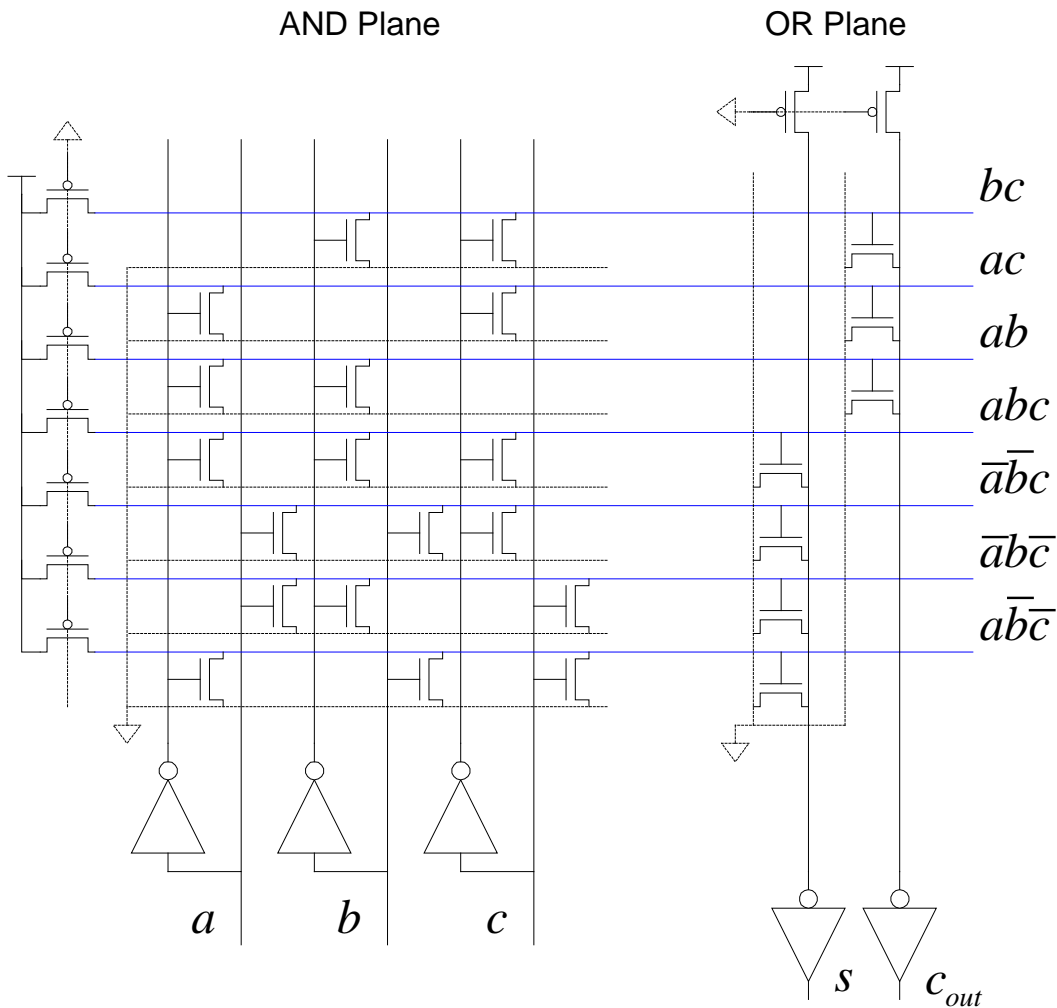


NOR-NOR PLAs



- Οι πύλες AND και OR δεν είναι κατάλληλες για CMOS υλοποίηση
- Dynamic ή Pseudo-nMOS NORs είναι πιο αποτελεσματικές
- Χρήση κανόνων DeMorgan's & άλγεβρας Boole για υλοποίηση με πύλες NOR

PLA Schematic & Layout



- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,
Βασίλης Παλιουράς, Γεώργιος Θεοδωρίδης,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II».
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση
<https://eclass.upatras.gr/courses/EE892/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ