



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα ΠΠ

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Κυκλώματα Βασιζόμενα σε Λόγο Διαστάσεων

- Εισαγωγή
- Pseudo-nMOS Λογική
- (Διαφορική) Cascode Voltage Swing Logic
- Δυναμική Λογική

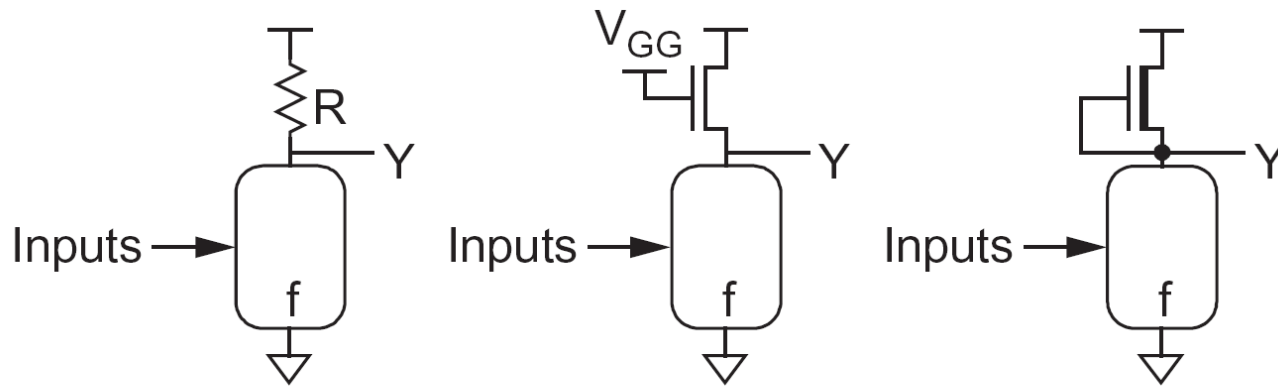
- Τι κάνει ένα κύκλωμα γρήγορο ?
- $I = C \, dV/dt \rightarrow t_{pd} \propto (C/I) \, DV$
- Αύξηση της ταχύτητας μπορεί να επιτευχθεί με
 - μικρή χωρητικότητα
 - μεγάλο ρεύμα
 - μικρές μεταπτώσεις τάσης DV
- Το logical effort είναι ανάλογο του C/I
- Το pMOS block είναι πρόβλημα!
 - Υψηλή χωρητικότητα για δεδομένο ρεύμα!
- Μπορούμε να αφαιρέσουμε τη χωρητικότητα και τις αντιστάσεις των pMOS τρανζίστορ?
- Διάφορες οικογένειες κυκλωμάτων το προσπαθούν

- Τα ratio circuits βασίζουν τη λειτουργία τους
 - σε κατάλληλες τιμές διαστάσεων των τρανζίστορ (δηλαδή, σε κατάλληλες τιμές αντιστάσεων)
 - σε κατάλληλες συνδεσμολογίες

- Εν γένει μια ratio πύλη αποτελείται από
 - nMOS pull-down δικτύωμα
 - ένα ή περισσότερα pull-up στοιχεία που καλούνται **στατικό φορτίο**

- Λειτουργία
 - Όταν το pull-down είναι OFF τότε το pull-up στοιχείο οδηγεί την έξοδο σε λογικό 1
 - Όταν το pull-down δικτύωμα είναι ON η έξοδος γίνεται 0

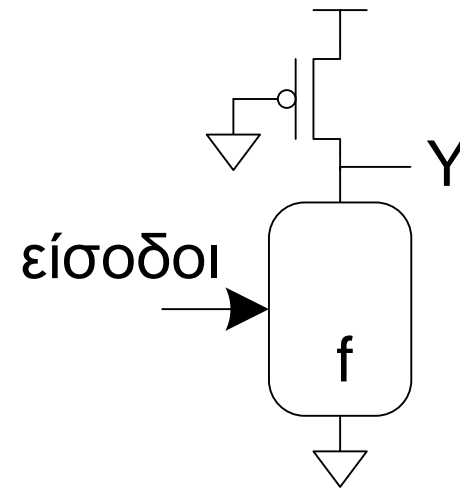
- Επομένως το pull-up πρέπει να είναι σχετικά ασθενές για να μην εμποδίζει την εκφόρτιση της εξόδου
 - Το pullup προσπαθεί διαρκώς να φέρει την έξοδο σε λογικό 1
- Για να ισχύει το παραπάνω πρέπει να υπάρχει κατάλληλος λόγος διαστάσεων μεταξύ των pull-up – pull-down στοιχείων
- Ισχυρά pull-up στοιχεία μειώνουν την καθυστέρηση για τη μετάβαση $0 \rightarrow 1$. Όμως αυξάνουν
 - V_{OL}
 - Περιθώρια θορύβου
 - Στατική κατανάλωση όταν η έξοδος είναι 0
- Λόγω της μεγάλης κατανάλωσης αντικαταστάθηκαν από τη CMOS λογική
 - Χρησιμοποιούνται σε ειδικές περιπτώσεις



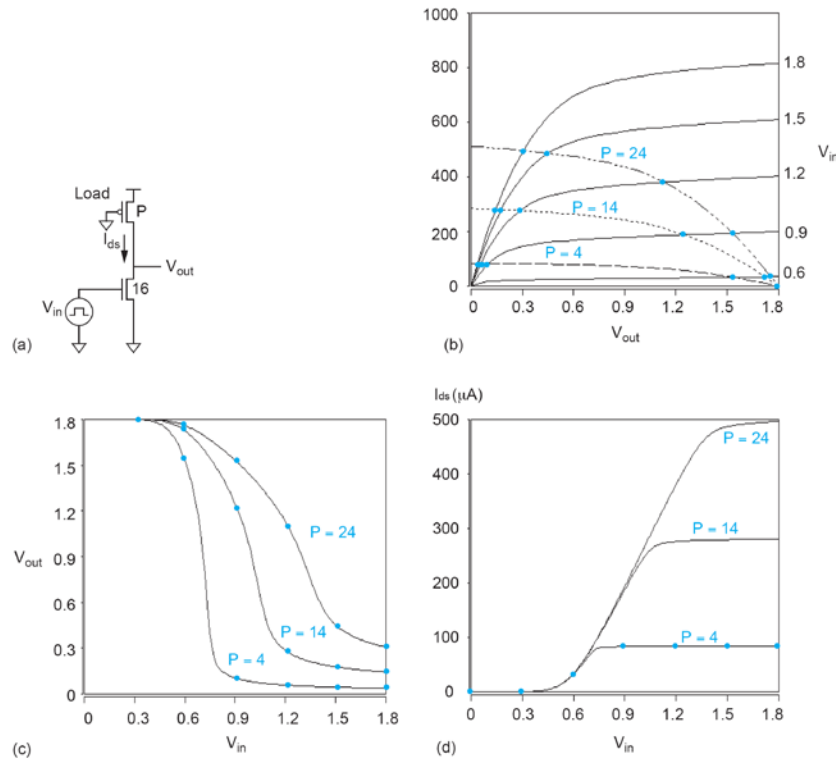
- Η δημιουργία αντίστασης σε IC καταλαμβάνει μεγάλη επιφάνεια
- Χρήση τρανζίστορ (enhancement) με $V_{GG} > V_{DD}$
 - Το pullup άγει πάντα και η έξοδος παίρνει την τιμή
- Για την αποφυγή επιπλέον γραμμής τροφοδοσίας (V_{GG}) χρήση τρανζίστορ αραίωσης (depletion)
 - Επιπλέον εμφύτευση αρνητικών ιόντων για τη δημιουργία αρνητικών threshold
 - $V_{gs}=0 \Rightarrow$ pullup πάντα ON

- Εισαγωγή
- Pseudo-nMOS Λογική
- (Διαφορική) Cascode Voltage Swing Logic
- Δυναμική Λογική

- Αντί για nMOS pullup χρησιμοποιούν pMOS τρανζίστορ
- Η πύλη του pMOS είναι γειωμένη => **το pullup είναι πάντα ON**
- Το pulldown είναι ίδιο με αυτό της CMOS
 - Λογικό AND – τρανζίστορ σε σειρά
 - Λογικό OR – τρανζίστορ παράλληλα
- Ανάλογα με τιμές των εισόδων υπολογίζεται η συνάρτηση f και η έξοδος
 - Εκφορτίζεται
 - Παραμένει σε λογικό 1



DC Χαρακτηριστικές Pseudo-nmos Αντιστροφεία

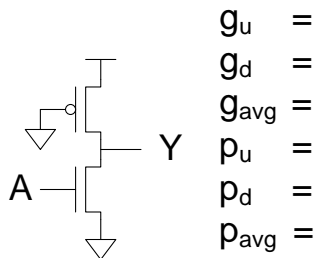


- Όσο μεγαλύτερη είναι διάσταση P τόσο
 - ταχύτερη είναι η μετάβαση $0 \rightarrow 1$
 - λιγότερο απότομη είναι η μετάβαση $1 \rightarrow 0$
- Μεγάλες τιμές P συνεπάγονται μεγάλα ρεύματα \Rightarrow αύξηση της στατικής κατανάλωσης ισχύος

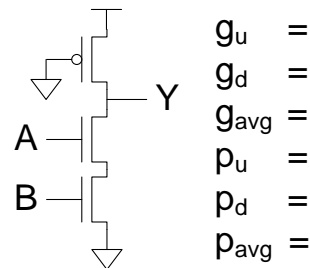
Pseudo-nMOS Πύλες (1/2)

- Κατασκευάζονται ώστε να έχουν μοναδιαίο ρεύμα στην έξοδο και να μπορούν να συγκριθούν με έναν inverter.
- Το pMOS αντιτίθενται των nMOS
- Το πλάτος των pMOS αντιστοιχεί στο $\frac{1}{4}$ της οδηγητικής ικανότητας ($\frac{1}{2}$ πλάτους) του nMOS pulldown
 - Συμβιβασμοί για περιθώρια θορύβου και ταχύτητα

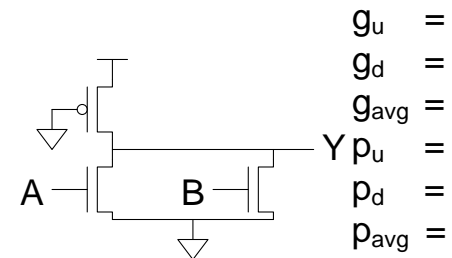
Αντιστροφέας



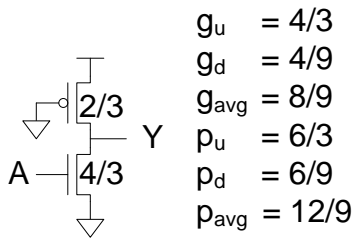
NAND2



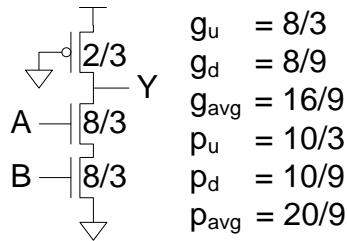
NOR2



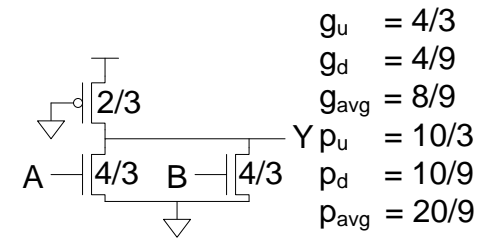
Αντιστροφέας



NAND2



NOR2



- Οι NAND pseudo-nMOS είναι πιο αργή από την αντίστοιχη CMOS
- Όμως η NOR pseudo-nMOS έχει μικρότερη καθυστέρηση
- Οι NOR pseudo-nMOS χρησιμοποιούνται
 - Για γρήγορες NOR πολλών εισόδων
 - Σε NOR-based κυκλωματικές δομές (ROM, PLAs)

Pseudo-nMOS Σχεδίαση

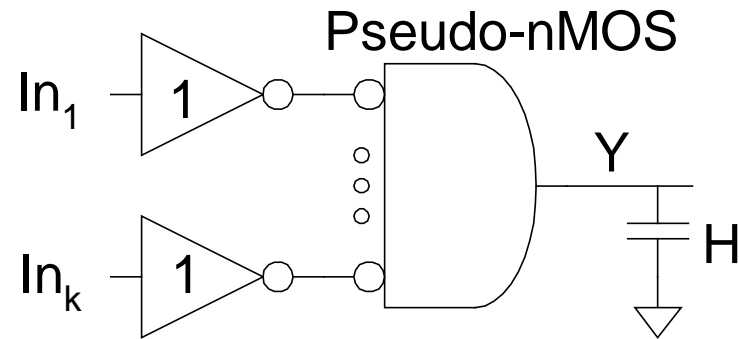
- Σχεδίαση μιας πύλης AND k-εισόδων με pseudo-nMOS & εκτίμηση καθυστέρησης για οδήγηση ενός H-fanout.

- $G = 1 * 8/9 = 8/9$

- $F = GBH = 8H/9$

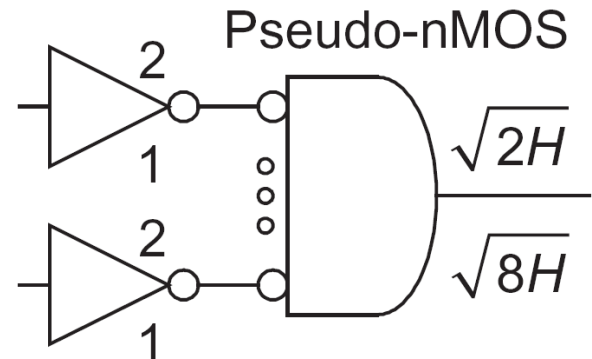
- $N = 2$

- $f_{optimum/stage} = \sqrt{8H/9}$



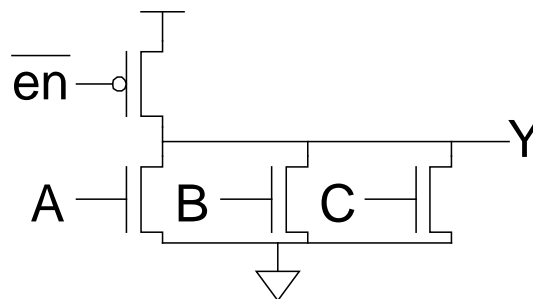
Pseudo-nMOS Σχεδίαση

- $C_{in} = \frac{gC_{out}}{f_{optim}} = \frac{8H/9}{\sqrt{8H/9}} = \frac{\sqrt{8H}}{3}$
- Καθώς η μοναδιαία NOT έχει $C_{in} = 3 \Rightarrow$ το nMOS έχει εύρος $\sqrt{8H}$
- Το pMOS πρέπει να έχει το μισό εύρος
- Η παρασιτική χωρητικότητα της NOR είναι $(4+8k)/9$, ενώ η συνολική είναι
- $P = 1 + (4+8k)/9 = (8k+13)/9$
- $D = NF^{1/N} + P = \frac{4\sqrt{2H}}{3} + \frac{8k+13}{9}$

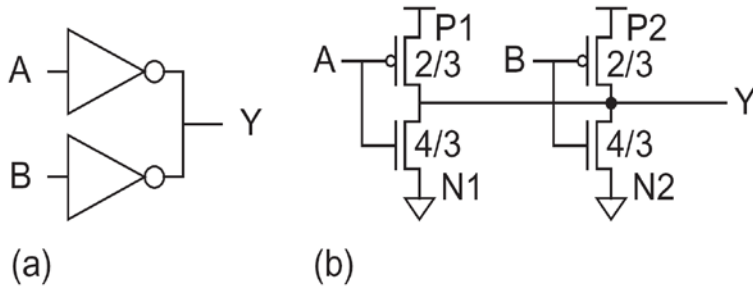


Pseudo-nMOS – Κατανάλωση Ισχύος

- Οι Pseudo-nMOS πύλες καταναλώνουν διαρκώς ενέργεια όταν $Y = 0$
 - Υπάρχει μονοπάτι από $V_{dd} \rightarrow GND$
- Η κατανάλωση αυτή καλείται στατική κατανάλωση ισχύος (*static power*) και είναι ίση με $P = I \cdot V_{DD}$
 - Λίγα mA / πύλη * 1M πύλες αποτελούν σημαντικότατο πρόβλημα
 - Γι' αυτό η τεχνολογία nMOS «εξαφανίστηκε»!
- Χρήση pseudo-nMOS πυλών με προσοχή
- Απενεργοποίηση των pMOS όταν δεν χρησιμοποιούνται



Ganged CMOS



$$g_u = 1$$

$$g_d = 2/3$$

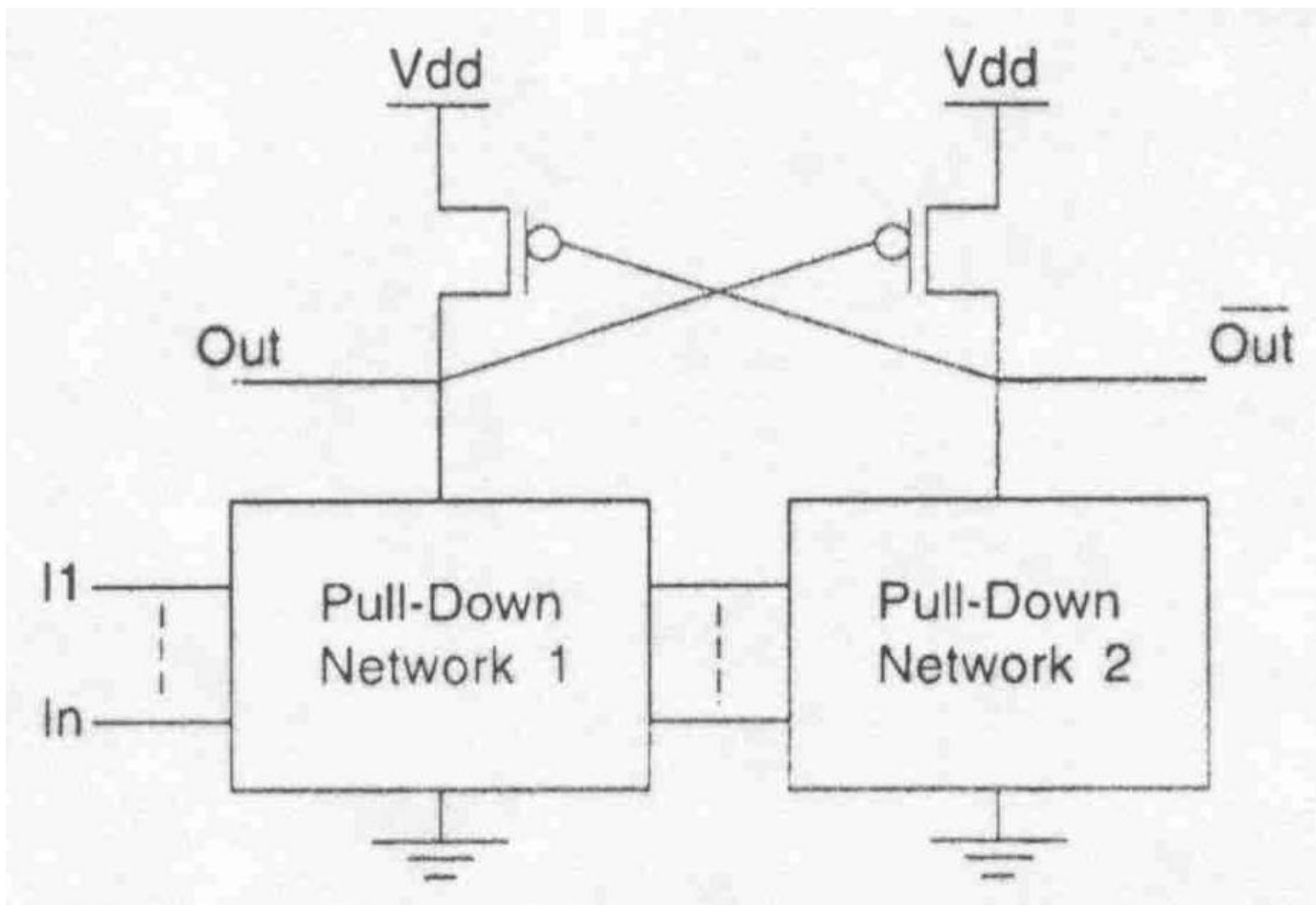
$$g_{avg} = 5/6$$

A	B	N1	P1	N2	P2	y
0	0	OFF	ON	OFF	ON	1
0	1	OFF	ON	ON	OFF	~ 0
1	0	ON	OFF	OFF	ON	~ 0
1	1	ON	OFF	ON	OFF	0

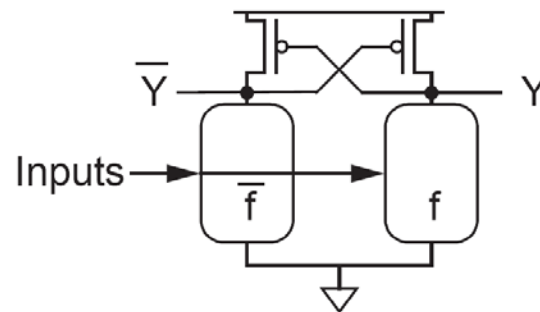
- Ο πίνακας αληθείας πιστοποιεί λειτουργία NOR πύλης
- Όταν μία μόνο είσοδος είναι 0 η πύλη είναι τυπική pseudo-nMOS
- Όταν και οι δύο είσοδοι είναι 0 τότε η έξοδος έρχεται πιο γρήγορα σε τιμή 1 σε σχέση με μία κλασική pseudo-nMOS (2 pMOS οδηγούν την έξοδο)
- Όταν και οι δύο είσοδοι είναι 1 τα pMOS είναι OFF => μείωση κατανάλωσης
- Επομένως, καλύτερη οικογένεια σε κατανάλωση και ταχύτητα από pseudo-nMOS NOR2

- Εισαγωγή
- Pseudo-nMOS Λογική
- (Διαφορική) Cascode Voltage Swing Logic
- Δυναμική Λογική

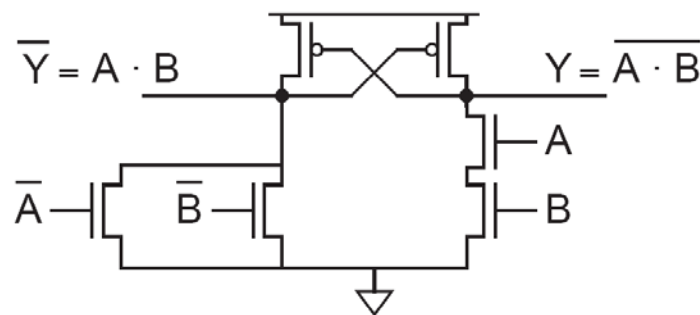
Cascode Voltage Swing Logic – CVSL (1/5)



- Διατηρεί τα πλεονεκτήματα της ratio λογικής χωρίς στατική κατανάλωση
- Χρησιμοποιεί συμπληρωματικές και μη συμπληρωματικές εισόδους



(a)



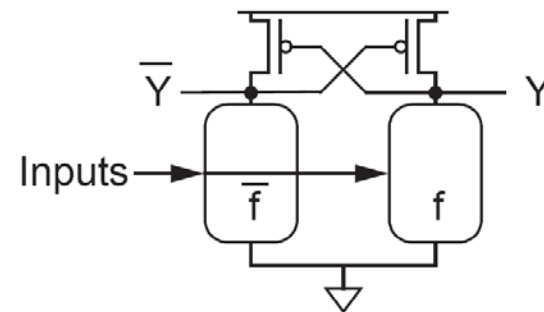
(b)

(Differential) Cascode Voltage Swing Logic – CVSL (2/5)

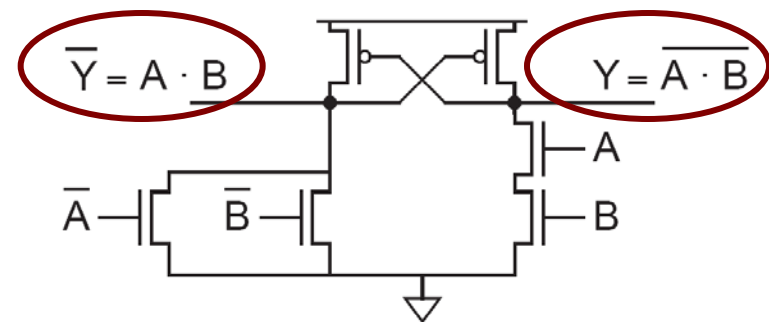
➤ Διατηρεί τα πλεονεκτήματα της ratio λογικής χωρίς στατική κατανάλωση

➤ Χρησιμοποιεί συμπληρωματικές και μη συμπληρωματικές εισόδους

➤ Υπολογίζει συμπληρωματικές και μη συμπληρωματικές εξόδους



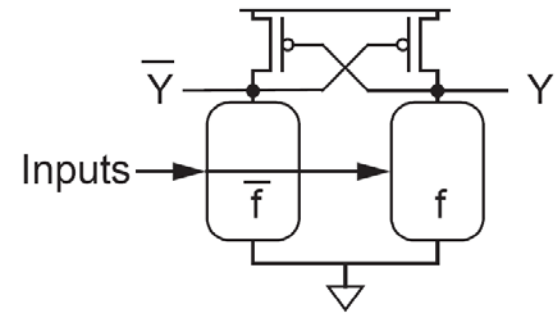
(a)



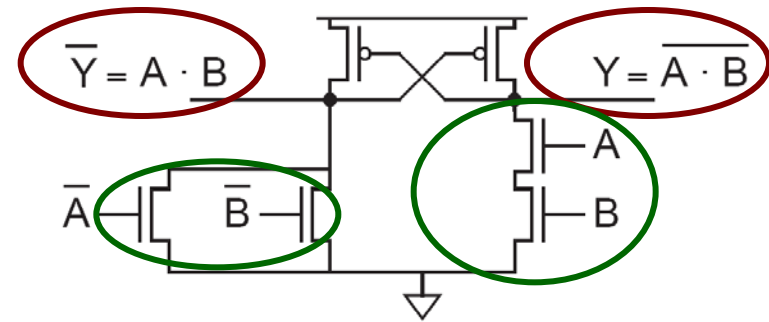
(b)

(Differential) Cascode Voltage Swing Logic – CVSL (2/5)

- Διατηρεί τα πλεονεκτήματα της ratio λογικής χωρίς στατική κατανάλωση
- Χρησιμοποιεί συμπληρωματικές και μη συμπληρωματικές εισόδους
- Υπολογίζει συμπληρωματικές και μη συμπληρωματικές εξόδους
- Χρήση συμπληρωματικού ζεύγους nMOS pulldown δικτυωμάτων



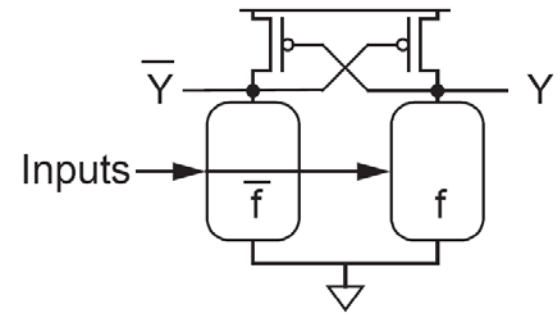
(a)



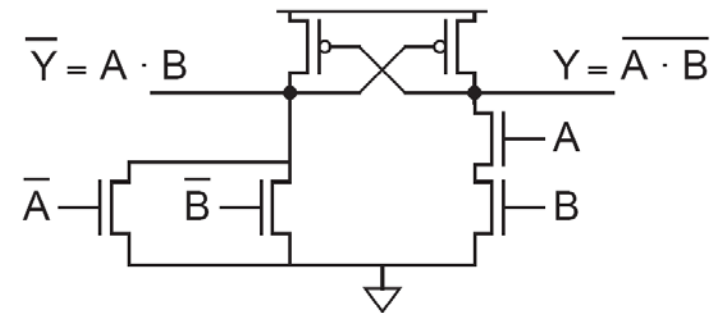
(b)

Cascode Voltage Swing Logic – CVSL (3/5)

- Για οποιοδήποτε συνδυασμό εισόδων ένα pulldown δικτύωμα θα είναι ON και το άλλο OFF
- Το ON pulldown οδηγεί τη μία έξοδο σε 0
- Αυτό αναγκάζει ένα pMOS να άγει => η άλλη έξοδος οδηγείται σε 1
- Δεν άγουν ταυτόχρονα pMOS και nMOS στην ίδια «στήλη»
- Δεν υπάρχει ροή στατικού ρεύματος => **δεν υπάρχει στατική κατανάλωση**



(a)

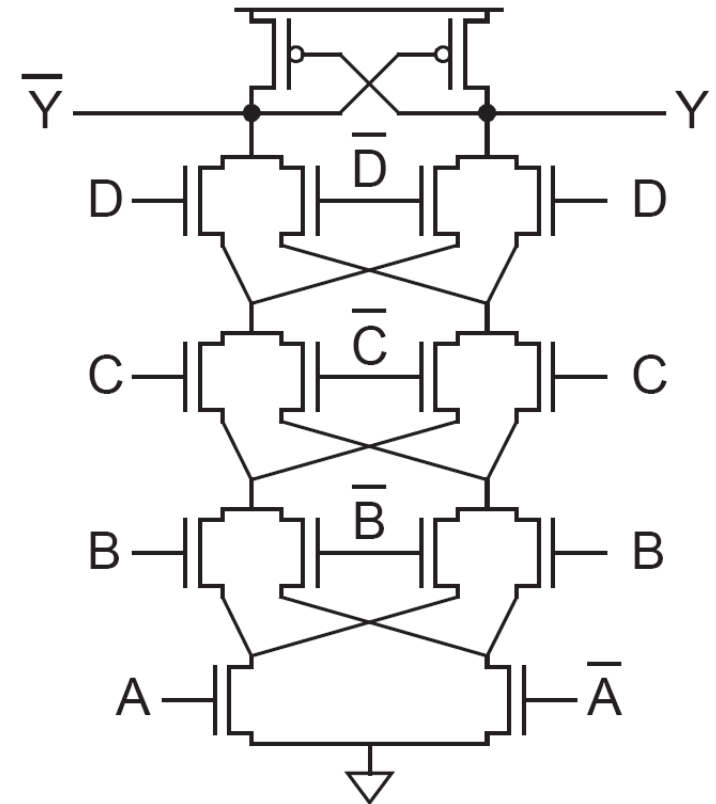


(b)

- Η CVSL έχει όλα τα δυνητικά πλεονεκτήματα για την ταχύτητα
 - Η λογική υλοποιείται μόνο από nMOS τρανζίστορ => μείωση χωρητικότητας εισόδου
- Ο λόγος των μεγεθών των τρανζίστορ είναι σημαντικός
 - Τα pMOS αντιμάχονται τα nMOS τρανζίστορ
 - Μεγάλο pMOS => αργή μετάβαση $1 \rightarrow 0$
- Η ανάδραση θέτει ένα pMOS OFF => οι έξοδοι έχουν πάντα σωστές στάθμες => **Αύξηση της στιβαρότητας (robustness)**
 - Λόγω της ανάδρασης υπάρχει πάντοτε διόρθωση των σταθμών τάσεων των εξόδων

- Δεν υπάρχει κατανάλωση στατικής ισχύος
 - Μπορεί να εμφανιστούν ρεύματα βραχυκυκλώματος
- Οι δυο συναρτήσεις σε pull-down network είναι συμπληρωματικές
 - Μεγάλη επιφάνεια και χωρητικότητα στις εναλλαγές
- Λόγω των εν σειρά τρανζίστορ έχουν μεγαλύτερη καθυστέρηση για NAND/NOR πύλες σε σχέση με τη pseudo-nMOS

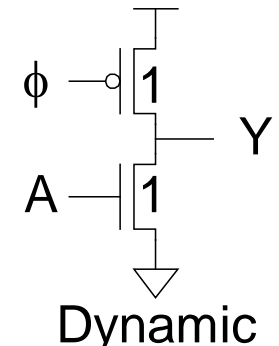
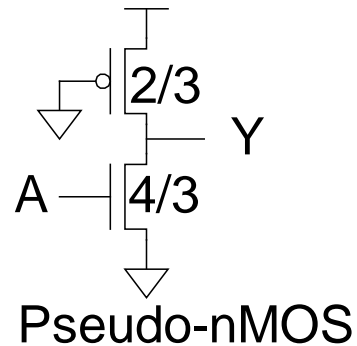
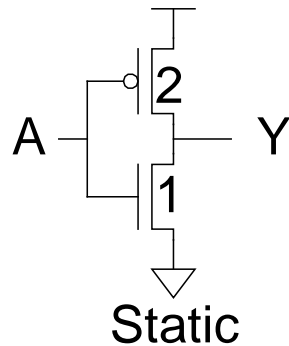
- Δεν υπάρχει κατανάλωση στατικής ισχύος
 - Μπορεί να εμφανιστούν ρεύματα βραχυκυκλώματος
- Οι δυο συναρτήσεις σε pull-down network είναι συμπληρωματικές
 - Μεγάλη επιφάνεια και χωρητικότητα στις εναλλαγές
- Λόγω των εν σειρά τρανζίστορ έχουν μεγαλύτερη καθυστέρηση για NAND/NOR πύλες σε σχέση με τη pseudo-nMOS
- Μπορεί να γίνει διαμερισμός υλικού σε δυο pull-down networks
 - Παράδειγμα XOR πύλη



- Εισαγωγή
- Pseudo-nMOS Λογική
- (Διαφορική) Cascode Voltage Swing Logic
- Δυναμική Λογική

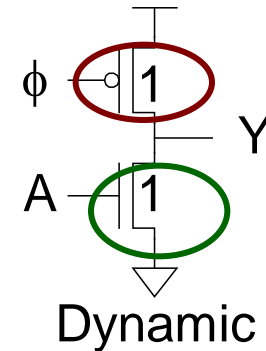
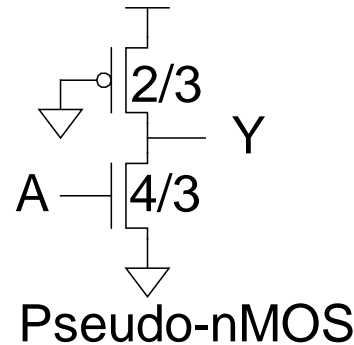
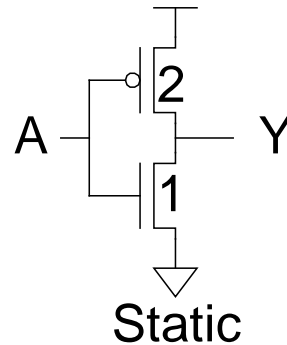
- Οι ratioed πύλες μειώνουν τη χωρητικότητα εισόδου αντικαθιστώντας τα pMOS δικτύωμα με ένα pMOS pullup τρανζίστορ που άγει πάντα
 - Σχετικά αργές μεταβάσεις $0 \rightarrow 1$ – το pMOS pullup τρανζίστορ έχει μικρότερη διάσταση γιατί αντιμάχεται πάντα το pulldown δικτύωμα
 - Ροή ρεύματος ($V_{dd} \rightarrow GND$) κατά τη μετάβαση $1 \rightarrow 0$
 - Στατική κατανάλωση
 - “Μη μηδενική V_{OL} ”
- Οι δυναμικές πύλες χρησιμοποιούν pMOS pullup τρανζίστορ που οδηγείται από ένα σήμα ρολογιού
 - Αποφεύγουν τη διαρκή αγωγή του pMOS pullup

Δυναμική Λογική – Λειτουργία (1/2)



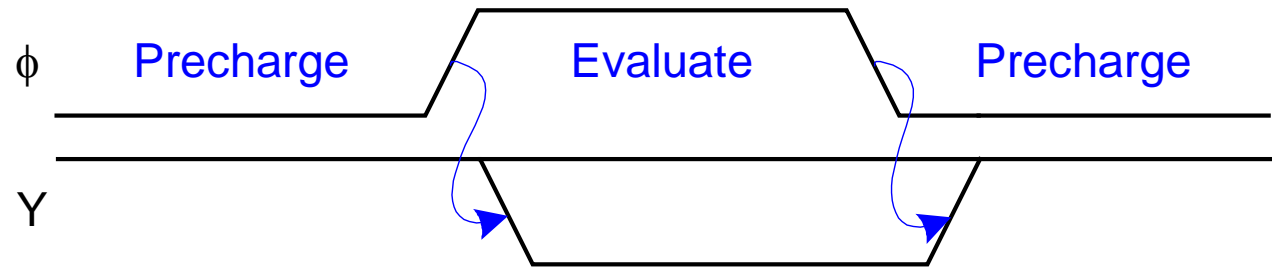
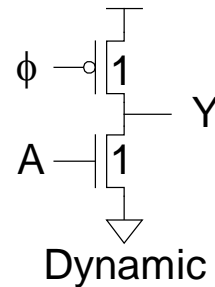
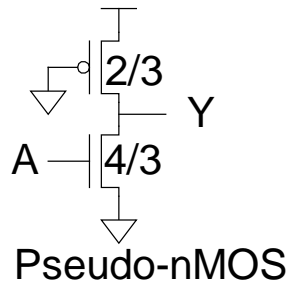
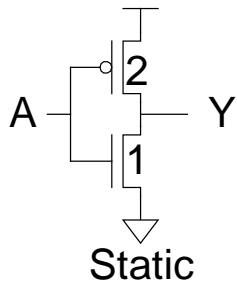
- Οι δυναμικές πύλες (Dynamic gates) χρησιμοποιούν ένα clocked pMOS pull-up και ένα nMOS pulldown δικτύωμα

Δυναμική Λογική – Λειτουργία (1/2)



- Οι δυναμικές πύλες (Dynamic gates) χρησιμοποιούν ένα clocked pMOS pull-up και ένα nMOS pulldown δικτύωμα
- Οι λειτουργία τους διακρίνεται σε δύο φάσεις: **precharge** και **evaluate**

Δυναμική Λογική – Λειτουργία (2/2)



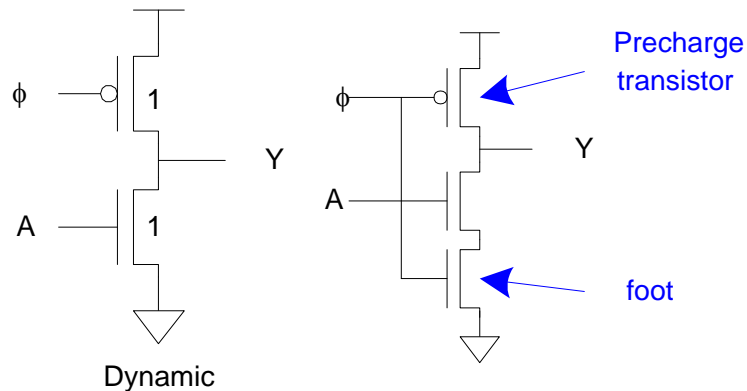
- Κατά τη φάση **precharge**
 - $\phi=0 \Rightarrow$ η έξοδος τίθεται σε λογική τιμή 1 ($Y=1$)
- Κατά τη φάση **evaluate**
 - $\phi=0 \Rightarrow$ pMOS είναι OFF
 - η πύλη «υπολογίζει» και με βάση τις τιμές των εισόδων και η έξοδος εκφορτίζεται ή παραμένει σε λογικό 1

➤ Πλεονεκτήματα

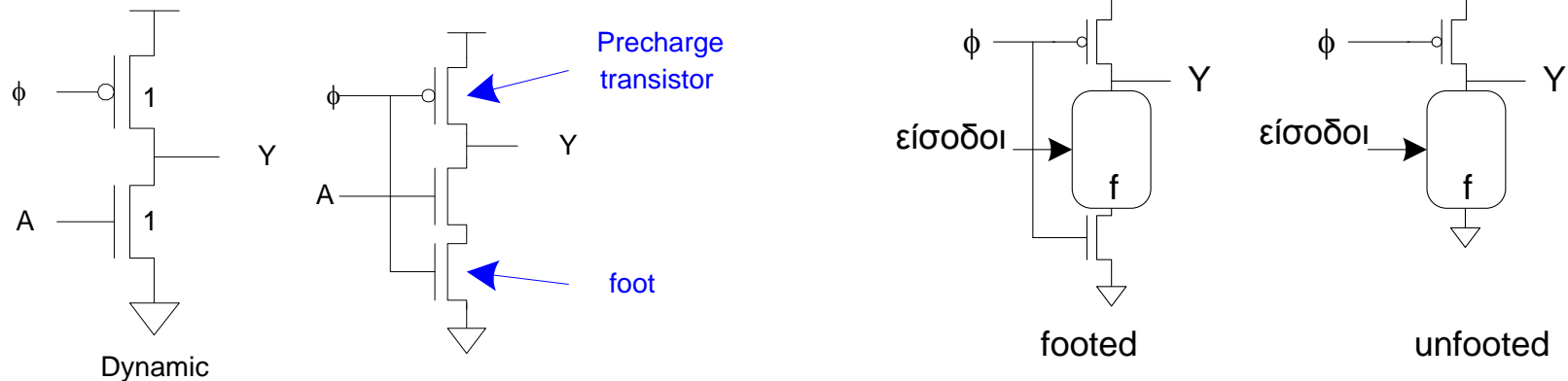
- Είναι λογική οικογένεια υψηλής ταχύτητας
 - Μικρή χωρητικότητα εισόδου
 - Δεν υπάρχουν συνθήκες ανταγωνισμού pullup – pulldown
- Δεν υπάρχει ροή ρεύματος από την τροφοδοσία στη γείωση => χαμηλή στατική κατανάλωση ισχύος

➤ Μειονεκτήματα

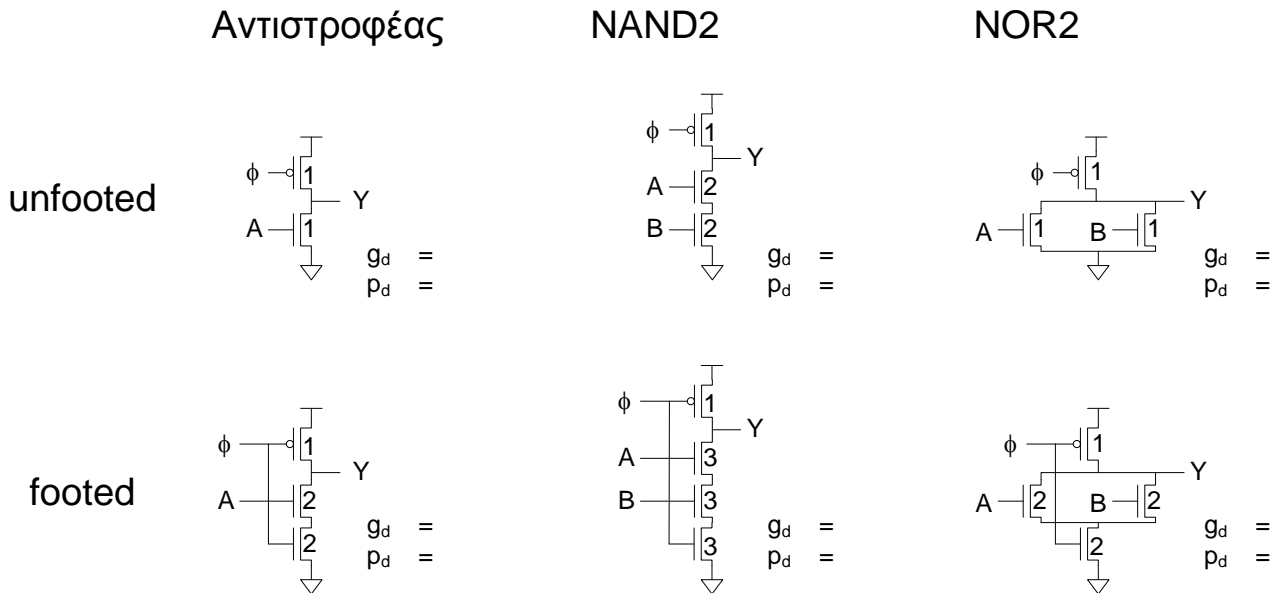
- Απαιτούν προσεκτική χρήση του σήματος ρολογιού
- Παρουσιάζουν υψηλή δυναμική κατανάλωση ισχύος
 - Υψηλές πιθανότητες μετάβασης (switching activity)
- Ευαίσθητες στο θόρυβο
- Δυσκολίες σε διαδοχικά συνδεδεμένες πύλες (cascaded gates)



- Τι γίνεται αν το pull-down network (transistor με είσοδο A) άγει κατά τη φάση του precharge?
 - Ανταγωνισμός για καθορισμό της τιμής της εξόδου
 - Στατική κατανάλωση
- Σε πραγματική λειτουργία δεν είναι πάντα σίγουρη η μη αγωγή του pulldown κατά το precharge



- Τι γίνεται αν το pull-down network (transistor με είσοδο A) άγει κατά τη φάση του precharge?
 - Ανταγωνισμός για καθορισμό της τιμής της εξόδου
 - Στατική κατανάλωση
- Σε πραγματική λειτουργία δεν είναι πάντα σίγουρη η μη αγωγή του pulldown κατά το precharge
- Χρήση ενός επιπλέον τρανζίστορ (foot transistor) για αποφυγή του ανταγωνισμού



- Τα μεγέθη των pulldown επιλέγονται να αντιστοιχούν σε μοναδιαία αντίσταση
- Η προφόρτιση γίνεται όταν η πύλη είναι ανενεργή και συχνά μπορεί να είναι λίγο πιο αργή
- Τα μεγέθη των pullup επιλέγονται να αντιστοιχούν σε x2 μοναδιαία αντίσταση

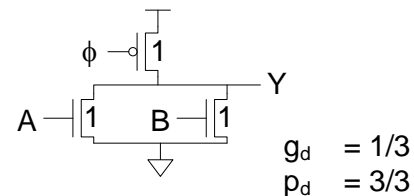
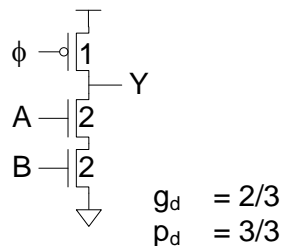
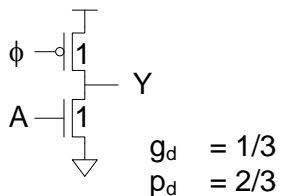
Logical Effort

Αντιστροφείας

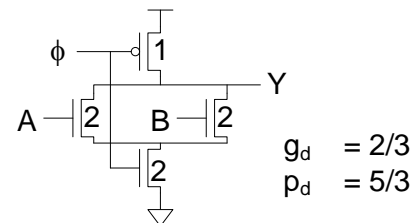
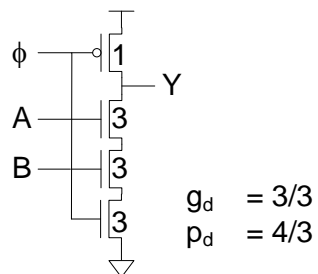
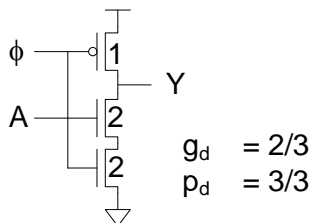
NAND2

NOR2

unfooted



footed



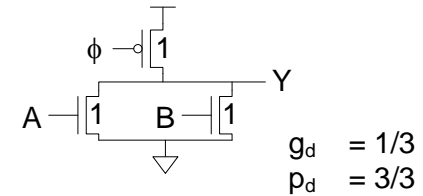
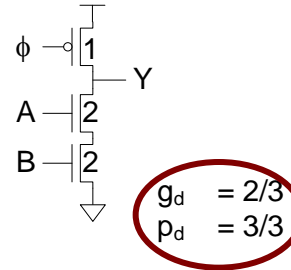
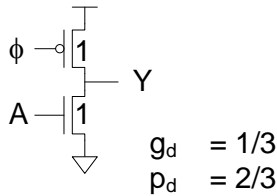
Logical Effort

Αντιστροφέας

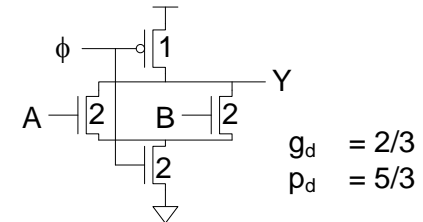
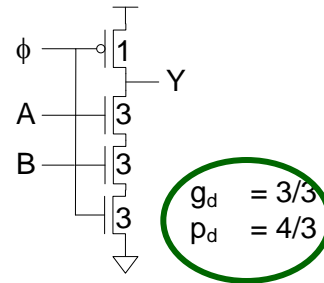
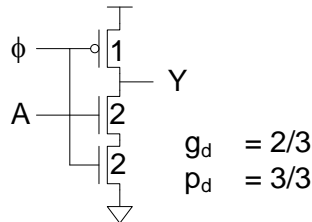
NAND2

NOR2

unfooted



footed



➤ Το logical effort των footed πυλών είναι εμφανώς μεγαλύτερο, όπως και η παρασιτική χωρητικότητα

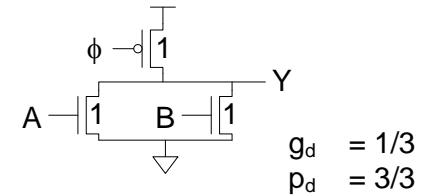
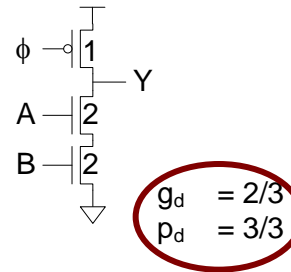
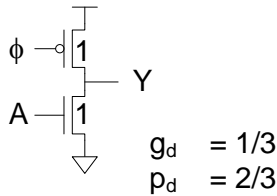
Logical Effort

Αντιστροφέας

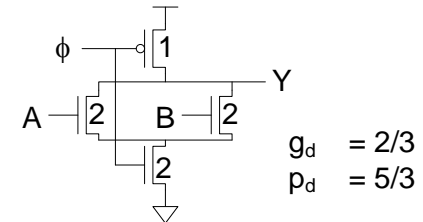
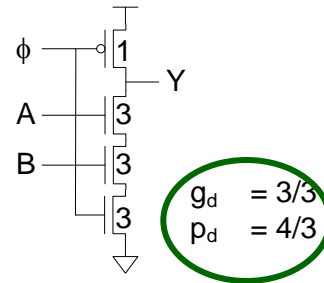
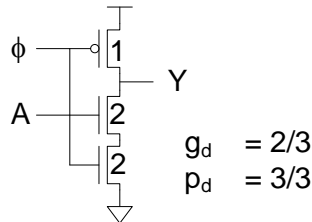
NAND2

NOR2

unfooted

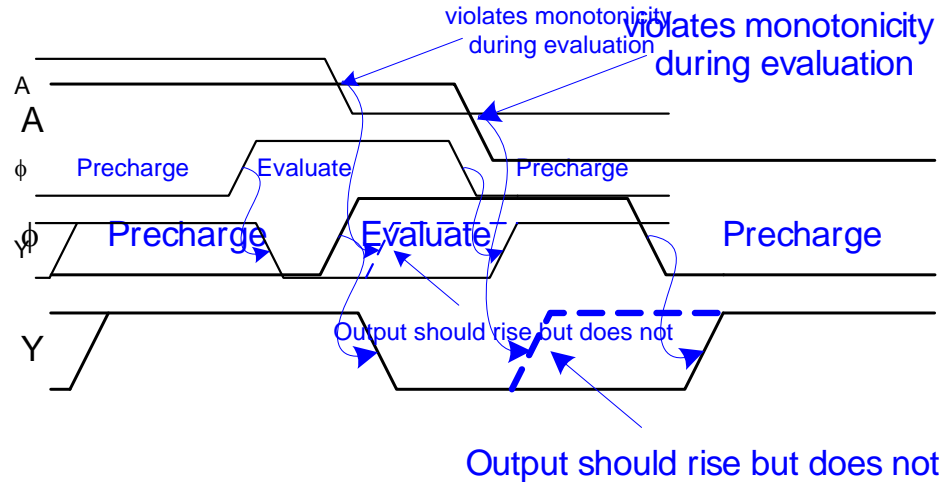
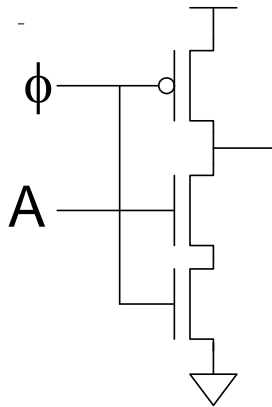


footed



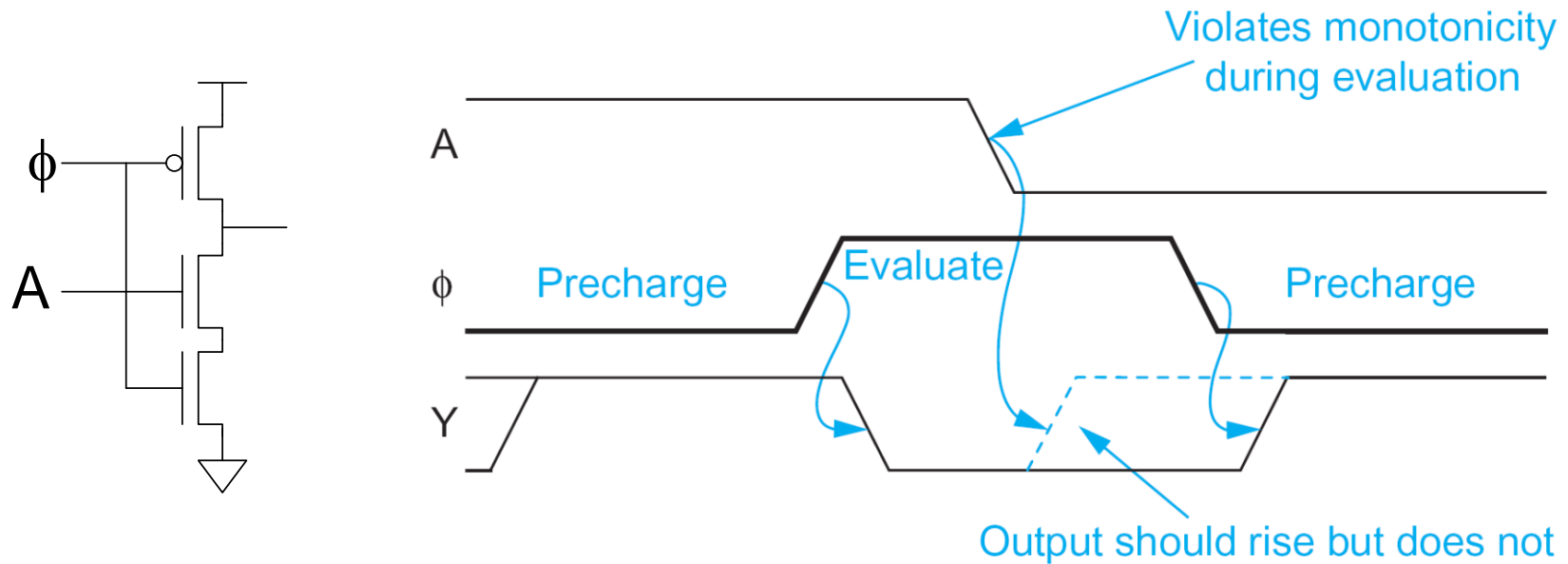
- Το logical effort των footed πυλών είναι εμφανώς μεγαλύτερο, όπως και η παρασιτική χωρητικότητα
- Στην πράξη το logical effort των footed πυλών είναι καλύτερο λόγω
 - Velocity saturation των εν σειρά τρανζίστορ (μικρότερη αντίσταση από την εκτιμώμενη)
 - Δεν υπάρχει ανταγωνισμός των pullup – pulldown δικτυωμάτων

Μονοτονικότητα (Monotonicity) (1/2)

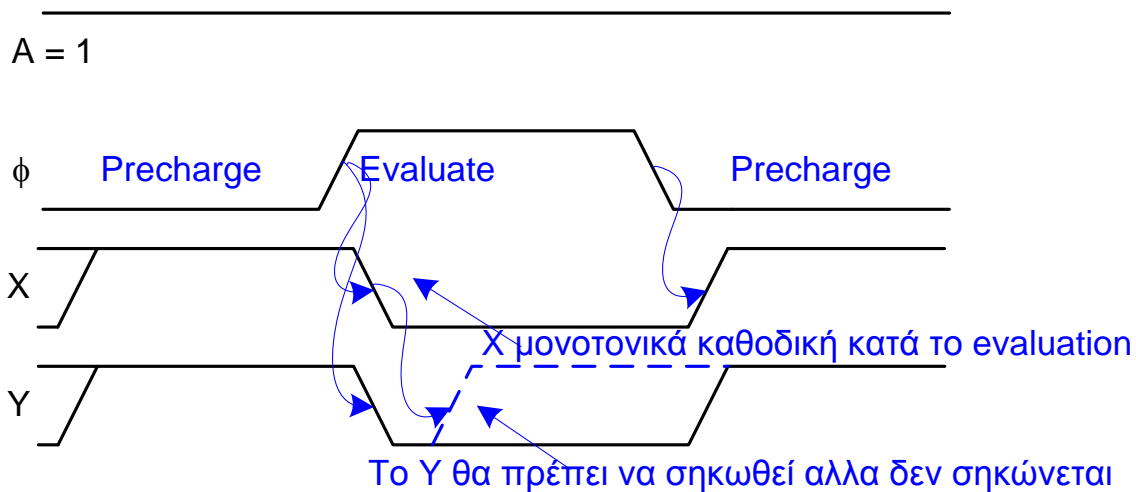
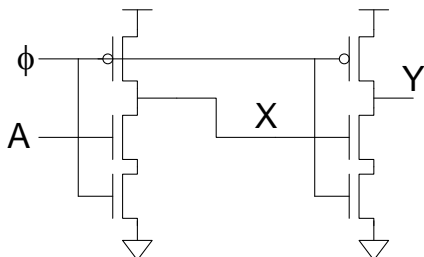


- Το θεμελιώδες πρόβλημα των δυναμικών πυλών είναι η απαίτηση για **μονοτονικότητα**
- Κατά το evaluation απαιτούνται μονοτονικά ανερχόμενες είσοδοι – Οι είσοδοι μπορούν να εκτελούν τις ακόλουθες μεταβάσεις
 - $0 \rightarrow 0$
 - $0 \rightarrow 1$
 - $1 \rightarrow 1$
 - **Αλλά όχι $1 \rightarrow 0$**

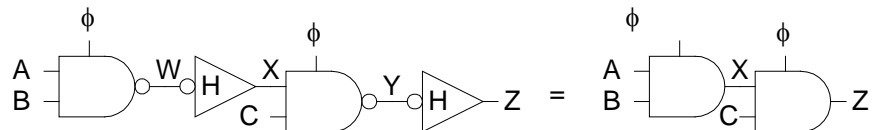
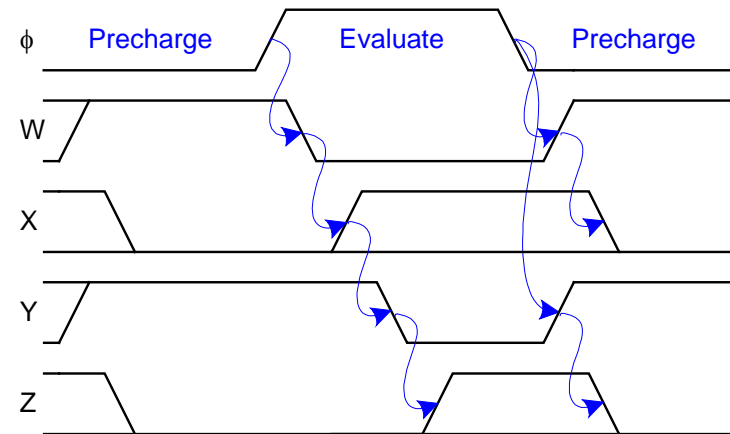
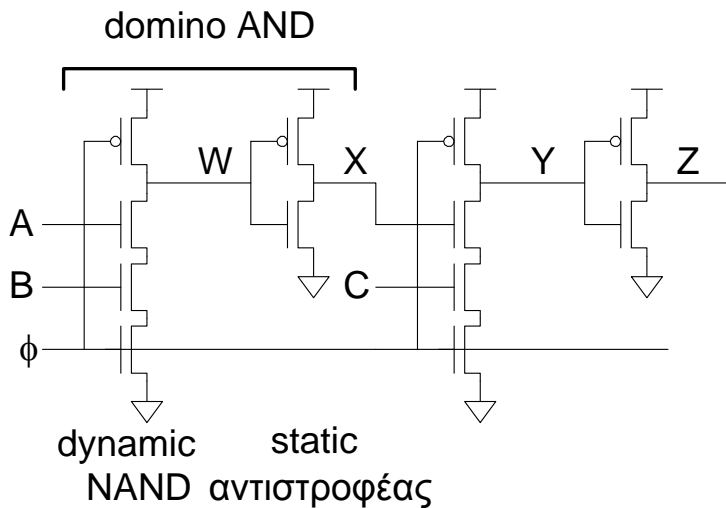
Μονοτονικότητα (Monotonicity) (2/2)



- Λόγω απαίτησης για μονοτονικότητα πρέπει να αποφεύγεται η διαδοχική σύνδεση δυναμικών πυλών – οδηγεί σε εντελώς λανθασμένη λειτουργία
- Το πρόβλημα αυτό αντιμετωπίζεται με τη domino λογική

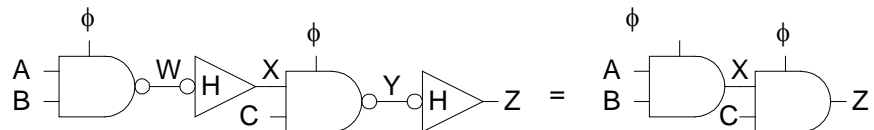
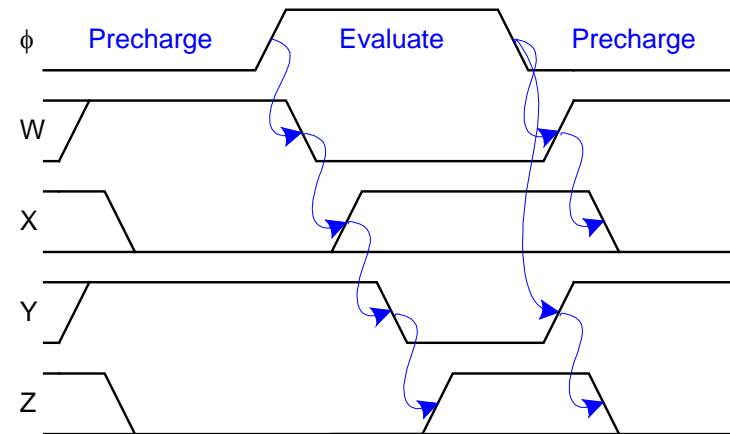
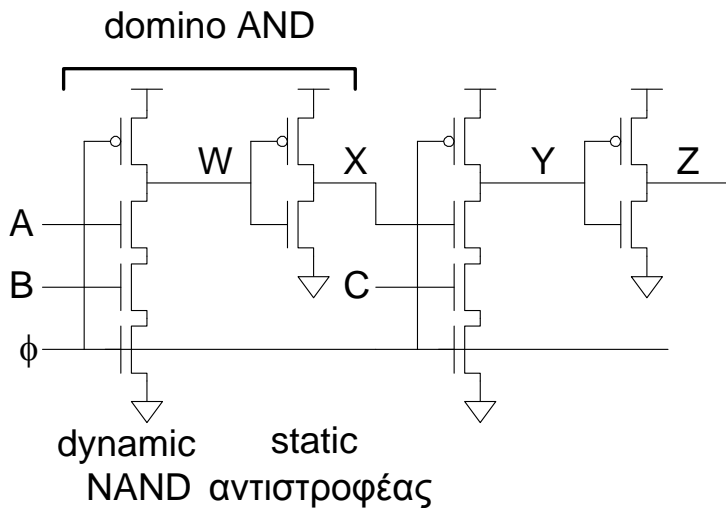


Domino Πύλες (1/3)



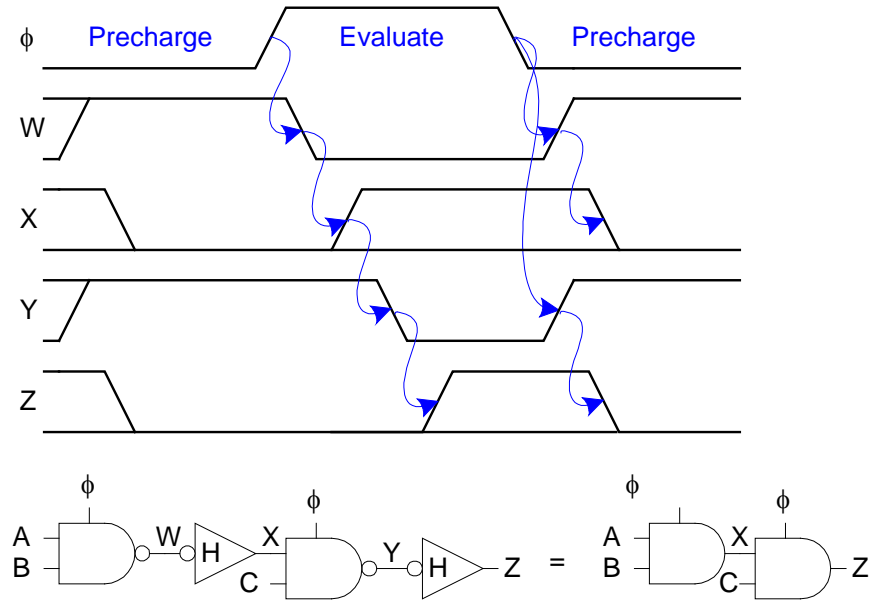
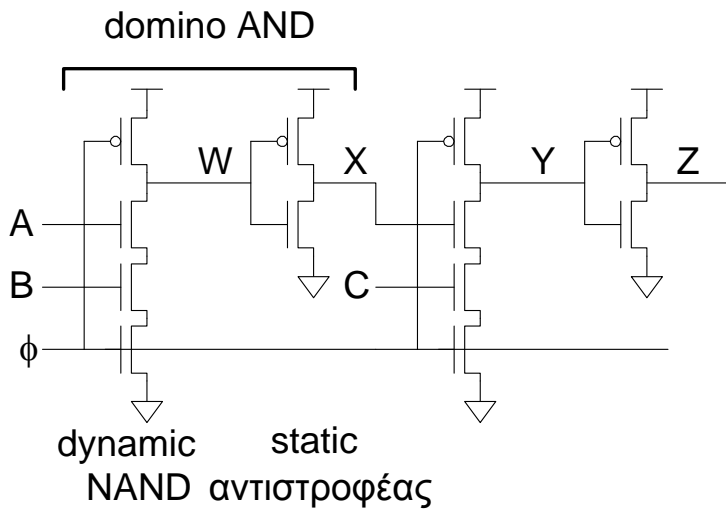
- Το πρόβλημα της μονοτονικότητας μπορεί να λυθεί τοποθετώντας έναν static CMOS αντιστροφέα ανάμεσα στις dynamic πύλες.
- Το ζεύγος Dynamic / static ονομάζεται **domino** πύλη
- Παράγει μονοτονικά ανερχόμενες εξόδους –Επιτρέπει τη διαδοχική διασύνδεση δυναμικών πυλών

Domino Πύλες (2/3)



- Η έξοδος της δυναμικής πύλης είναι μονοτονικά κατερχόμενη κατά το evaluation => η έξοδος της NOT είναι μονοτονικά ανερχόμενη
- Άρα η NOT μπορεί να είναι μια HI-Skew πύλη για να ευνοεί την ανερχόμενη μετάβαση

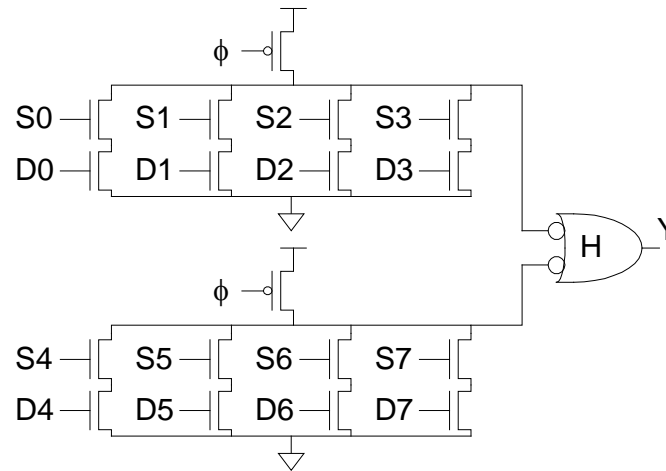
Domino Πύλες (3/3)



- Κάθε domino πύλη ενεργοποιεί την επόμενη, όπως στο παιχνίδι domino
- Οι πύλες κάνουν το evaluate σειριακά αλλά το precharge παράλληλα
- Γι' αυτό το evaluation είναι πιο κρίσιμο από ότι το precharge

- Μόνο non-inverting δομές μπορούν να υλοποιηθούν
- Η αναδιανομή φορτίου στη φόρτιση μπορεί να προκαλέσει πρόβλημα
- Ένας buffer εξόδου μπορεί να χρειαστεί λόγω φορτίου

Βελτιστοποιήσεις της Domino



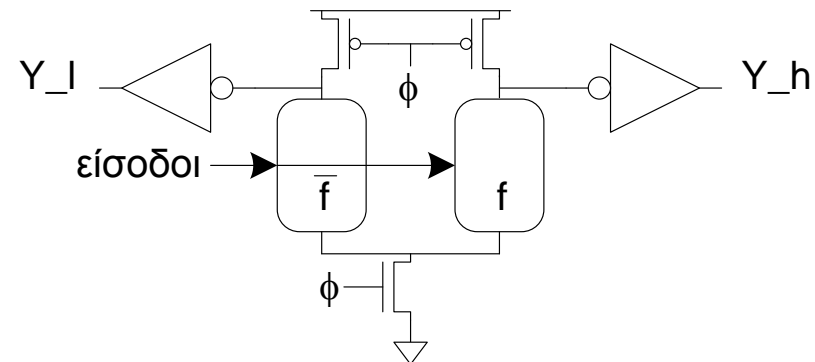
- Έστω ένας domino πολυπλέκτης 8 εισόδων αποτελούμενος από δύο dynamic πολυπλέκτες 4 εισόδων και μια Hi-Skewed NAND
- Είναι πιο γρήγορος από έναν δυναμικό πολυπλέκτη 8 εισόδων και έναν Hi-Skewed αντιστροφή
 - το dynamic stage έχει μικρότερη χωρητικότητα διάχυσης και καθυστέρηση παρασιτικών

Dual-Rail Domino

- Με το Domino μπορούν να υλοποιηθούν μόνο non-inverting συναρτήσεις:
 - AND, OR *αλλά όχι* NAND, NOR, ή XOR

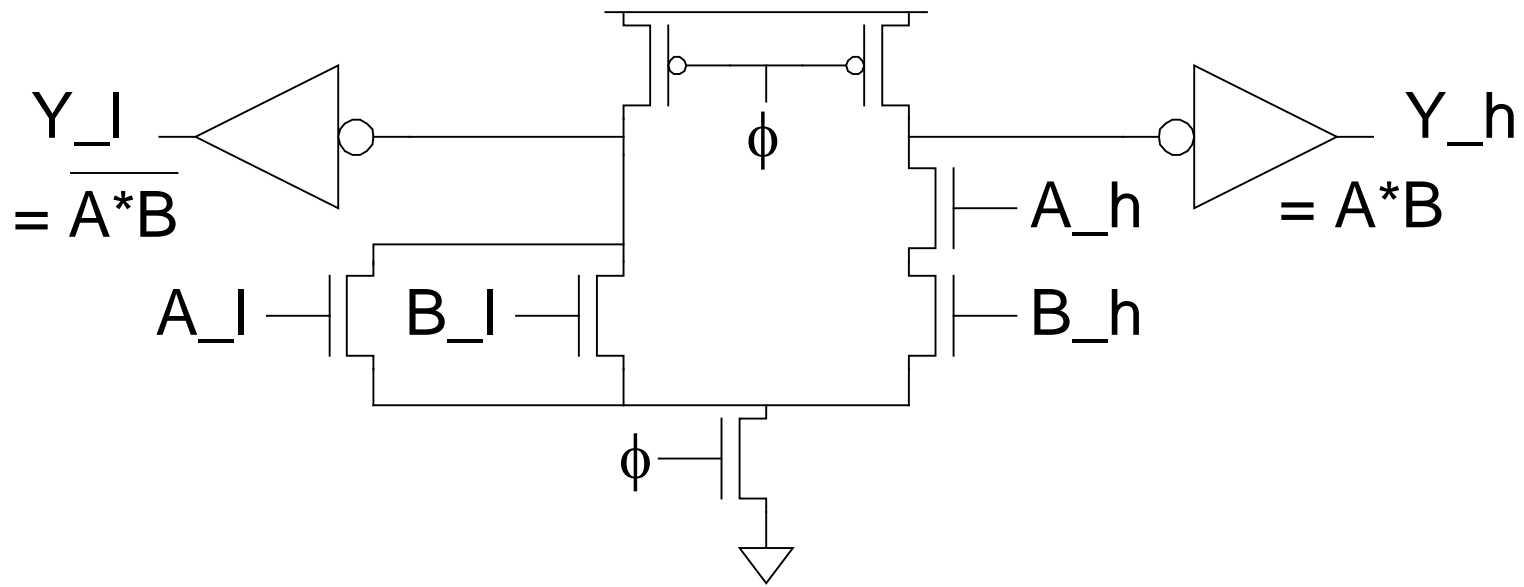
- Η **Dual-rail domino** λύνει το πρόβλημα
 - Λαμβάνει true και complementary εισόδους
 - Παράγει true και complementary εξόδους

Y_h	Y_l	Ερμηνεία
0	0	Precharged
0	1	'0'
1	0	'1'
1	1	λάθος



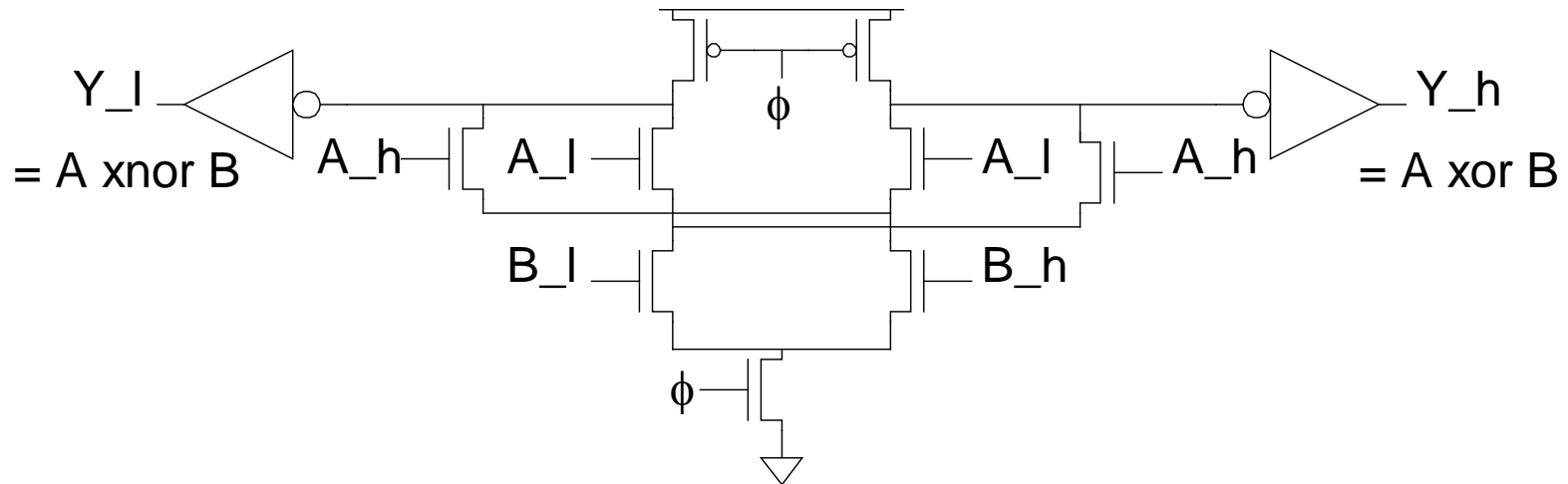
Παράδειγμα: AND/NAND

- Δεδομένων των A_h, A_l, B_h, B_l
- Ας υπολογίσουμε
 - $Y_h = A * B$
 - $Y_l = \text{NOT}((A * B))$
- Τα Pull-down networks άγουν συμπληρωματικά



Παράδειγμα: XOR/XNOR

- Μερικές φορές είναι δυνατό να μοιραστούν τα transistors

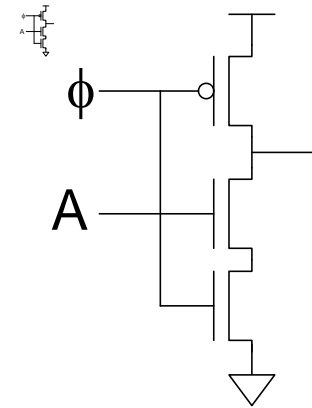


- Η Dual-Rail Domino είναι μία πλήρης οικογένεια σχεδιασμού
 - Υλοποιεί όλες τις συμπληρωματικές και μη συμπληρωματικές λογικές συναρτήσεις

- Όμως έχει τα ακόλουθα μειονεκτήματα
 - Μεγάλη επιφάνεια
 - Υψηλή καλωδίωση

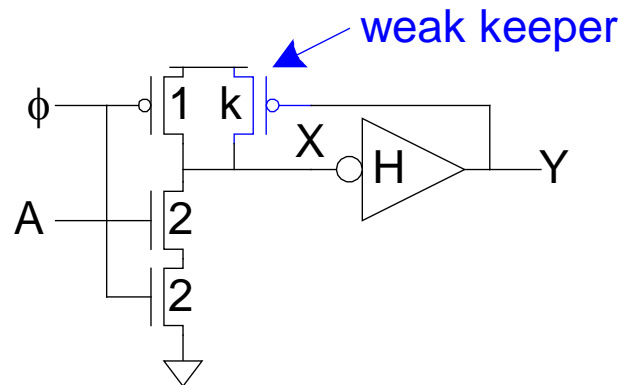
- Επίσης χάνει την αποτελεσματικότητα για υλοποίηση NOR με πολλές εισόδους
 - Απαιτεί ένα κλάδο με πολλά εν σειρά τρανζίστορ

- Αν η έξοδος προφορτιστεί και μετά μείνει αιωρούμενη (float) τότε λόγω ρευμάτων διαρροής μπορεί να αλλοιωθεί η τιμή της εξόδου
- Επίσης, έχουν χαμηλά περιθώρια θορύβου
- Αν λόγω θορύβου η τάση εισόδου γίνει μεγαλύτερη από V_t κατά τη διάρκεια του υπολογισμού => η έξοδος εκφορτίζεται λανθασμένα



Keepers (1/2)

- Όταν ο δυναμικός κόμβος έχει την τιμή $X=1$, η έξοδος έχει την τιμή $Y=0$ και ο keeper άγει
 - Επαναφορτίζει το κόμβο X και εμποδίζει τις απώλειες φορτίου λόγω διαρροών
- Όταν ο $X=0$, ο keeper εναντιώνεται στη μετάβαση αυτή
 - Άρα θα πρέπει να είναι πολύ πιο αδύναμος από το pull-down δίκτυο
- Όταν το $Y=1$ απενεργοποιείται ο keeper εμποδίζοντας την κατανάλωση στατικής ισχύος

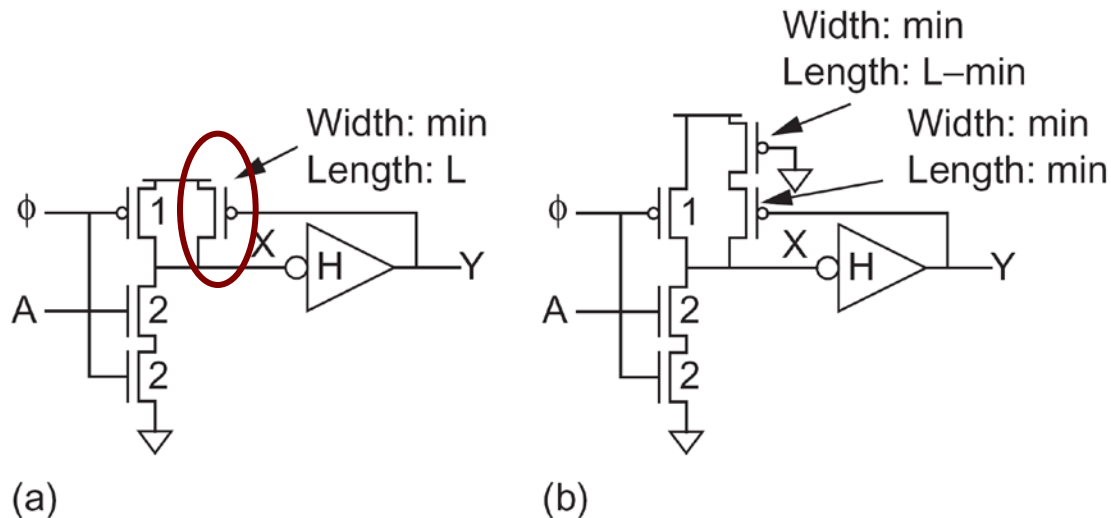


Keepers (2/2)

- Για μικρές δυναμικές πύλες ο keeper πρέπει να είναι ασθενέστερος από ένα τρανζίστορ ελάχιστου μεγέθους

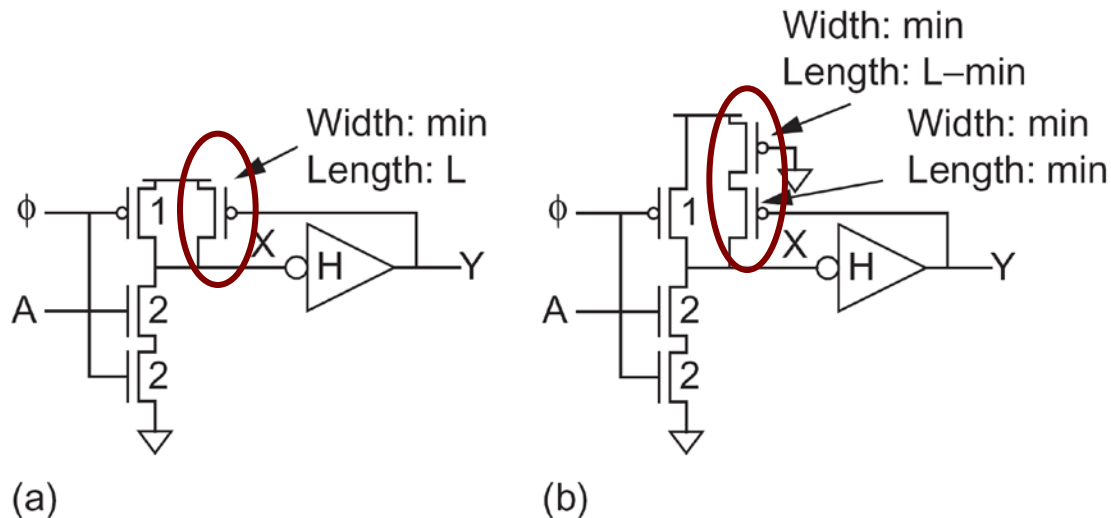
Keepers (2/2)

- Για μικρές δυναμικές πύλες ο keeper πρέπει να είναι ασθενέστερος από ένα τρανζίστορ ελάχιστου μεγέθους
- Επιτυγχάνεται με αύξηση του μήκους L του keeper

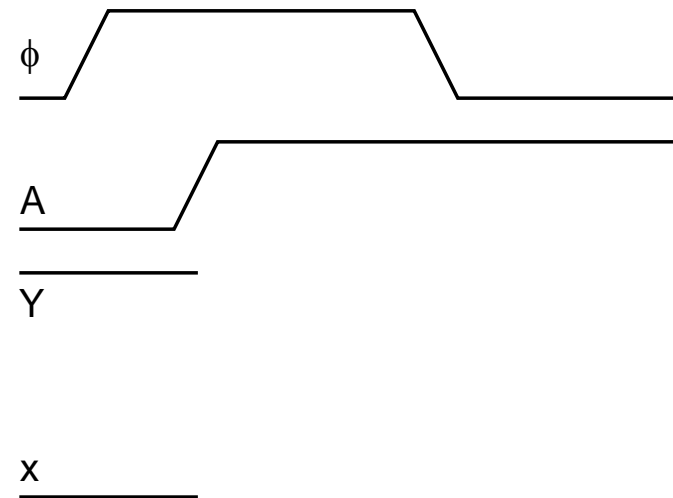
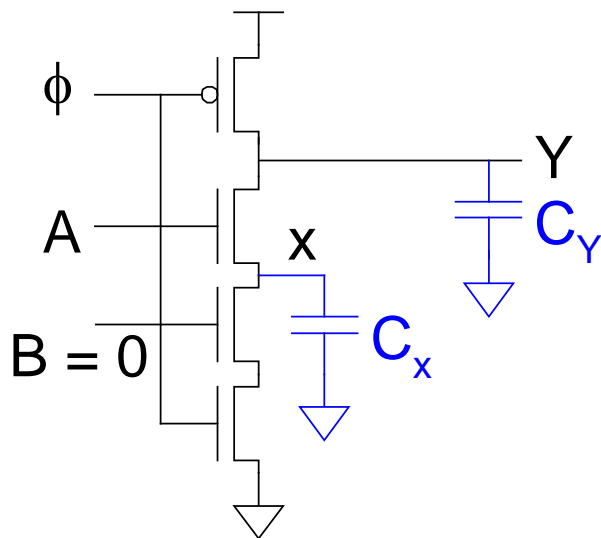


Keepers (2/2)

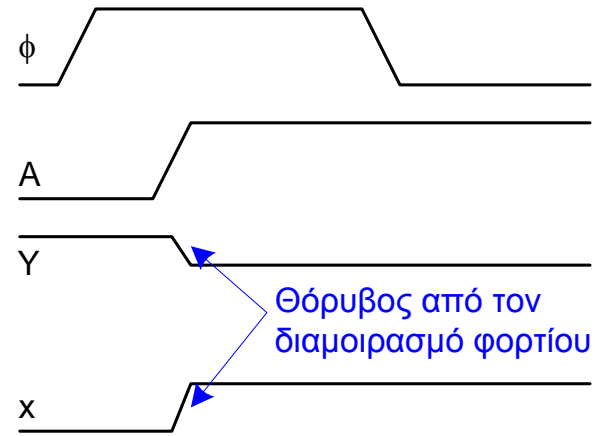
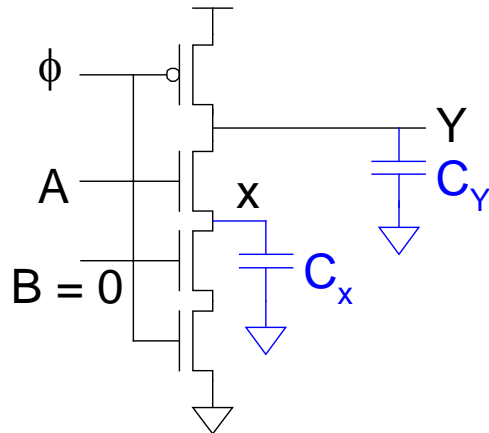
- Για μικρές δυναμικές πύλες ο keeper πρέπει να είναι ασθενέστερος από ένα τρανζίστορ ελάχιστου μεγέθους
- Επιτυγχάνεται με αύξηση του μήκους L του keeper
- Τα μεγάλα μήκη τρανζίστορ αυξάνουν τη χωρητικότητα εξόδου
- Διαμερισμός του keeper με χρήση περισσότερων τρανζίστορ



Οι Dynamic πύλες υποφέρουν από διαμοιρασμό φορτίου



Διαμοιρασμός Φορτίου



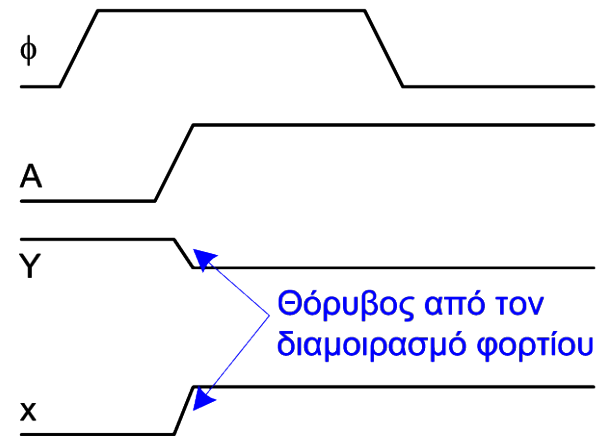
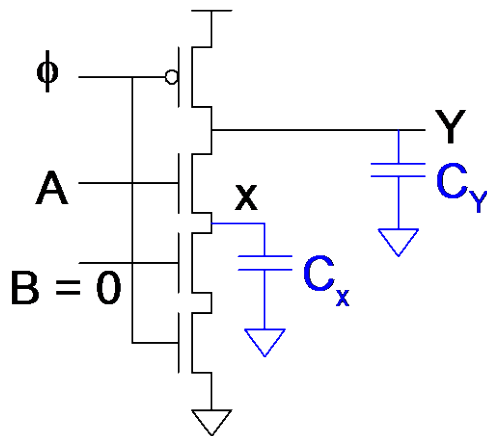
$$V_x = V_Y = \frac{C_Y}{C_x + C_Y} V_{DD}$$

Διαμοιρασμός Φορτίου

- Κατά το διαμοιρασμό φορτίου η τελική τάση του κόμβου εξόδου ισούται με

$$V_x = V_Y = \frac{C_Y}{C_x + C_Y} V_{DD}$$

- Γίνεται εξαιρετικά σημαντικό πρόβλημα όταν η έξοδος έχει μικρό φορτίο (C_Y) και η εσωτερική χωρητικότητα είναι μεγάλη

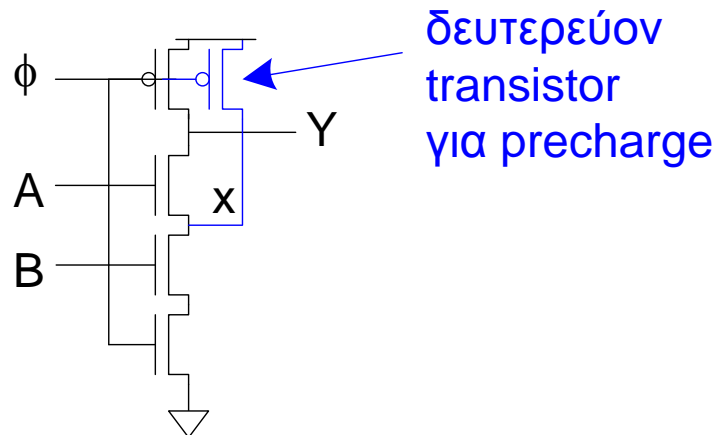


Δευτερεύον Precharge

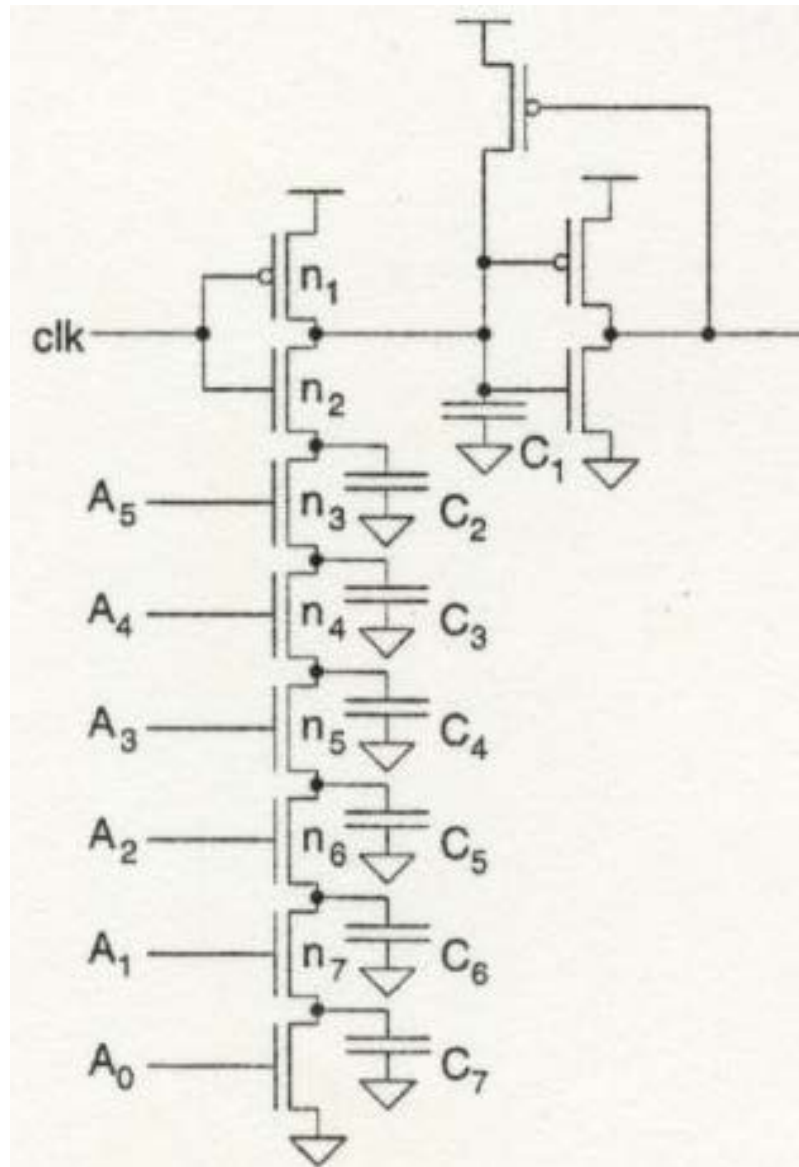
- Λύση: πρόσθεση δευτερευόντων transistors για precharge
 - Τυπικά, χρειάζεται να γίνει precharge κάθε επιπλέον κόμβος

- Τα επιπλέον τρανζίστορ πρέπει να είναι μικρά
 - Φορτίζουν μόνο τους εσωτερικούς κόμβους
 - Οι χωρητικότητες διάχυσης αυτών καθυστερεί τον υπολογισμό

- Φορτίο με μεγάλη χωρητικότητα C_Y βοηθά επίσης

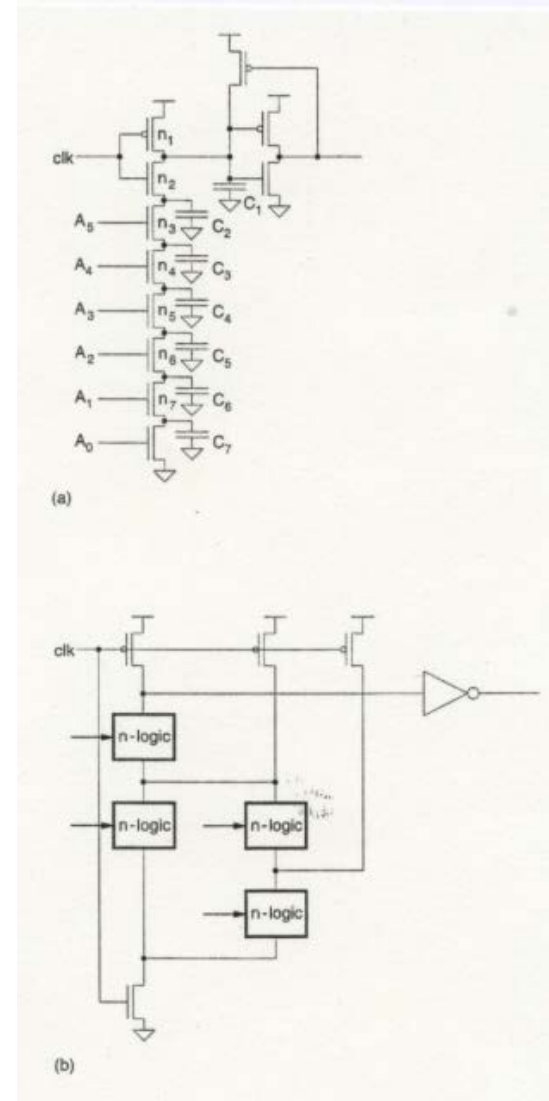


Προβλήματα Precharging



Τα Clocked n transistor είναι πιο κοντά στην έξοδο της πύλης

- Αν οι $C_2 - C_7$ έχουν εκφορτιστεί
- Στη συνέχεια αν $A_0=0$ και $A_1-A_5=1$
- Όταν το Clk γίνει $0 \rightarrow 1$ το αποθηκευμένο φορτίο στον C_1 μεταφέρεται στους $C_2 - C_7$
- Αυτός ο διαμοιρασμός του φορτίου μπορεί να χαμηλώσει το φορτίο του C_1 τόσο πολύ, ώστε η έξοδος να αλλάξει.



- Οι Dynamic πύλες είναι πολύ ευαίσθητες στο θόρυβο
 - Είσοδοι: $V_{IH} \approx V_{tn}$
 - Έξοδοι: εύτρωτος θόρυβος εξόδου

- Πηγές θορύβου
 - Capacitive crosstalk
 - Διαμοιρασμός φορτίου
 - Power supply noise
 - Feedthrough noise
 - Και άλλα!!

- Η δυναμική λογική είναι καλή για κυκλώματα υψηλής ταχύτητας
 - 1.5 – 2x γρηγορότερη από τα static CMOS

- Αλλά έχει πολλές προκλήσεις:
 - Monotonicity (λύση: domino logic)
 - Leakage (λύση: keepers)
 - Διαμοιρασμός φορτίου
 - Θόρυβος (λύση: keepers)

- Χρησιμοποιήθηκε ευρέως στους high-performance microprocessors στο παρελθόν όταν η ταχύτητα ήταν η βασικότερη παράμετρος σχεδιασμού

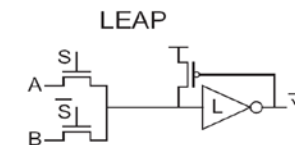
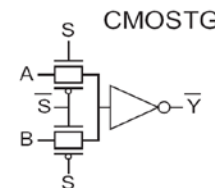
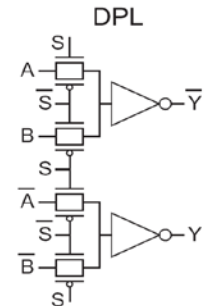
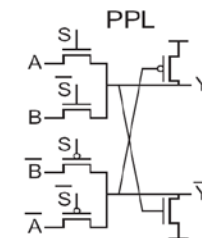
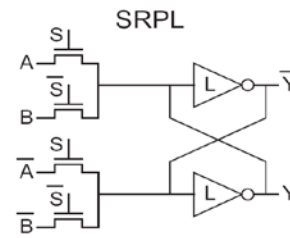
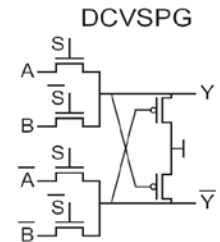
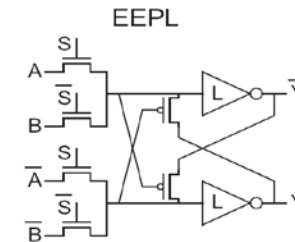
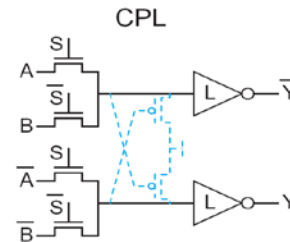
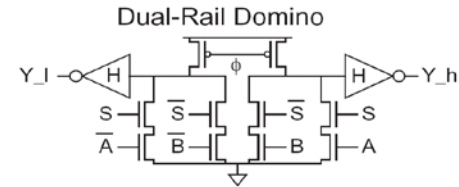
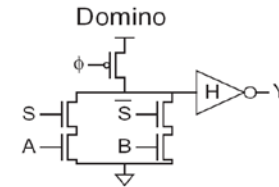
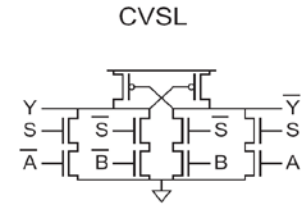
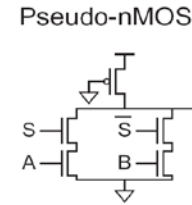
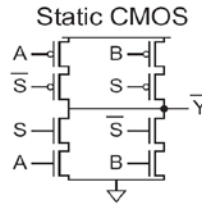
- Αντικαθίσταται από τη στατική CMOS λόγω κατανάλωσης

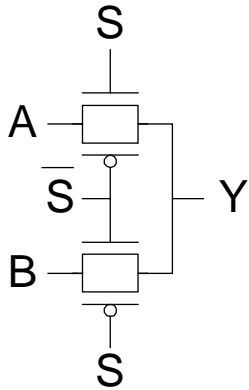
Κυκλώματα με Pass Transistor

➤ Γίνεται χρήση pass transistors ως διακόπτες για να υλοποιηθεί λογική

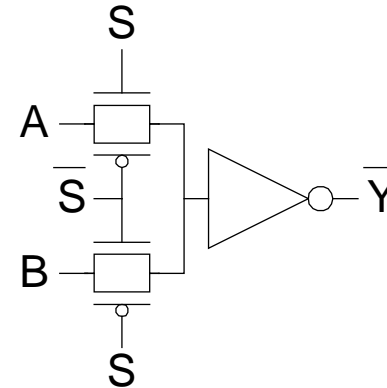
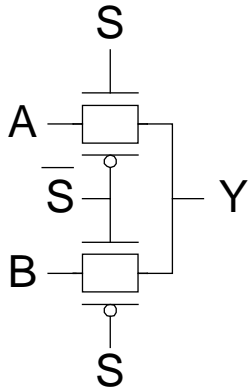
➤ Οι είσοδοι οδηγούν τόσο diffusion και gate terminals

➤ Είναι πολύ καλές για την υλοποίηση της XOR function



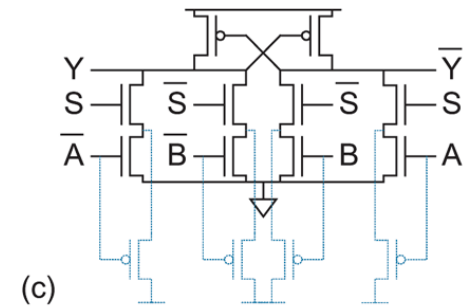
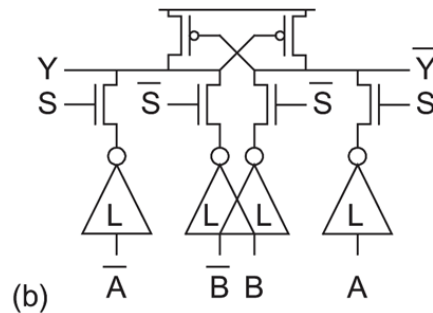
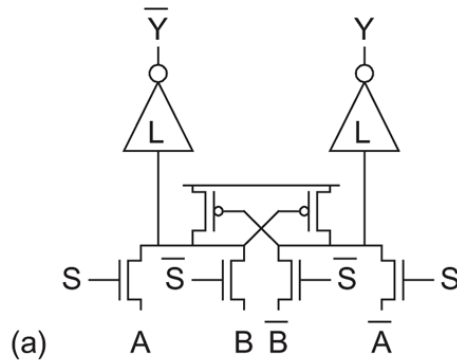
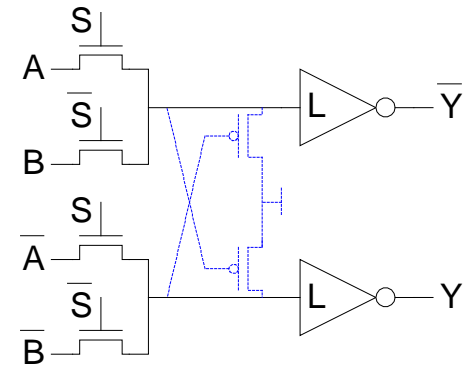


- Ένας πολυπλέκτης μπορεί να υλοποιηθεί με σύνδεση δύο πυλών μετάδοσης
- Όμως η πύλη μετάδοσης είναι non-restoring (μη αποκαταστάσιμο) κύκλωμα
 - Κάθε θόρυβος στην είσοδο μεταφέρεται στην έξοδο
 - **Σημαντικό πρόβλημα όταν συνδέονται διαδοχικά αρκετά στοιχεία τέτοιου τύπου**
- Αυτό δε συμβαίνει στη στατική CMOS

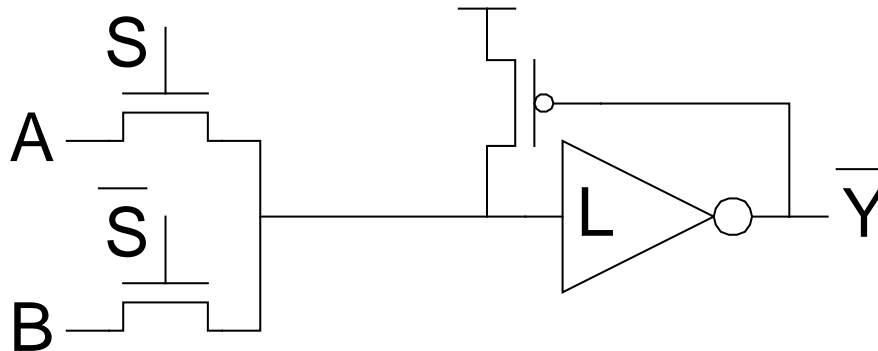


- Ένας πολυπλέκτης μπορεί να υλοποιηθεί με σύνδεση δύο πυλών μετάδοσης
- Όμως η πύλη μετάδοσης είναι non-restoring (μη αποκαταστάσιμο) κύκλωμα
 - Κάθε θόρυβος στην είσοδο μεταφέρεται στην έξοδο
 - **Σημαντικό πρόβλημα όταν συνδέονται διαδοχικά αρκετά στοιχεία τέτοιου τύπου**
- Αυτό δε συμβαίνει στη στατική CMOS
- Επίλυση: CMOS + Transmission Gates:
 - Η χρήση του στατικού CMOS αντιστροφέα απομονώνει την έξοδο από το θόρυβο

- **Complementary Pass-transistor Logic**
 - Dual-rail μορφή της pass transistor logic
 - Αποφεύγει την ανάγκη για ratioed feedback
 - EXTRA: cross-coupling για rail-to-rail αλλαγές



- **LEA**n integration με **P**ass transistors
- «Αφαιρούμε» τα *p*MOS transistors
 - Χρησιμοποιούμε weak *p*MOS feedback για να έχουμε πλήρες high
 - Προσοχή: Ratio constraint



- Αναπτύχθηκαν στη δεκαετία του 90 για γενικού σκοπού εφαρμογές
 - Πλεονεκτήματα σε σχέση με τη στατική CMOS είναι μικρά
 - Χρησιμοποιούνται ελάχιστα για γενικού σκοπού εφαρμογές

- Όμως έχουν ιδιαίτερα προτερήματα
 - κυρίως μικρό μέγεθος και
 - σχετικά αποδοτική υλοποίηση της XOR

που επιτρέπουν τη χρήση τους σε κυκλώματα ειδικού σκοπού όπως

- Μνήμες
- Κάποια αριθμητικά κυκλώματα

- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,
Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) I».
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση
<https://eclass.upatras.gr/courses/EE891/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ