



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα ΠΠ

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

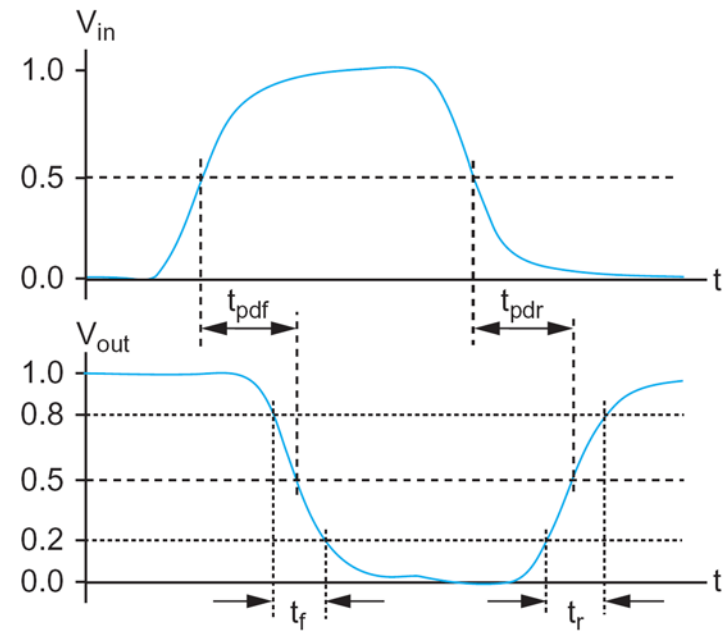


Καθυστέρηση

- Εισαγωγή
- Μεταβατική Απόκριση
- Μοντέλο Καθυστέρησης RC
- Το Μοντέλο Γραμμικής Καθυστέρησης
- Λογικός Φόρτος Μονοπατιού (Logical Effort)

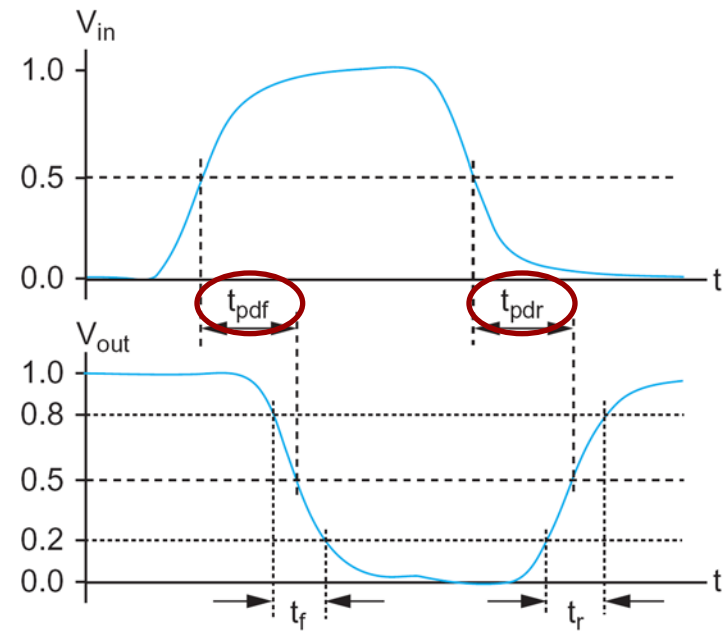
➤ Καθυστέρηση μετάδοσης – Propagation Delay (t_{pd})

- Ο **max** χρόνος από όταν η είσοδος γίνεται ίση με το 50% της μέγιστης τιμής μέχρι το χρονικό σημείο όπου η έξοδος γίνεται ίση με το 50% της μέγιστης τιμής



➤ Καθυστέρηση μετάδοσης – Propagation Delay (t_{pd})

- Ο **max** χρόνος από όταν η είσοδος γίνεται ίση με το 50% της μέγιστης τιμής μέχρι το χρονικό σημείο όπου η έξοδος γίνεται ίση με το 50% της μέγιστης τιμής
- Ορίζεται για την ανερχόμενη (t_{pdf}) και κατερχόμενη μετάβαση της εξόδου (t_{pdr}) και



➤ Καθυστέρηση μετάδοσης – Propagation

Delay (t_{pd})

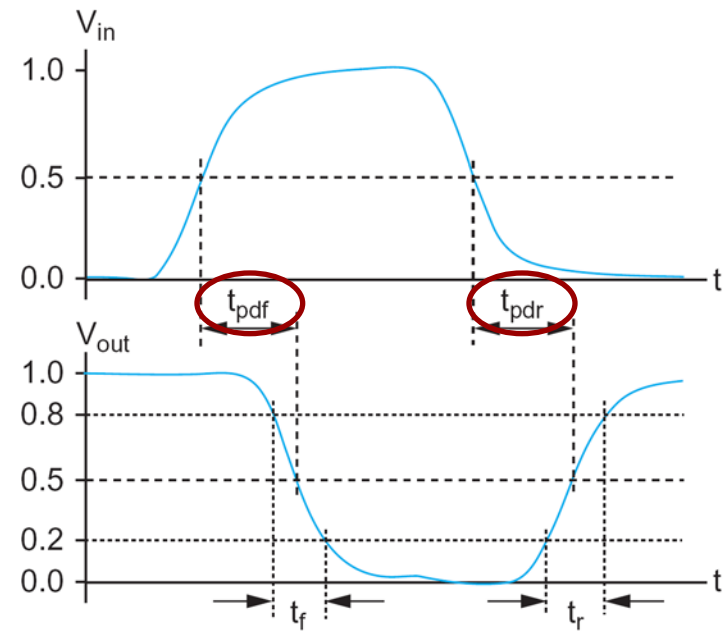
- Ο **max** χρόνος από όταν η είσοδος γίνεται ίση με το 50% της μέγιστης τιμής μέχρι το χρονικό σημείο όπου η έξοδος γίνεται ίση με το 50% της μέγιστης τιμής
- Ορίζεται για την ανερχόμενη (t_{pdf}) και κατερχόμενη μετάβαση της εξόδου (t_{pdr})

➤ Contamination delay (t_{cd})

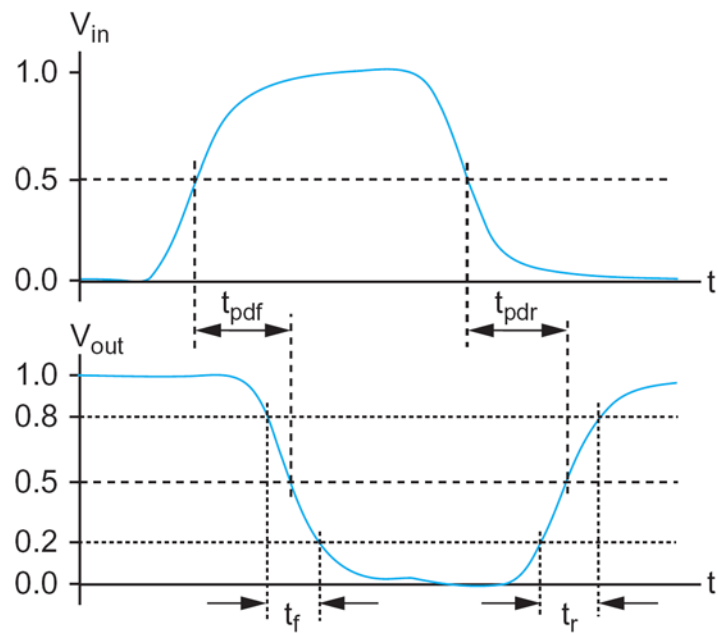
- Ο **min** χρόνος από όταν η είσοδος γίνεται ίση με το 50% της μέγιστης τιμής μέχρι το χρονικό σημείο όπου η έξοδος γίνεται ίση με το 50% της μέγιστης τιμής

➤ Άρα, σε κάθε αλλαγή της εισόδου, η έξοδος

- παραμένει στην παλιά τιμή για χρόνο τουλάχιστον t_{cd}
- παίρνει την νέα τιμή σε χρόνο το πολύ t_{pd}

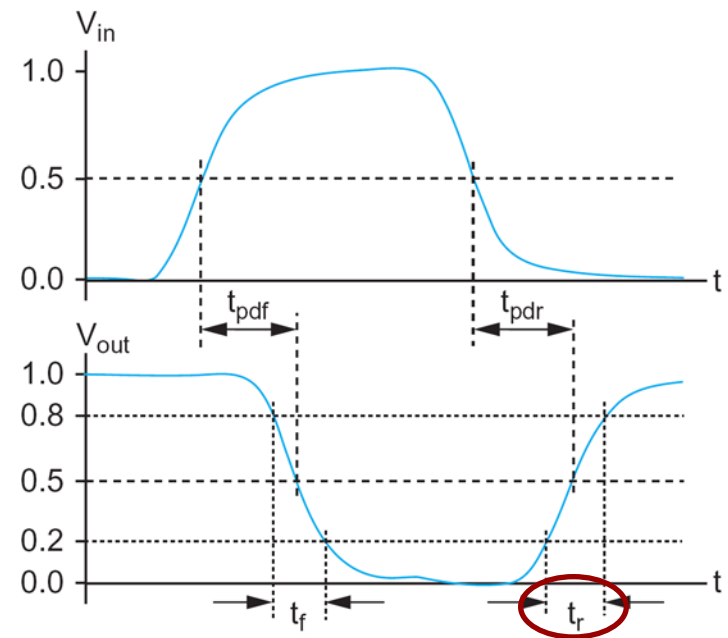


Ορισμοί (2/2)



➤ Χρόνος ανόδου (t_r)

- Ο χρόνος που απαιτείται ώστε η τιμή της εξόδου να αυξηθεί από το 20% στο 80% της τελικής σταθερής τιμής



➤ Χρόνος ανόδου (t_r)

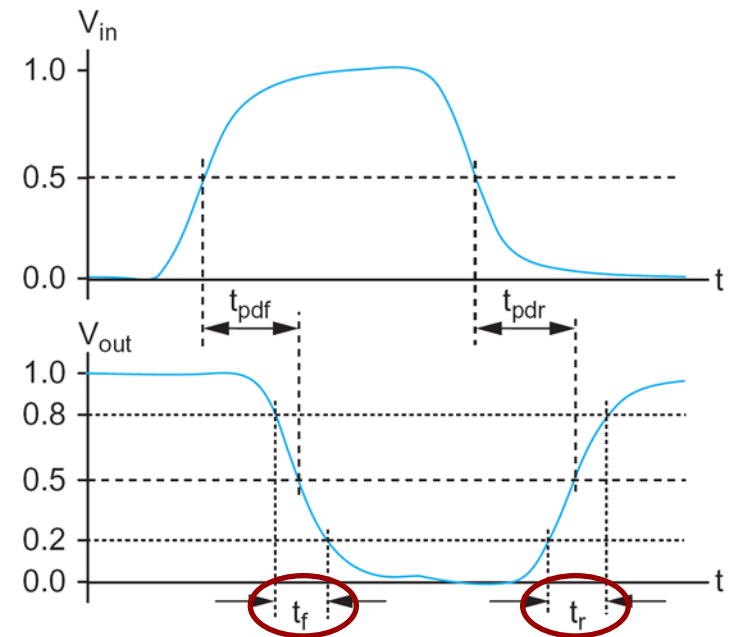
- Ο χρόνος που απαιτείται ώστε η τιμή της εξόδου να αυξηθεί από το 20% στο 80% της τελικής σταθερής τιμής

➤ Χρόνος καθόδου (t_f)

- Ο χρόνος που απαιτείται ώστε η τιμή της εξόδου να μειωθεί από το 80% στο 20% της τελικής τιμής

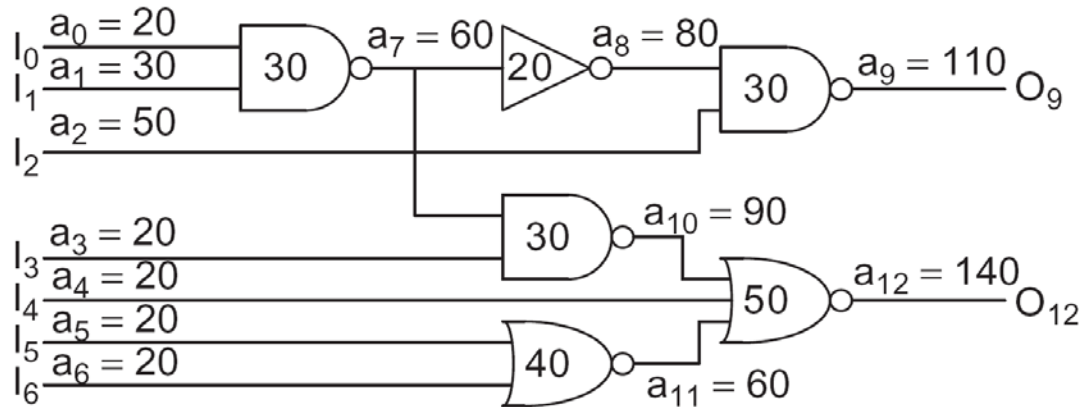
➤ Συχνότητα μετάβασης (t_{rf})

- $t_{rf} = (t_r + t_d) / 2$



- Εισαγωγή
- Μεταβατική Απόκριση
- Μοντέλο Καθυστέρησης RC
- Το Μοντέλο Γραμμικής Καθυστέρησης
- Λογικός Φόρτος Μονοπατιού (Logical Effort)

Χρονική Ανάλυση



- Ο αναλυτής χρόνου υπολογίζει τους χρόνους άφιξης σε κάθε κόμβο
 - **Χρόνος άφιξης (arrival time):** η μέγιστη χρον. στιγμή όπου κάθε κόμβος μπορεί να εκτελέσει μετάβαση
- Ο σχεδιαστής δίνει τους χρόνους αφίξεων των εισόδων και την επιθυμητή καθυστέρηση της εξόδου (d)
- Ο αναλυτής χρόνου υπολογίζει: α) τον $t_{arrival_out}$ και β) το ένα περιθώριο (slack) : **slack = (d - t_arrival_out)**
 - Αν $slack > 0$ οι χρονικές απαιτήσεις ικανοποιούνται
 - Αν $slack > 0$ οι χρονικές απαιτήσεις **δεν** ικανοποιούνται

- Συνίσταται στη μείωση της καθυστέρησης των κρίσιμων μονοπατιών
 - **Κρίσιμο μονοπάτι (critical path):** Το μονοπάτι (με αρχή την είσοδο και πέρας την έξοδο του κυκλώματος) που έχει τη μεγαλύτερη καθυστέρηση
 - Μπορεί (και είναι) περισσότερα από ένα
- Επίπεδα εφαρμογής τεχνικών βελτιστοποίησης
 - Αρχιτεκτονικής
 - Λογικής (πύλης)
 - Κυκλώματος (τρανζίστορ)
 - Φυσικού Σχεδιασμού (Layout)
- Η σημαντικότητα των τεχνικών είναι από πάνω προς τα κάτω (αρχιτεκτονικής → Λογικής → Κυκλώματος → layout)
- Για έναν απαιτητικό σχεδιασμό με ισχυρές προδιαγραφές, πρέπει να εφαρμοστούν τεχνικές βελτιστοποίησης σε όλα τα επίπεδα

- **Επίπεδο αρχιτεκτονικής:** Είναι το πλέον σημαντικό
- **Απαιτεί γνώση**
 - Αλγορίθμοι
 - Δυνατοτήτων τεχνολογίας υλοποίησης (π.χ. πόσες καθυστερήσεις πυλών αναφοράς περιλαμβάνει η επιθυμητή περίοδος ρολογιού)
 - Καθυστερήσεων σε τιμές αναφοράς βασικών μονάδων (αθροίσεις, πολ/μοι) και μνημών
- **Βασικές τεχνικές και απαιτήσεις**
 - Εφαρμογή pipeline και παραλληλίας
 - Μείωση μεγέθους των μνημών
 - Μείωση πράξεων μεγάλης καθυστέρησης και αντικατάσταση από πιο αποδοτικές
 - ...
 - Τροποποίηση αλγορίθμου και της αρχικής αρχιτεκτονικής για εφαρμογή των παραπάνω

➤ Επίπεδο πύλης

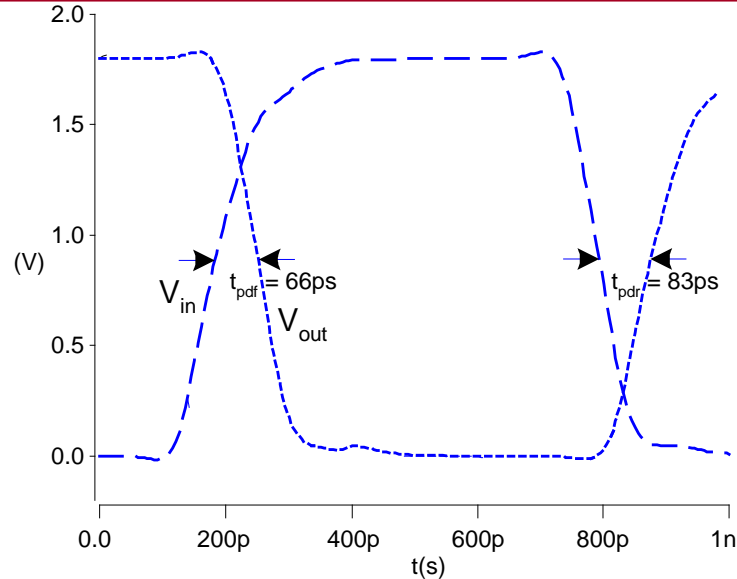
- Χρήση αποδοτικών κυκλωματικών μονάδων (π.χ. ripple carry vs carry lookahead adder)
- Βελτιστοποίηση fan-in, fan-out πυλών
- Πλήθος βαθμίδων πυλών στον κύκλο ρολογιού
- Η μετατροπή και η μερική βελτιστοποίηση από υψηλή περιγραφή σε επίπεδο πύλης γίνεται με εργαλεία σύνθεσης (**synthesis tools**)
- **Όμως, κανένα εργαλείο δε μπορεί να βελτιστοποιήσει / αλλάξει την αρχιτεκτονική του υψηλότερου επιπέδου. Αν αυτή είναι κακή => σημαντικό πρόβλημα**

➤ Επίπεδο τρανζίστορ

- Διαφορετικές οικογένειες υλοποίησης (static CMOS, dynamic CMOS, pass logic, ...)
- Αναδιοργάνωση των τρανζίστορ για μείωση καθυστέρησης

➤ Επίπεδο φυσικού σχεδιασμού

- Βελτιστοποίηση layout (μήκους καλωδίων)

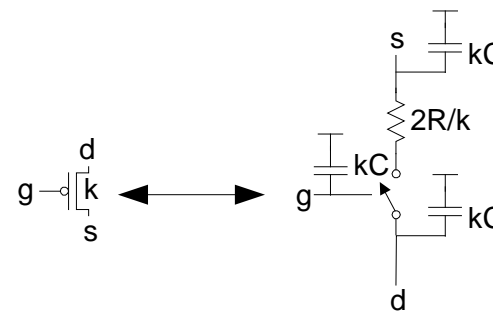
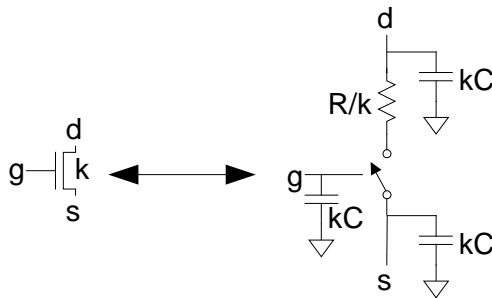


- Η ακριβής προσομοίωση απαιτεί τη λύση διαφορικών εξισώσεων
 - Πολύ δύσκολή και χρονοβόρα με το χέρι
- Το CAD tool SPICE μπορεί να επιλύσει τις εξώσεις με αριθμητικό τρόπο
 - Επιτυγχάνεται μεγάλη ακρίβεια συναρτήσεως του χρησιμοποιούμενου μοντέλου
 - Εξαιρετικά χρονοβόρες
 - Απαγορευτικές για μεγάλα κυκλώματα ή για συχνή χρήση

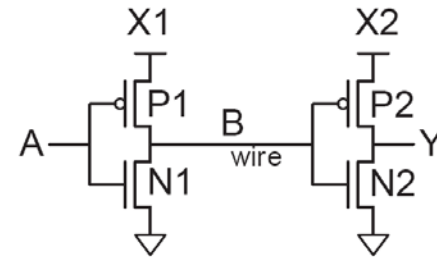
- Χρειαζόμαστε μεθόδους και μοντέλα που να είναι απλά ώστε η ανάλυση να γίνεται ακόμη και με το χέρι
- **Δε χρειάζεται να είναι ακριβή ποσοτικά**
 - Δεν απαιτείται ο ακριβής υπολογισμός της καθυστέρησης όπως επιτυγχάνει το SPICE
- **Πρέπει να είναι ακριβή σε ποιοτικό επίπεδο αλλά και μικρής πολυπλοκότητας**
 - Να μπορούμε να πάρουμε σωστή απόφαση ως προς την καθυστέρηση μεταξύ διαφορετικών σχεδιαστικών /κυκλωματικών επιλογών (η υλοποίηση A είναι οπωσδήποτε χειρότερη από τη B)
- Ένα τέτοιο μοντέλο είναι το 1^{ης} τάξης RC, όπου τα τρανζίστορ προσομοιώνονται ως διακόπτης με αντίσταση
 - **C**: χωρητικότητα κόμβου εξόδου (χωρητικότητα φορτίου)
 - **R**: ενεργή αντίσταση
 - Καθυστέρηση (t_{pd}) = $k RC$

- Εισαγωγή
- Μεταβατική Απόκριση
- Μοντέλο Καθυστέρησης RC
- Το Μοντέλο Γραμμικής Καθυστέρησης
- Λογικός Φόρτος Μονοπατιού (Logical Effort)

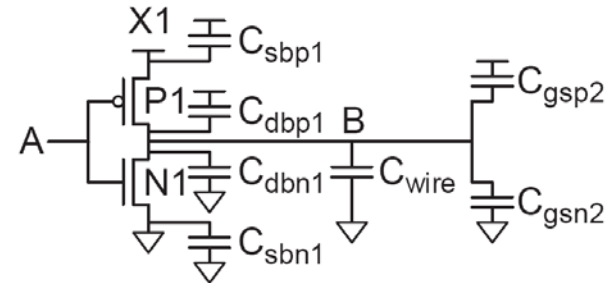
- Ισοδύναμα κυκλώματα για MOS τρανζίστορ
 - Ιδανικό διακόπτης + πυκνωτής και ON αντίσταση
 - Το μοναδιαίο nMOS έχει αντίσταση R
 - Το μοναδιαίο pMOS έχει αντίσταση $2R$ λόγω μικρότερης τιμής ευκινησίας των οπών
- Η χωρητικότητα είναι ανάλογη του πλάτους του τρανζίστορ
- Η αντίσταση είναι αντιστρόφως ανάλογη του πλάτους του τρανζίστορ



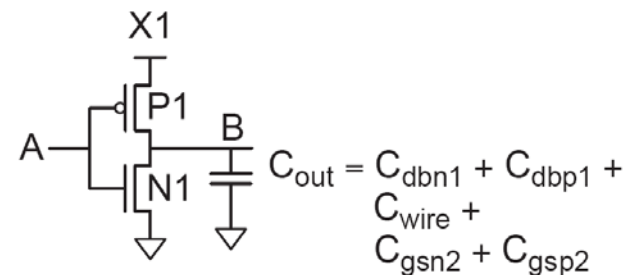
- Στη χωρητικότητα εξόδου συνεισφέρουν
Το κύκλωμα οδήγησης, το κύκλωμα που οδηγείται και τα καλώδια διασύνδεσης
- Για το κύκλωμα οδήγησης συνεισφέρουν οι χωρητ. των διαχύσεων ως προς το υπόστρωμα (παρασιτικές) C_{sbn1} , C_{dbn1} , C_{sbn1} , C_{dbn1}



(a)

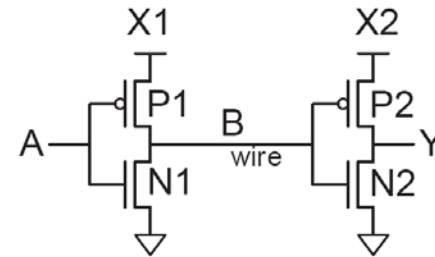


(b)

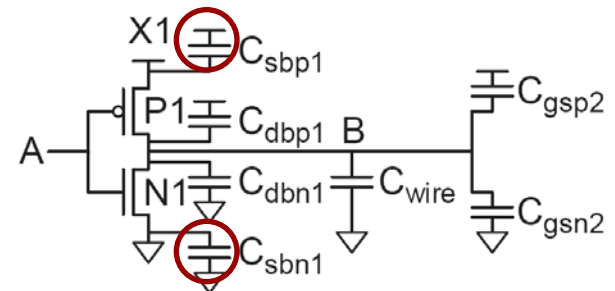


(c)

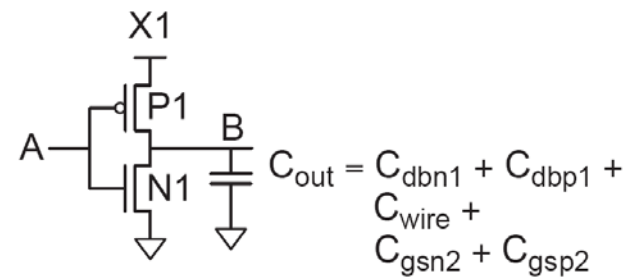
- Στη χωρητικότητα εξόδου συνεισφέρουν
Το κύκλωμα οδήγησης, το κύκλωμα που οδηγείται και τα καλώδια διασύνδεσης
- Για το κύκλωμα οδήγησης συνεισφέρουν οι χωρητ. των διαχύσεων ως προς το υπόστρωμα (παρασιτικές) C_{sbp1} , C_{dbp1} , C_{sbn1} , C_{dbn1}
- Από αυτές οι C_{sbp1} και C_{sbn1} έχουν και τα δύο άκρα σε σταθερές πηγές (τροφοδοσία, γείωση) \Rightarrow δε συνεισφέρουν στη χωρητικότητα μεταγωγής



(a)

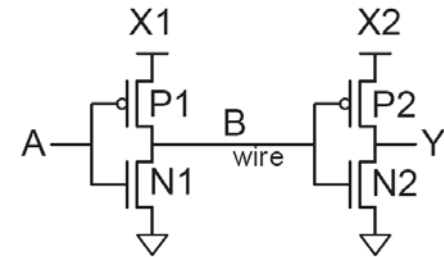


(b)

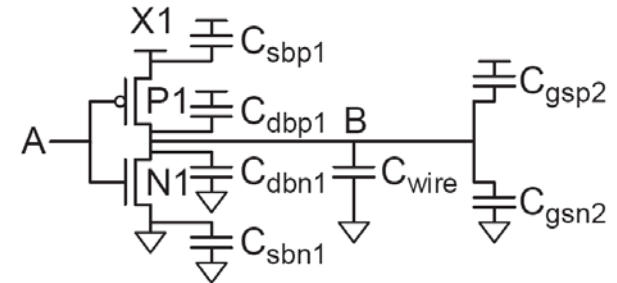


(c)

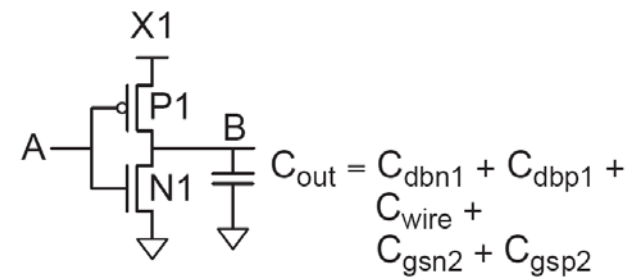
RC μοντέλο



(a)

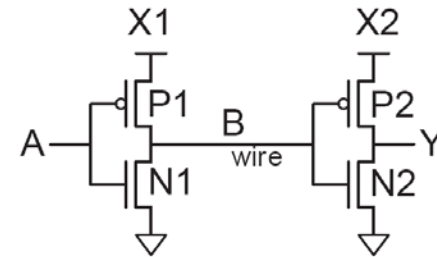


(b)

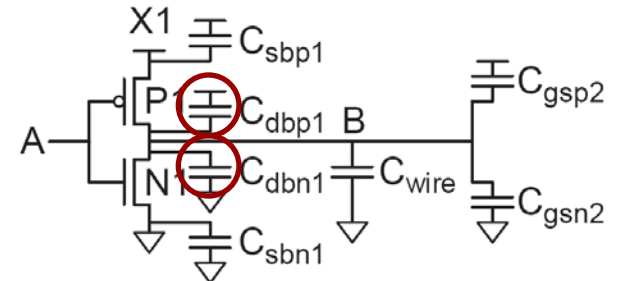


(c)

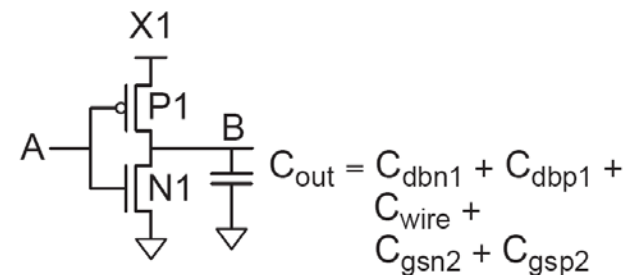
- Οι C_{dbp1} , και C_{dbn1} έχουν το ένα άκρο στην έξοδο και συνεισφέρουν στη χωρητικότητα εξόδου
- Το άλλο άκρο είναι συνδεδεμένο σε σταθερή πηγή (τροφοδοσία, γείωση)
 - Συνήθως, αναπαρίστανται με το ένα άκρο στη γείωση



(a)

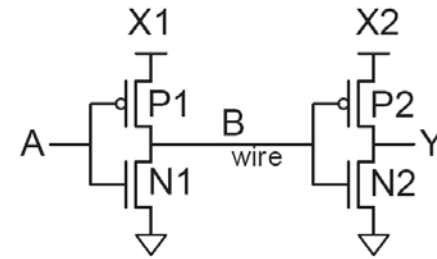


(b)

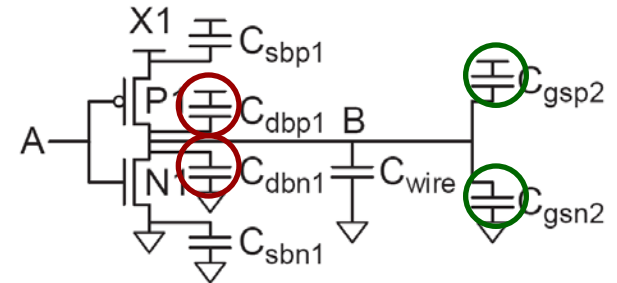


(c)

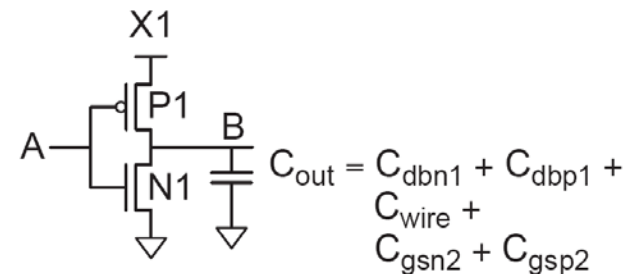
- Οι C_{dbp1} , και C_{dbn1} έχουν το ένα άκρο στην έξοδο και συνεισφέρουν στη χωρητικότητα εξόδου
 - Το άλλο άκρο είναι συνδεδεμένο σε σταθερή πηγή (τροφοδοσία, γείωση)
 - Συνήθως, αναπαρίστανται με το ένα άκρο στη γείωση
- Η χωρητικότητα του κυκλώματος που οδηγείται είναι το άθροισμα των χωρητικοτήτων των πυλών



(a)

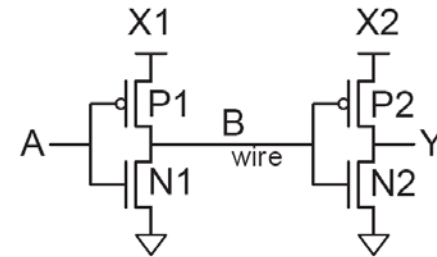


(b)

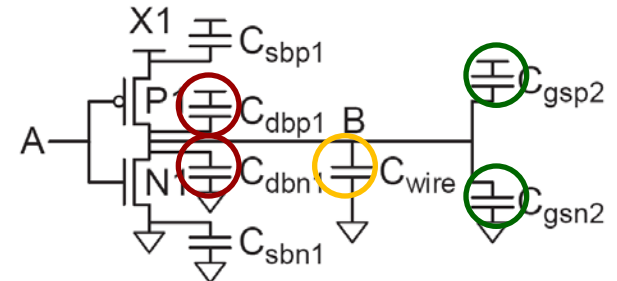


(c)

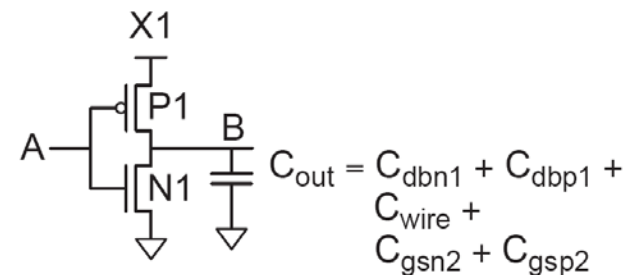
- Οι C_{dbp1} , και C_{dbn1} έχουν το ένα άκρο στην έξοδο και συνεισφέρουν στη χωρητικότητα εξόδου
 - Το άλλο άκρο είναι συνδεδεμένο σε σταθερή πηγή (τροφοδοσία, γείωση)
 - Συνήθως, αναπαρίστανται με το ένα άκρο στη γείωση
- Η χωρητικότητα του κυκλώματος που οδηγείται είναι το άθροισμα των χωρητικοτήτων των πυλών
- Η χωρητικότητα του καλωδίου διασύνδεσης είναι C_{wire}



(a)

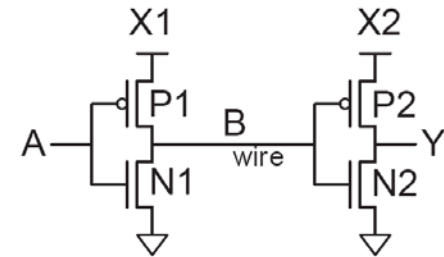


(b)

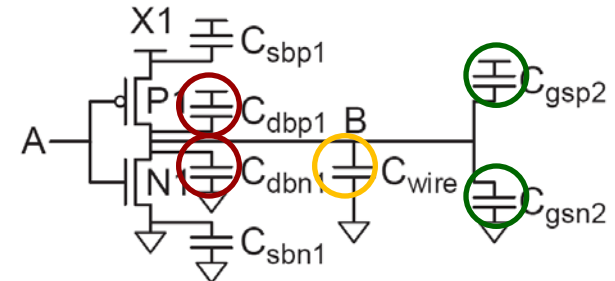


(c)

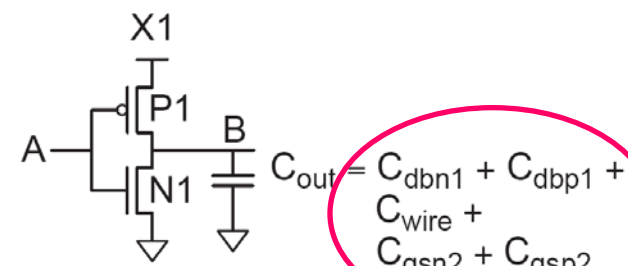
- Οι C_{dbp1} , και C_{dbn1} έχουν το ένα άκρο στην έξοδο και συνεισφέρουν στη χωρητικότητα εξόδου
 - Το άλλο άκρο είναι συνδεδεμένο σε σταθερή πηγή (τροφοδοσία, γείωση)
 - Συνήθως, αναπαρίστανται με το ένα άκρο στη γείωση
- Η χωρητικότητα του κυκλώματος που οδηγείται είναι το άθροισμα των χωρητικοτήτων των πυλών
- Η χωρητικότητα του καλωδίου διασύνδεσης είναι C_{wire}
- Άρα, η συνολική χωρητικότητα εξόδου είναι



(a)

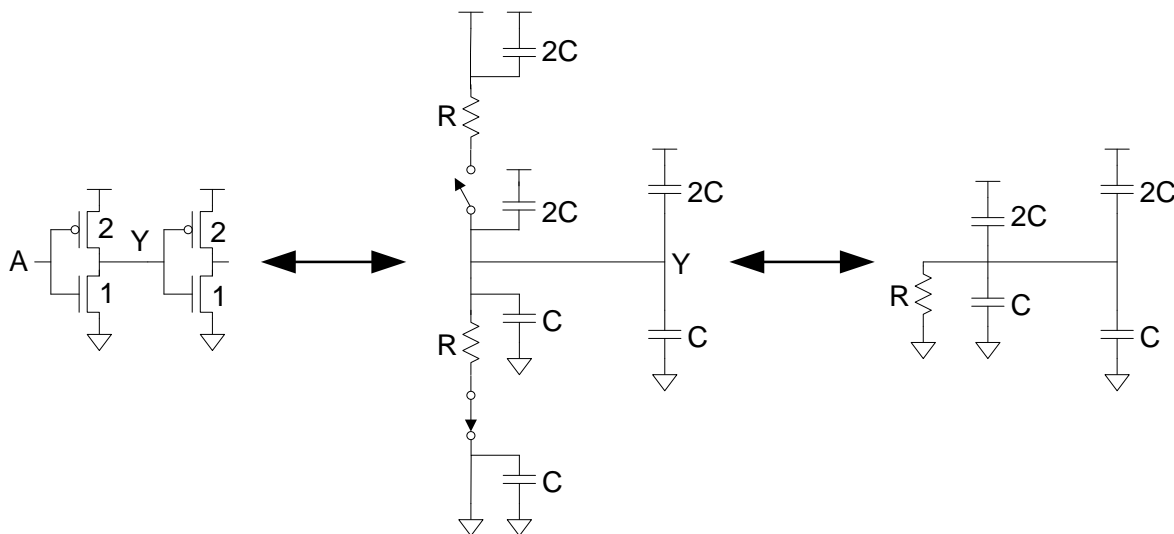


(b)



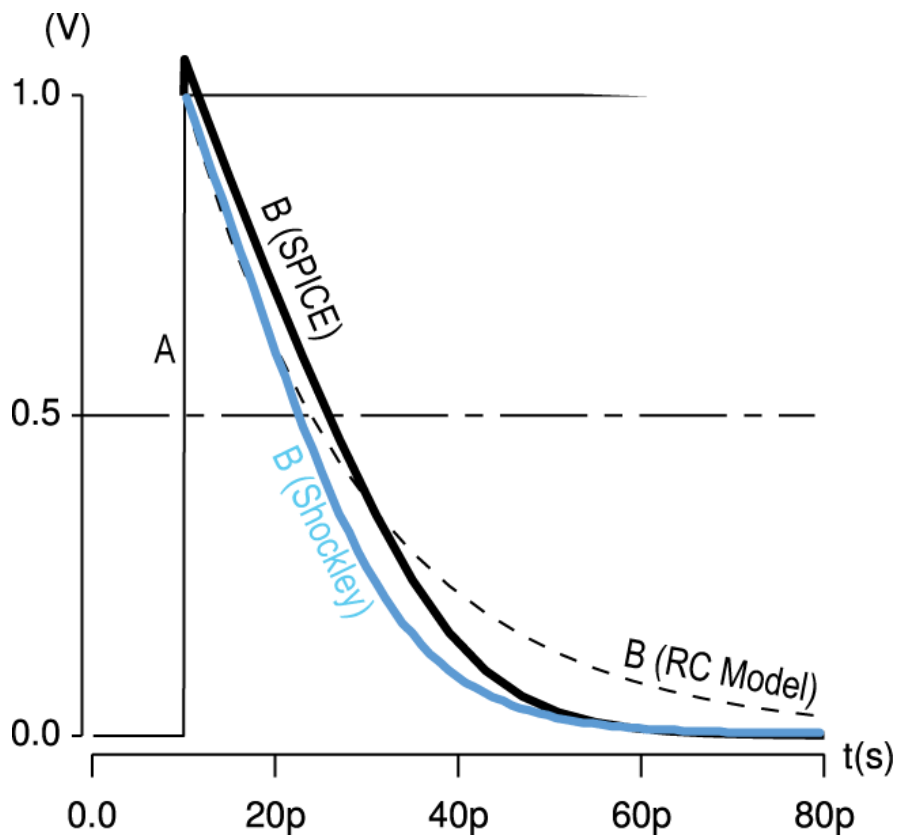
(c)

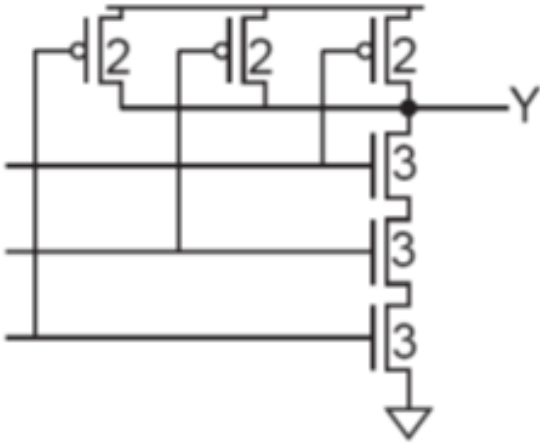
Εκτίμηση Καθυστέρησης Αντιστροφεία



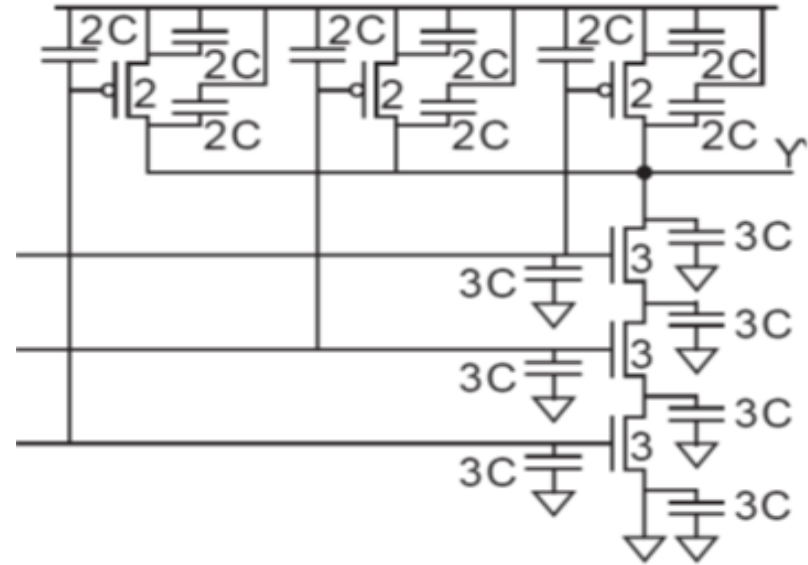
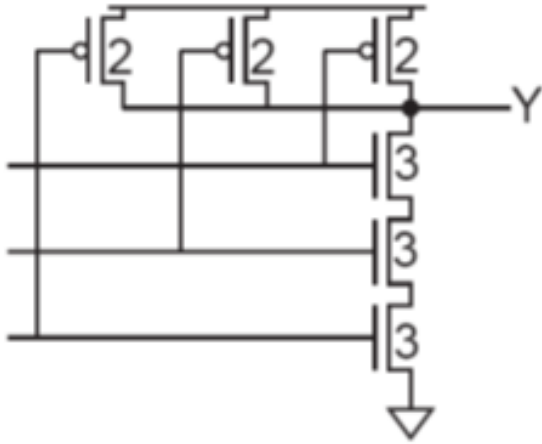
- Εκτίμηση καθυστέρησης αντιστροφεία με fanout = 1
- **$D = k6RC$**

Σύγκριση Μοντέλων Καθυστέρησης

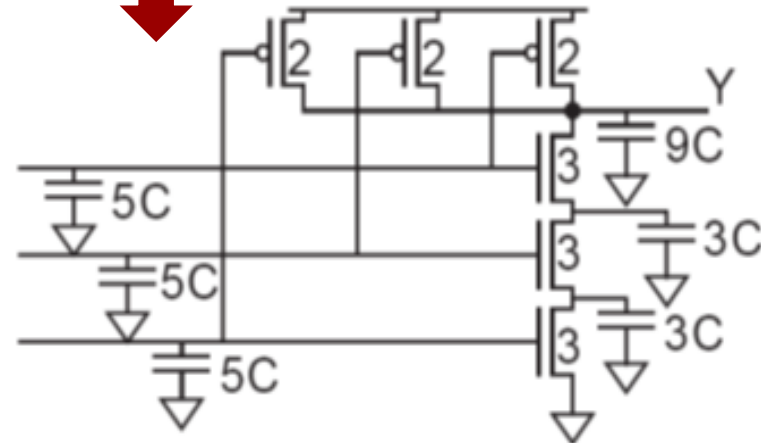
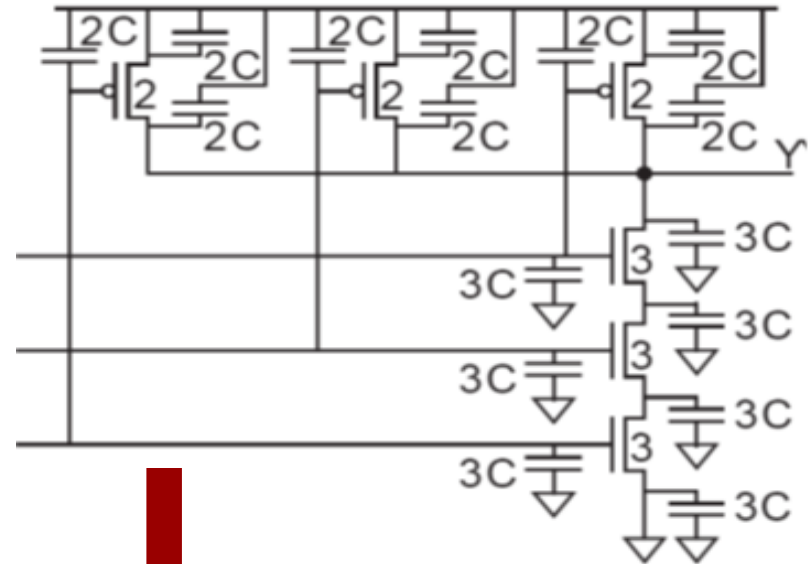
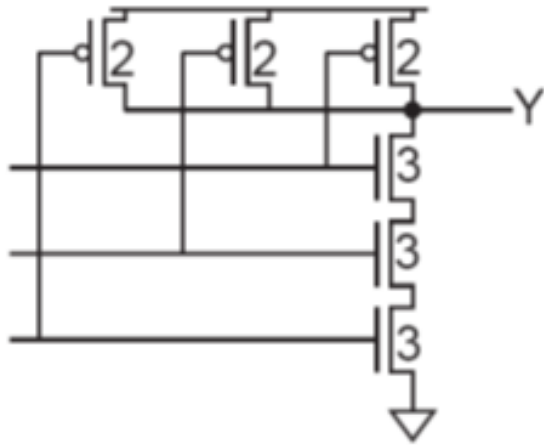




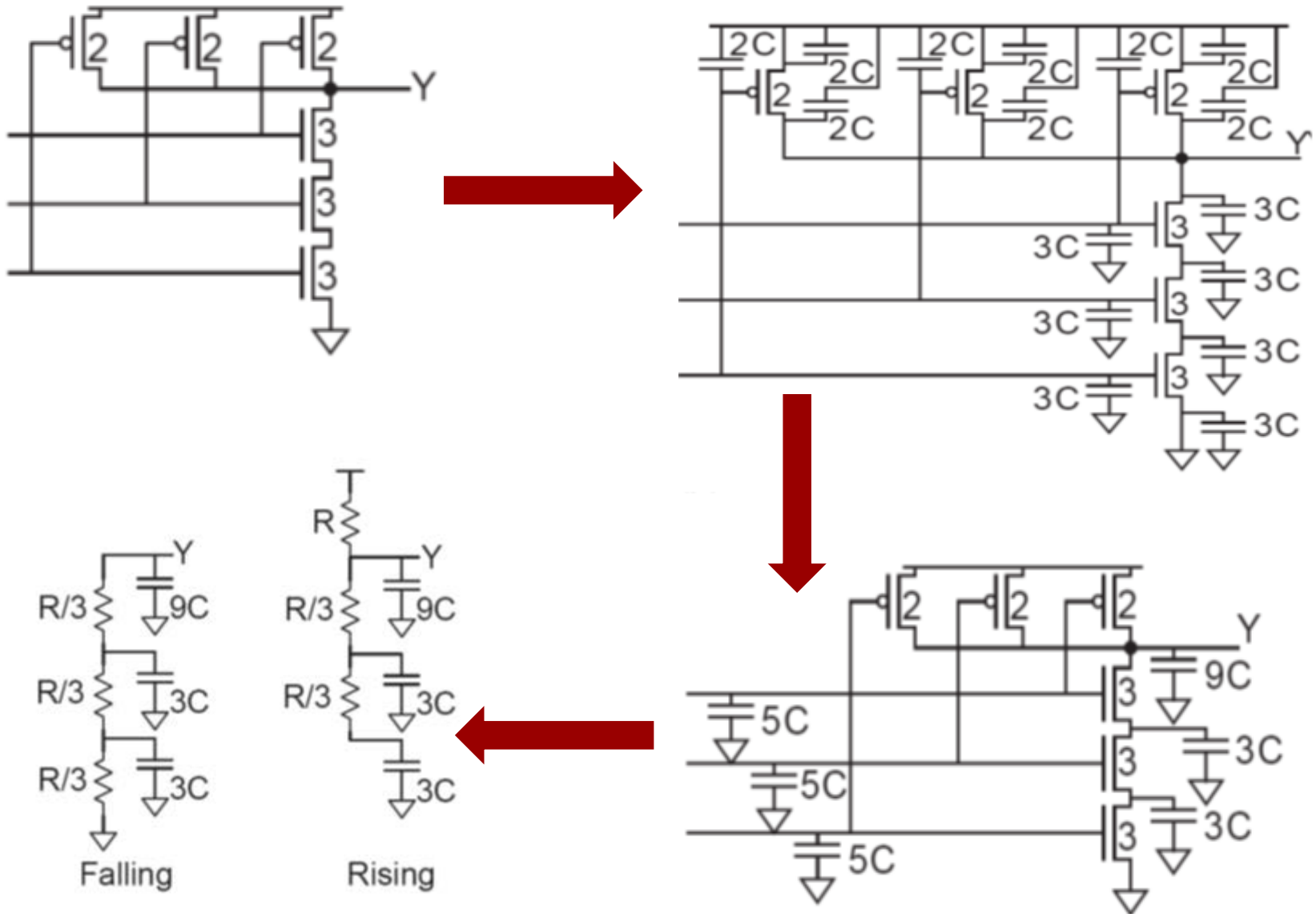
Πύλη NAND 3 Εισόδων



Πύλη NAND 3 Εισόδων



Πύλη NAND 3 Εισόδων



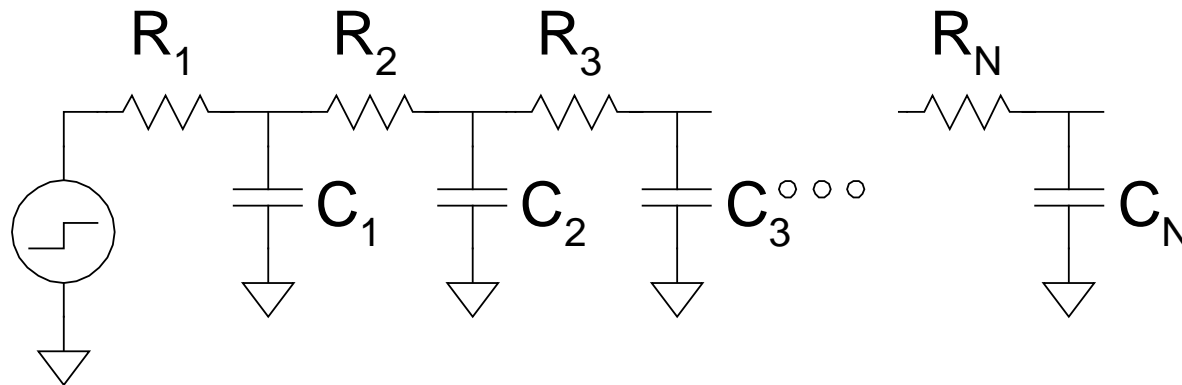
- Εισαγωγή
- Μεταβατική Απόκριση
- Μοντέλο Καθυστέρησης RC
- Το Μοντέλο Γραμμικής Καθυστέρησης
- Λογικός Φόρτος Μονοπατιού (Logical Effort)

Elmore Delay

- Σε κατάσταση ON τα τρανζίστορ αντιμετωπίζονται ως αντιστάσεις
- Pullup & pulldown δικτυώματα μοντελοποιούνται ως *RC ladder*
- Elmore delay of RC ladder

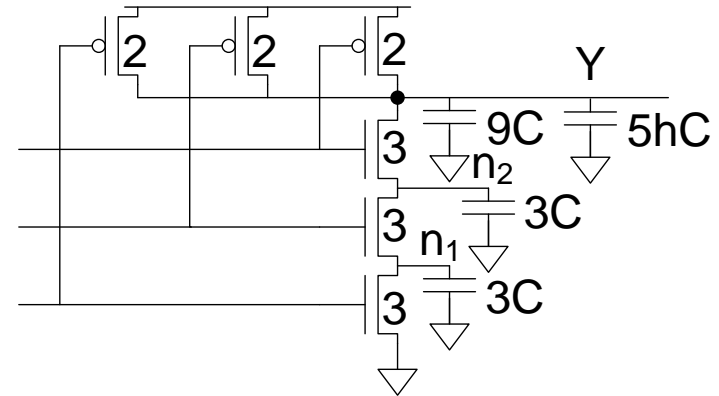
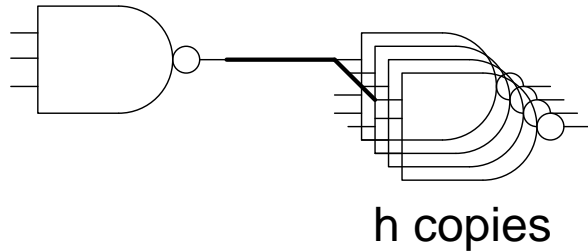
$$t_{pd} \approx \sum_{\text{nodes } i} R_{i\text{-to-source}} C_i$$

$$= R_1 C_1 + (R_1 + R_2) C_2 + \dots + (R_1 + R_2 + \dots + R_N) C_N$$



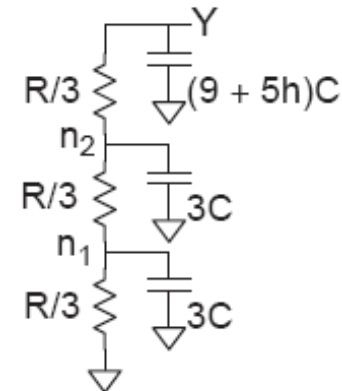
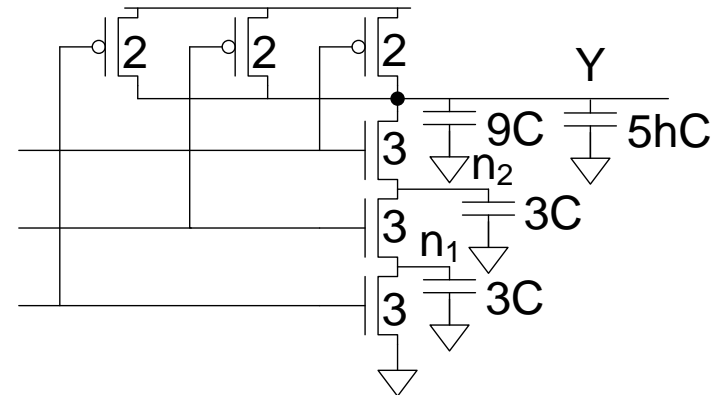
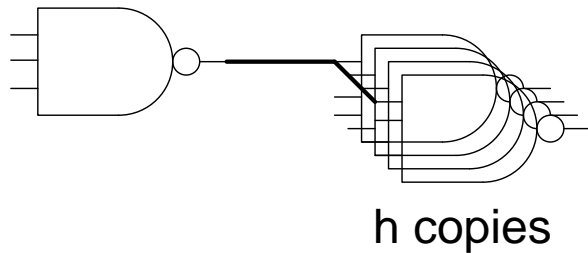
Example: 3-input NAND

- Εκτίμηση χειρότερης καθυστέρησης σε μία 3-εισόδων NAND που οδηγεί h όμοιες πύλες



Example: 3-input NAND

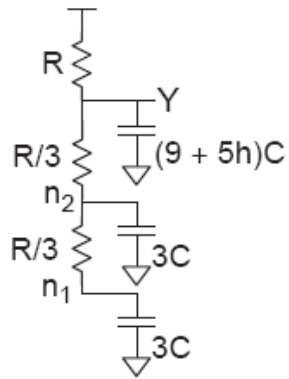
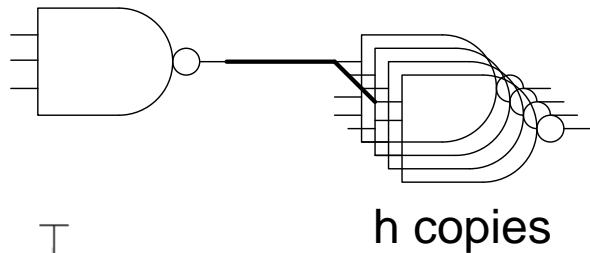
- Εκτίμηση χειρότερης καθυστέρησης σε μία 3-εισόδων NAND που οδηγεί h όμοιες πύλες



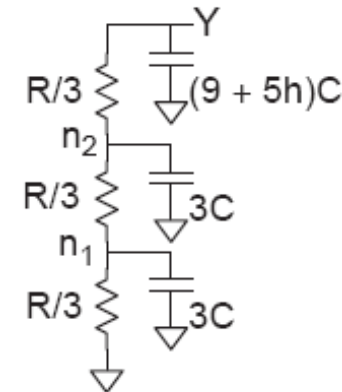
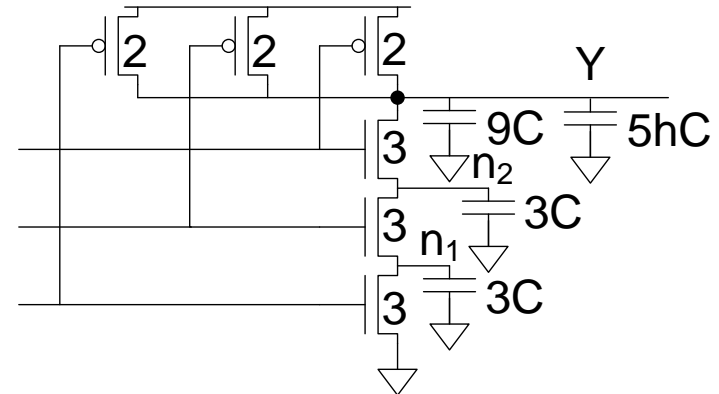
$$\begin{aligned}
 t_{pdf} &= (3C)\left(\frac{R}{3}\right) + (3C)\left(\frac{R}{3} + \frac{R}{3}\right) + \left[(9 + 5h)C\right]\left(\frac{R}{3} + \frac{R}{3} + \frac{R}{3}\right) \\
 &= (11 + 5h)RC
 \end{aligned}$$

Example: 3-input NAND

- Εκτίμηση χειρότερης καθυστέρησης σε μία 3-εισόδων NAND που οδηγεί h όμοιες πύλες



Node Y: $R, (9+5h)C$
 Node n2: $R, 3C$
 Node n1: $R, 3C$
 $t_{pdr} = (15+9h)C$



$$t_{pdf} = (3C)\left(\frac{R}{3}\right) + (3C)\left(\frac{R}{3} + \frac{R}{3}\right) + [(9+5h)C]\left(\frac{R}{3} + \frac{R}{3} + \frac{R}{3}\right)$$

$$= (11+5h)RC$$

- Εισαγωγή
- Μεταβατική Απόκριση
- Μοντέλο Καθυστέρησης RC
- Το Μοντέλο Γραμμικής Καθυστέρησης
- Λογικός Φόρτος Μονοπατιού (Logical Effort)

➤ Ζητήματα/ερωτήσεις που εγείρονται

- Ποιο από τα πολλαπλά (ισοδύναμα λειτουργικά) κυκλώματα είναι το ταχύτερο ?
- Ποια οικογένεια σχεδιασμού (static CMOS, dynamic CMOS, asymmetric skew gates, pseudo n-MOS ..) πρέπει να χρησιμοποιηθεί?
- Ποιες είναι οι διαστάσεις των τρανζίστορ ώστε να επιτυγχάνεται η ελάχιστη καθυστέρηση ?
- Ποιος είναι ο αριθμός των κυκλωματικών βαθμίδων για την οδήγηση ενός φορτίου με ελάχιστη καθυστέρηση ?
- Ποια η επίδραση της χρησιμοποιούμενης τεχνολογίας στον υπολογισμό της καθυστέρησης ? Πόσοι επανα-υπολογισμοί χρειάζονται ?

- Είναι μία μέθοδος που επιτρέπει τον **εύκολο & αξιόπιστο υπολογισμό (εκτίμηση) της καθυστέρησης CMOS κυκλωμάτων**
- Βασικά χαρακτηριστικά και ιδιότητες
 - Εύκολη και αρκετά ακριβής εκτίμηση της καθυστέρησης CMOS κυκλωμάτων χωρίς εξαντλητικές προσομοιώσεις
 - Σύγκριση ισοδύναμων υλοποιήσεων και επιλογή κυκλώματος στα αρχικά βήματα του σχεδιασμού, πριν γίνει υλοποίηση σε επίπεδο τρανζίστορ
 - Επιτρέπει το γρήγορο και αρκετά ακριβή καθορισμό των διαστάσεων των τρανζίστορ ώστε να επιτυγχάνεται η ελάχιστη καθυστέρηση
 - Καθορισμός του πλήθους των κυκλωματικών βαθμίδων για τη γρήγορη οδήγηση φορτίου

- Βασικά χαρακτηριστικά και ιδιότητες (συνέχεια)
 - Εξαλείφει τις εξαρτήσεις από τη χρησιμοποιούμενη τεχνολογία και την πολυπλοκότητα των επανα-υπολογισμών
 - Η καθυστέρηση κάθε πύλης, μονοπατιού, κυκλώματος υπολογίζεται παραμετρικά με αναφορά έναν αντιστροφέα αναφοράς
 - Ο υπολογισμός γίνεται μία φορά ανεξάρτητα της τεχνολογίας
 - Για κάθε τεχνολογία αντικαθίσταται η τιμή της καθυστέρησης αναφοράς στη συγκεκριμένη τεχνολογία
 - Επαναχρησιμοποίηση των παραγόμενων σχέσεων για την καθυστέρηση του σχεδιασμού σε υλοποιήσεις σε διαφορετικές τεχνολογίες

- **Σχεδίαση κυκλώματος:** Αποφυγή των εξαιρετικά χρονοβόρων προσομοιώσεων των διαφορετικών εναλλακτικών κυκλωματικών επιλογών (είναι πάρα πολλές !!!)
- **Επαναχρησιμοποίηση κυκλώματος σε διαφορετική τεχνολογία:** Γρήγορη εκτίμηση της καθυστέρησης χωρίς σημαντικούς επανά-υπολογισμούς και προσομοιώσεις
- **CAD tools:** Κατανόηση του υπολογισμού της καθυστέρησης και ανάπτυξη CAD εργαλείων χαμηλής πολυπλοκότητας

- Η καθυστέρηση μίας πύλης εξαρτάται από:
 - **Φορτίο που οδηγεί**
 - **Από τη λογική συνάρτηση και την τοπολογία** (αρχιτεκτονική σε επίπεδο τρανζίστορ) της πύλης που οδηγεί το φορτίο
- Αύξηση του φορτίου => αύξηση της καθυστέρησης
- Η αύξηση της πολυπλοκότητας της πύλης => μικρότερη οδηγητική ικανότητα => μεγαλύτερη καθυστέρηση
 - Για την υλοποίηση της λογικής χρειάζεται ένα πλήθος από εν σειρά συνδεδεμένα τρανζίστορ => αύξηση της ισοδύναμης αντίστασης => αύξηση της καθυστέρησης
 - Πλήθος από τρανζίστορ είναι συνδεδεμένα στην έξοδο της πύλης => αύξηση της χωρητικότητας εξόδου => αύξηση της καθυστέρησης
- Ο αντιστροφέας είναι η πύλη με την καλύτερη (λόγω απλότητας) οδηγητική ικανότητα
 - Πλήθος από εν σειρά αντιστροφέων δημιουργεί έναν ενισχυτή οδήγησης

- Η τιμή της καθυστέρησης μιας πύλης είναι ίση με : $d_{abs} = d\tau$
 - τ τιμή αναφοράς καθυστέρησης. Αντιστοιχεί στην καθυστέρηση ενός μοναδιαίου αντιστροφέα που οδηγεί (έχει ως φορτίο) έναν ακριβώς ίδιο αντιστροφέα
- Η καθυστέρηση μιας πύλης έχει δύο συνιστώσες: $d = f + p$
 - p : **parasitic delay**. Συνεισφορά των χωρητικοτήτων της πύλης στη συνολική χωρητικότητα εξόδου
 - f : **stage effort**. Εξαρτάται
 - Από την τοπολογία της πύλης. Δυνατότητα της πύλης να οδηγήσει το φορτίο. **Ικανότητα της πύλης να παρέχει το απαιτούμενο ρεύμα**
 - Από το φορτίο που οδηγεί η πύλη

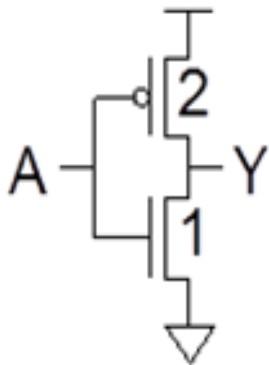
- $d = f + p$
- Το stage effort αναλύεται σε επιπλέον δύο συνιστώσες: $f = gh$
 - g : logical effort, h : electrical effort
- g : logical effort
 - Ικανότητα της πύλης να οδηγήσει το φορτίο.
 - Ικανότητα η συγκεκριμένη υλοποίηση της πύλης να παρέχει το ρεύμα που απαιτείται για την οδήγηση του φορτίου
- h : electrical effort (fan-out)
 - Χαρακτηρίζει το φορτίο
 - Περιγράφει πως το εξωτερικό φορτίο επηρεάζει την καθυστέρηση
 - Πως επηρεάζουν η διαστάσεις των τρανζίστορ την οδηγητική ικανότητα

Logical Effort (3/3)

- Με βάση τα παραπάνω: $d = f + p = gh + p$ in τ time units
- τ : Αφορά την καθυστέρηση των τρανζίστορ στη συγκεκριμένη τεχνολογία
- p : Εκφράζει την ενδογενή καθυστέρηση (συνεισφορά των χωρητικοτήτων) της πύλης.
 - Είναι ανεξάρτητη από τις διαστάσεις των τρανζίστορ
 - Μεγάλα τρανζίστορ εισάγουν μεγάλη χωρητικότητα (άρα αύξηση καθυστέρησης) αλλά αναιρείται διότι έχουν μικρότερη αντίσταση και μπορούν να παρέχουν περισσότερο ρεύμα
 - Το γινόμενο RC είναι ίδιο
- g : Εκφράζει την ικανότητα της αρχιτεκτονικής της πύλης να παρέχει την οδηγητική ικανότητα (ρεύμα) για το φορτίο
- $h = C_{out}/C_{in}$: Συνδυάζει την επίδραση του εξωτερικού φορτίου, C_{out} , με τις διαστάσεις των τρανζίστορ της πύλης, C_{in}

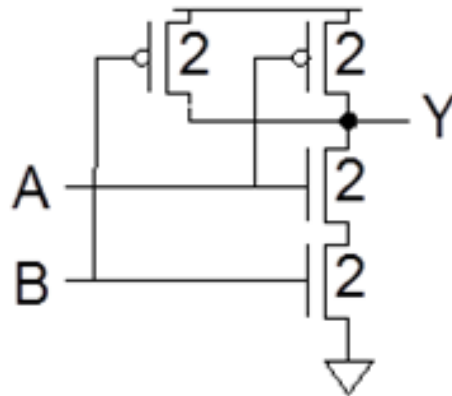
- **Ορισμός:**
- **1^{ος}:** Ο λόγος της χωρητικότητας εισόδου της πύλης προς της χωρητικότητα εισόδου ενός αντιστροφέα αναφοράς, ο οποίος μπορεί να δώσει το ίδιο ρεύμα
- **2^{ος}:** Πόσο χειρότερη είναι η πύλη στην παραγωγή ρεύματος εξόδου συγκριτικά με τον αντιστροφέα, θεωρώντας ότι κάθε είσοδος της πύλης παρουσιάζει την ίδια χωρητικότητα εισόδου με αυτή του αντιστροφέα
- Υπολογισμός
 - Εκτίμηση με βάση τα πλάτη των τρανζίστορ
 - Από διαγράμματα καθυστέρησης (καθυστέρηση σε σχέση με το fan-out)

- Με βάση τις διαστάσεις των τρανζίστορ



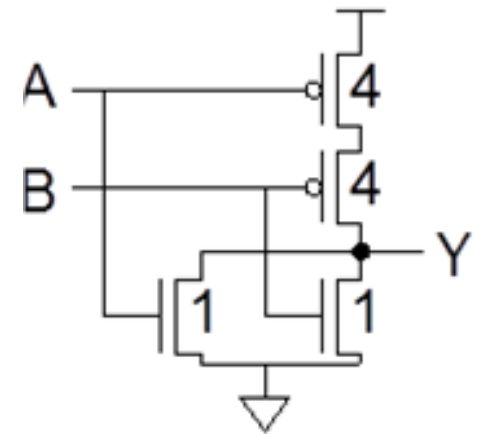
$$C_{in} = 3$$

$$g = 3/3$$



$$C_{in} = 4$$

$$g = 4/3$$

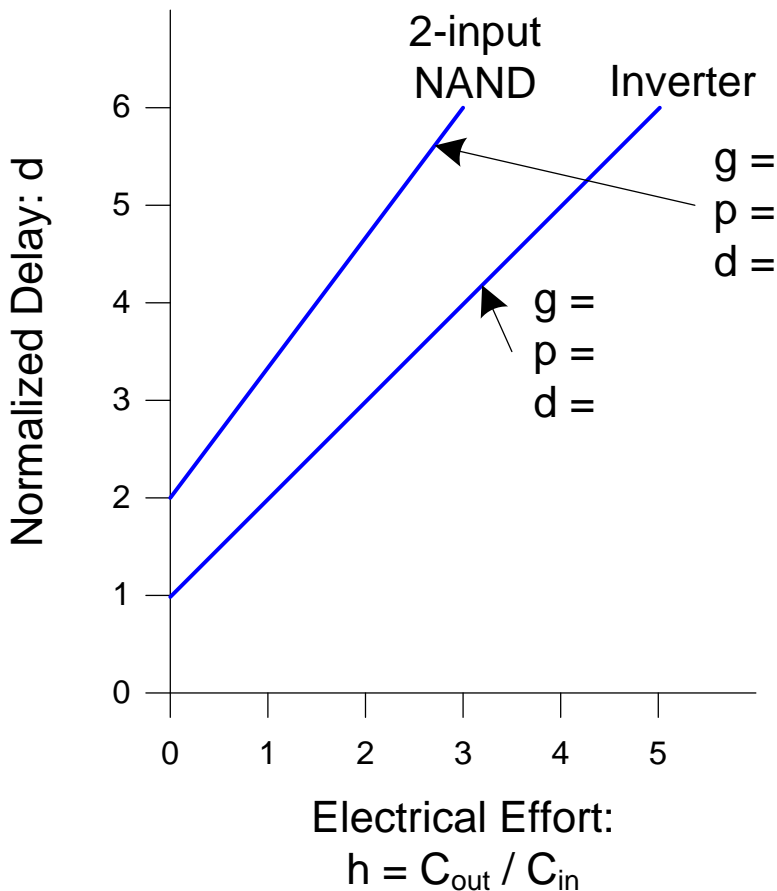


$$C_{in} = 5$$

$$g = 5/3$$

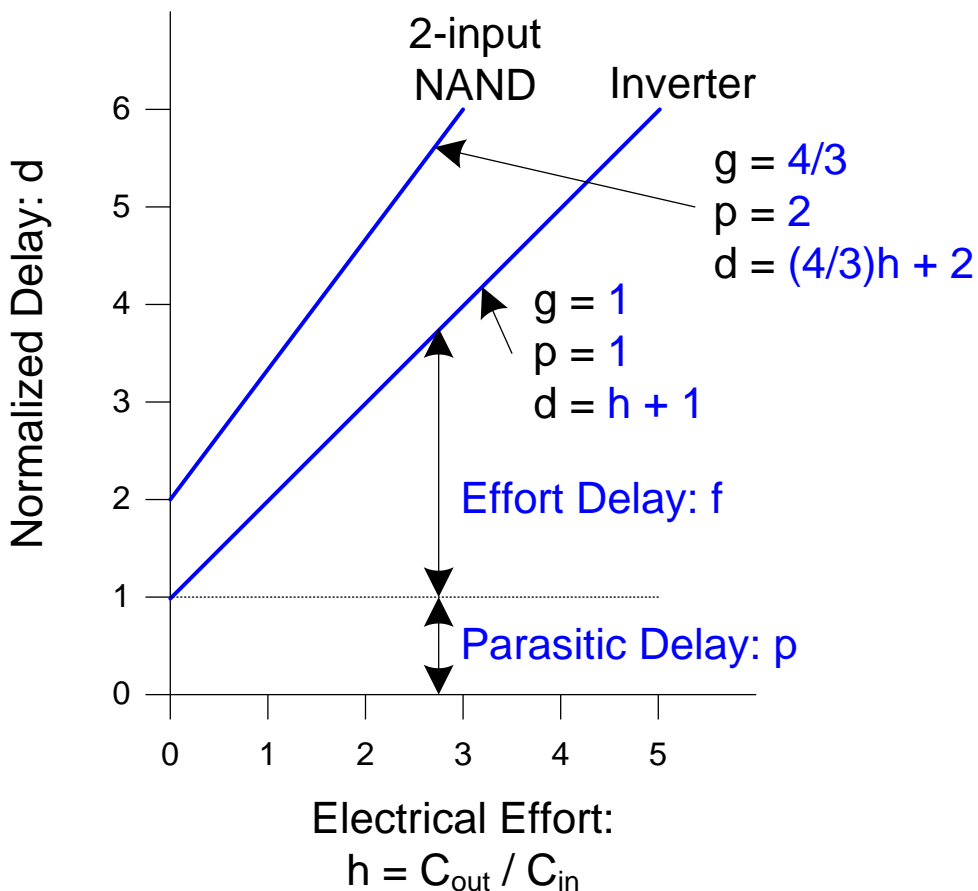
Με διαγράμματα
καθυστέρησης

$$d = f + p = gh + p$$



Με διαγράμματα
καθυστέρησης

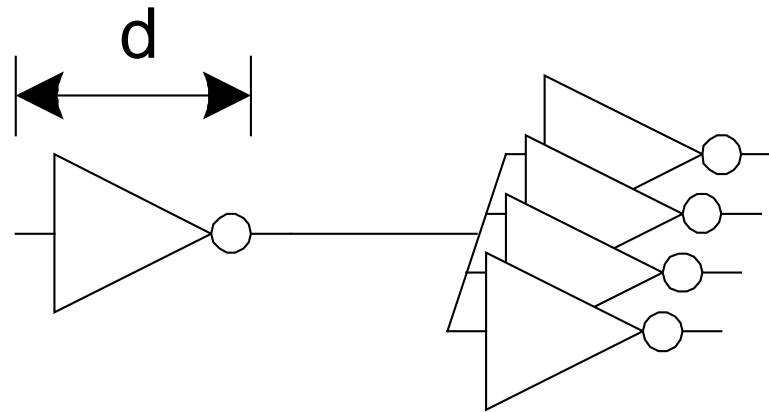
$$d = f + p = gh + p$$



Gate type	Number of inputs				
	1	2	3	4	n
Inverter	1				
NAND		4/3	5/3	6/3	$(n+2)/3$
NOR		5/3	7/3	9/3	$(2n+1)/3$
Tristate / mux	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Gate type	Number of inputs				
	1	2	3	4	n
Inverter	1				
NAND		2	3	4	n
NOR		2	3	4	n
Tristate / mux	2	4	6	8	2n
XOR, XNOR		4	6	8	

- Εκτίμηση καθυστέρησης ενός fanout-of-4 (FO4) inverter



Logical Effort: $g = 1$

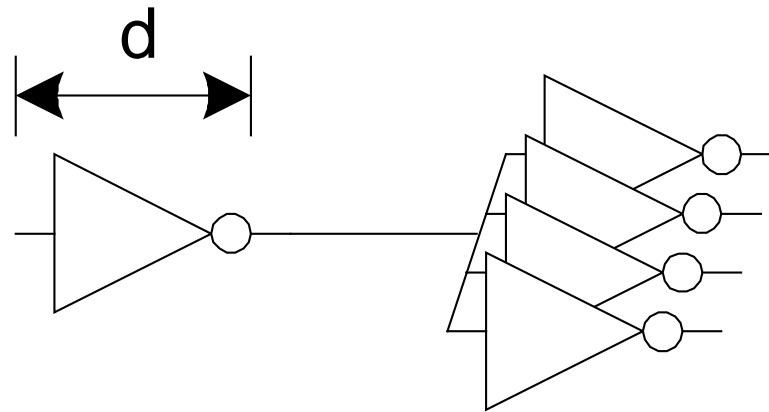
Electrical Effort: $h = 4$

Parasitic Delay: $p = 1$

Stage Delay: $d = 5$

Παράδειγμα: FO4 Inverter

- Εκτίμηση καθυστέρησης ενός fanout-of-4 (FO4) inverter



Logical Effort: $g = 1$

Electrical Effort: $h = 4$

Parasitic Delay: $p = 1$

Stage Delay: $d = 5$

Η καθυστέρηση ενός FO4 αντιστροφέα είναι:

300 ps in 0.6 μ m process

15 ps in a 65 nm process

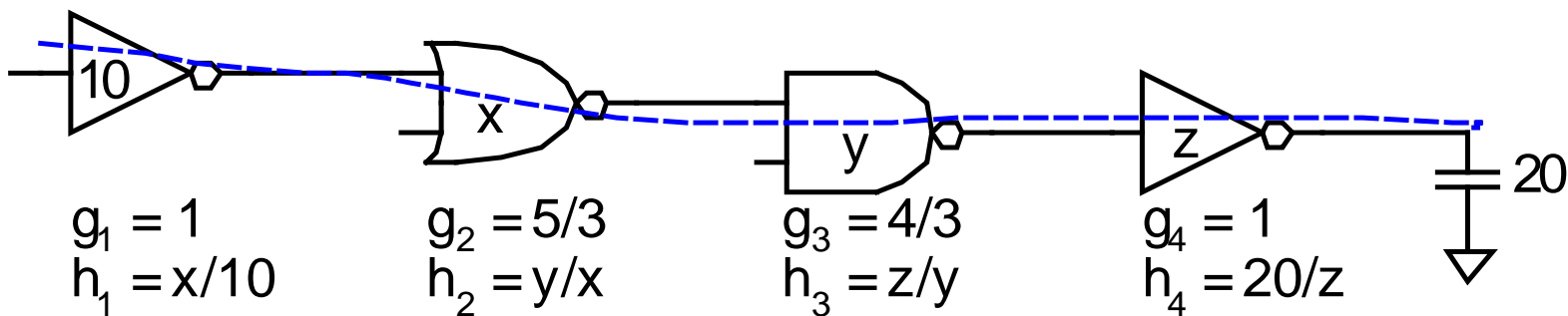
Κυκλώματα Πολλαπλών Σταδίων (1/2)

➤ Η μέθοδος μπορεί να εφαρμοστεί και κυκλώματα πολλαπλών σταδίων

➤ *Path Logical Effort* $G = \prod g_i$

➤ *Path Electrical Effort* $H = \frac{C_{\text{out-path}}}{C_{\text{in-path}}}$

➤ *Path Effort* $F = \prod f_i = \prod g_i h_i$



➤ *Path Logical Effort* $G = \prod g_i$

➤ *Path Electrical Effort* $H = \frac{C_{out-path}}{C_{in-path}}$

➤ *Path Effort* $F = \prod f_i = \prod (g_i h_i)$

➤ **Ισχύει $F = GH$?**

➤ Ισχύει $F = GH$?

$$G = 1$$

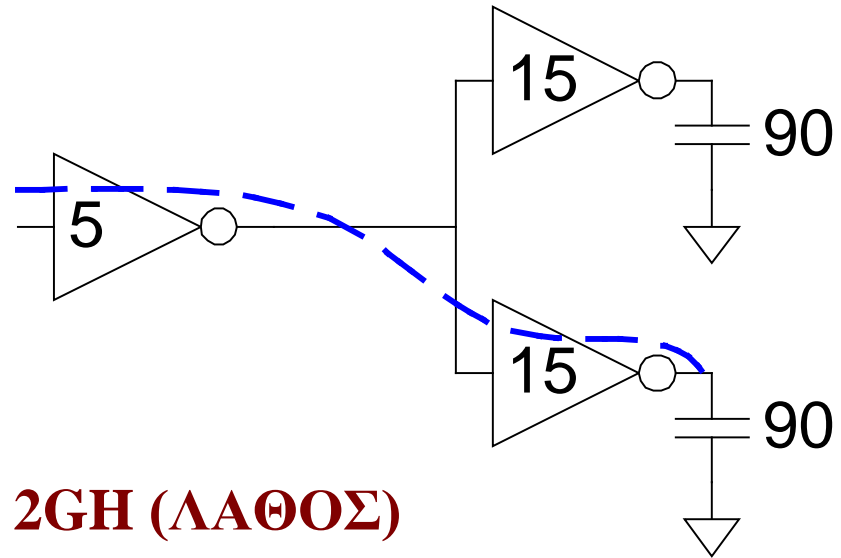
$$H = 90 / 5 = 18$$

$$GH = 18$$

$$h_1 = (15 + 15) / 5 = 6$$

$$h_2 = 90 / 15 = 6$$

$$F = f_1 f_2 = (g_1 h_1) (g_2 h_2) = 36 = \mathbf{2GH} \text{ (ΛΑΘΟΣ)}$$



➤ Ισχύει $F = GH$?

➤ Όχι, πρέπει να ληφθεί υπόψη το συνολικό φορτίο της διακλάδωσης

➤ Εισάγει *branching effort*

- Αφορά το συνολικό φορτίο στους κόμβους διακλάδωσης


$$b = \frac{C_{\text{on path}} + C_{\text{off path}}}{C_{\text{on path}}}$$

$$G = \prod g_i$$

➤ Εισάγει *branching effort*

- Αφορά το συνολικό φορτίο στους κόμβους διακλάδωσης

$$b = \frac{C_{\text{on path}} + C_{\text{off path}}}{C_{\text{on path}}}$$

$$G = \prod g_i \quad B = \prod b_i \quad H = \frac{C_{\text{out-path}}}{C_{\text{in-path}}} \quad \text{Σημείωση:} \quad \prod h_i = BH$$


➤ Έτσι το path effort ισούται με **$F = GBH$**

➤ Path Effort Delay $D_F = \sum f_i$

➤ Path Parasitic Delay $P = \sum p_i$

➤ Path Delay $D = \sum d_i = D_F + P$

$$D = \sum d_i = D_F + P$$

- Η καθυστέρηση ελαχιστοποιείται όταν κάθε στάδιο (βαθμίδα) έχει τον ίδιο φόρτο (effort)

$$\hat{f} = g_i h_i = F^{\frac{1}{N}}$$

- Η ελάχιστη καθυστέρηση ενός μονοπατιού N σταδίων είναι:

$$D = NF^{\frac{1}{N}} + P$$

- **Είναι μία από τις βασικές ιδιότητες της μεθόδου logical effort**
 - Εύρεση της μικρότερης καθυστέρησης
 - Χωρίς αρχικά να υπολογίζονται (λαμβάνονται υπόψη) οι διαστάσεις των τρανζίστορ

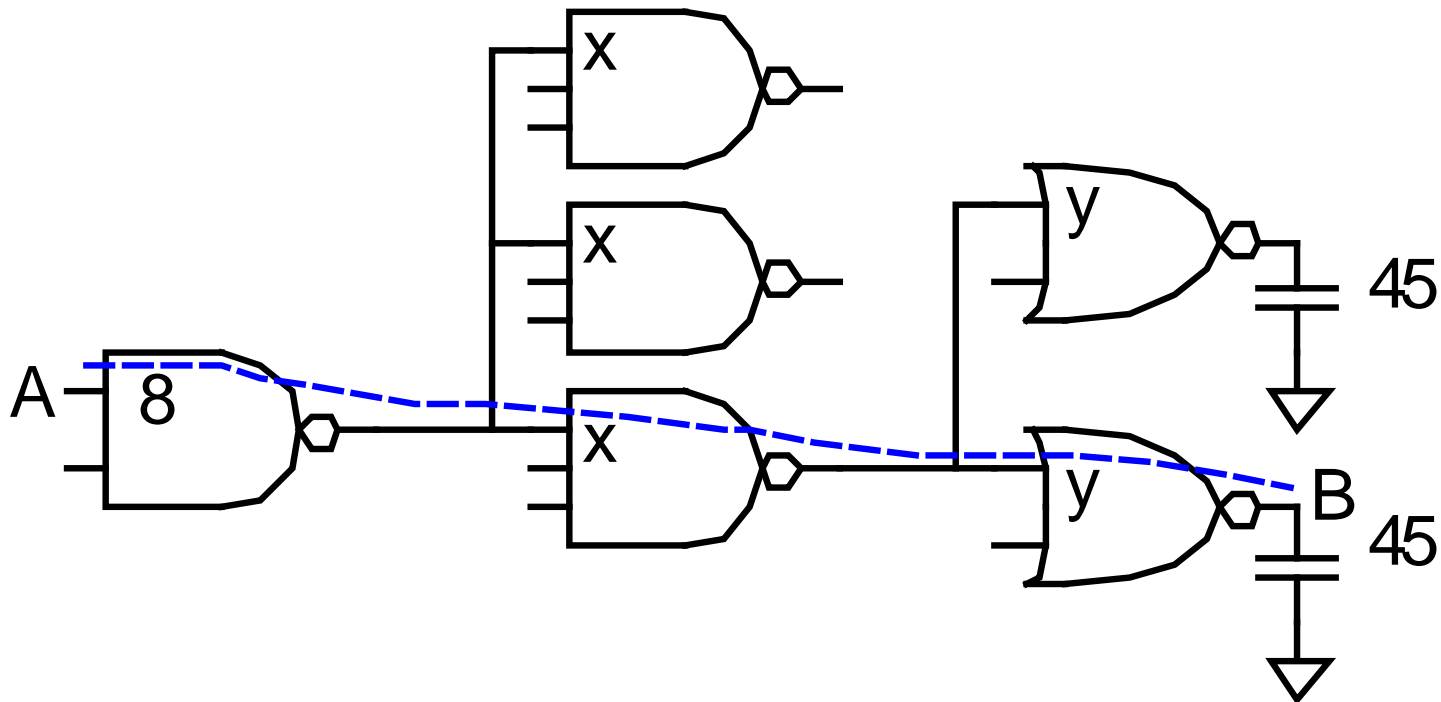
- Ποιες είναι οι διαστάσεις των πυλών που οδηγούν στην ελάχιστη καθυστέρηση που υπολογίστηκε ?
- Βελτιστοποιημένος φόρτος ανά βαθμίδα :

$$\hat{f} = gh = g \frac{C_{out}}{C_{in}} \Rightarrow C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

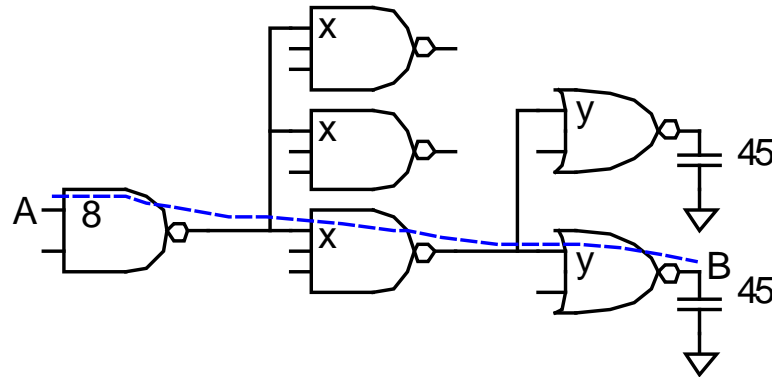
- Αλγόριθμος υπολογισμού διαστάσεων πυλών
 - 1) Το κύκλωμα διαπερνάται με κατεύθυνση από την έξοδο στην είσοδο
 - 2) Υπολογισμός της χωρητικότητας σε κάθε κόμβο
 - 3) Χρήση αυτής ως φορτίο για το προηγούμενο στάδιο
 - 4) Έλεγχος της υπολογιζόμενης χωρητικότητας εισόδου

Παράδειγμα: 3-stage path

➤ Καθορισμός των διαστάσεων x και y ώστε το μονοπάτι $A \rightarrow B$ να παρουσιάζει την ελάχιστη καθυστέρηση



Παράδειγμα : 3-stage path



Logical Effort $G = (4/3) * (5/3) * (5/3) = 100/27$

Electrical Effort $H = 45/8$

Branching Effort $B = 3 * 2 = 6$

Path Effort $F = GBH = 125$

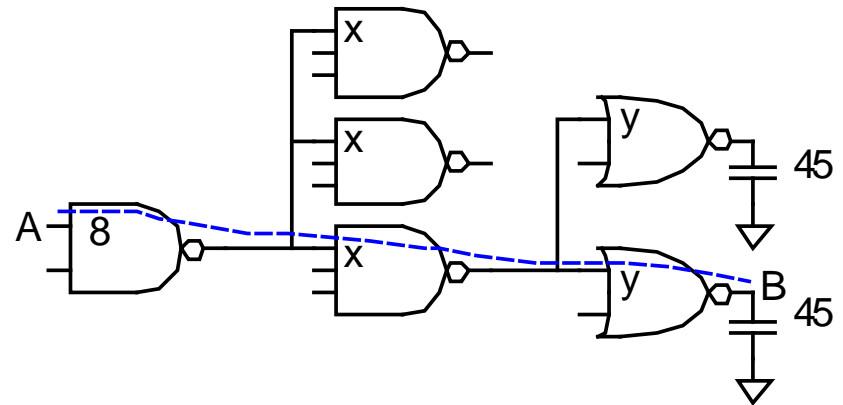
Best Stage Effort $\hat{f} = \sqrt[3]{F} = 5$

Parasitic Delay $P = 2 + 3 + 2 = 7$

Delay $D = 3 * 5 + 7 = \mathbf{22} \tau = 4.4 \text{ FO4}$

Παράδειγμα : 3-stage path

$$\hat{f} = gh = g \frac{C_{out}}{C_{in}} \Rightarrow C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$



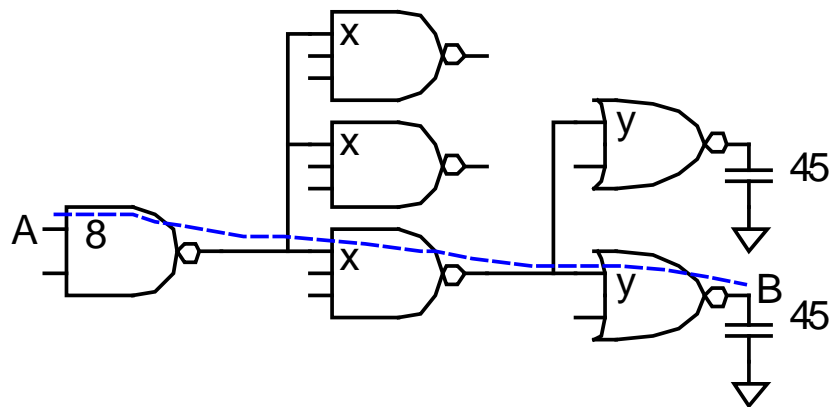
Παράδειγμα : 3-stage path

$$\hat{f} = gh = g \frac{C_{out}}{C_{in}} \Rightarrow C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

➤ Εφαρμογή αλγορίθμου

$$y = 45 * (5/3) / 5 = 15$$

$$x = (15 * 2) * (5/3) / 5 = 10$$



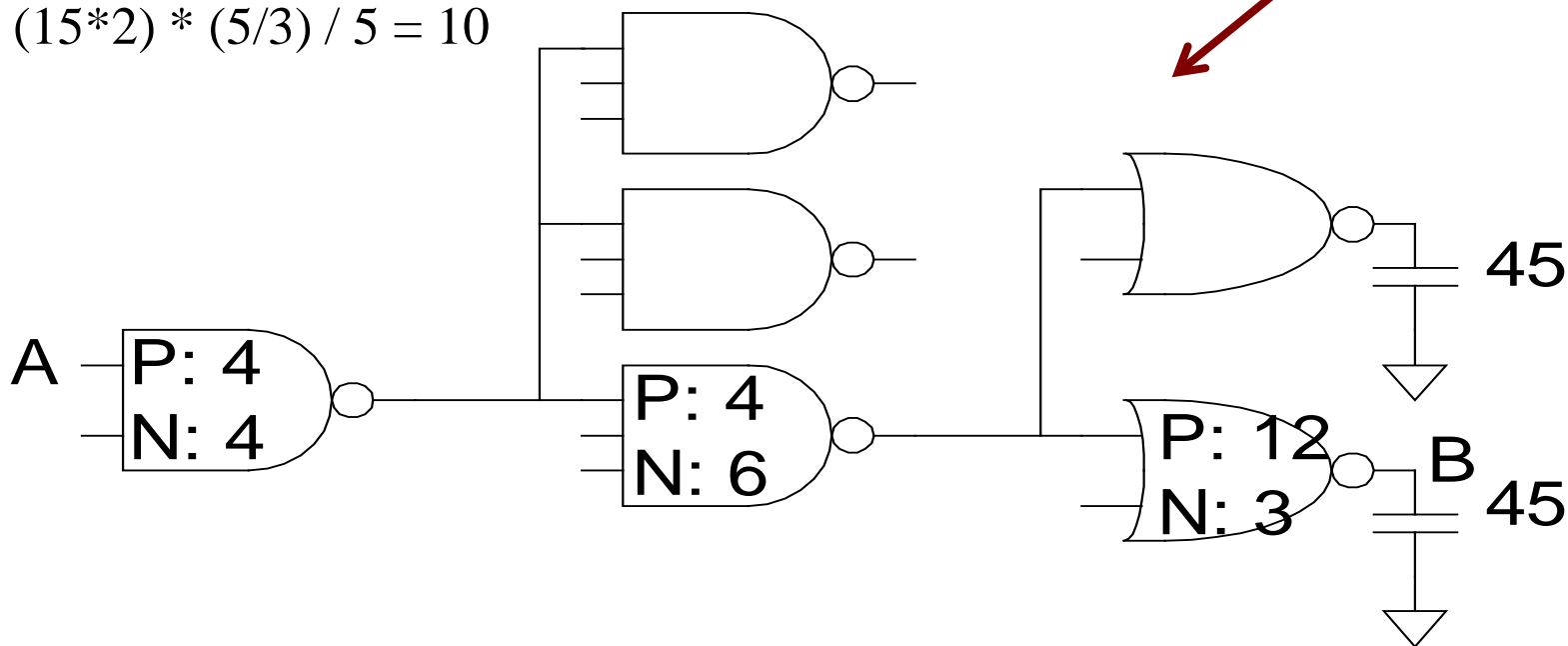
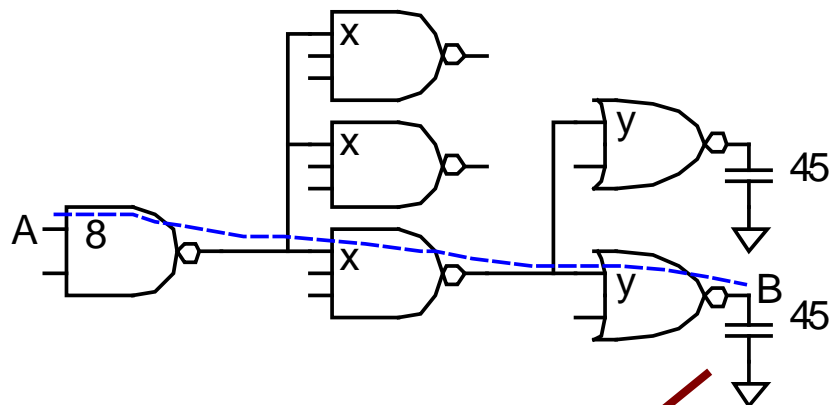
Παράδειγμα : 3-stage path

$$\hat{f} = gh = g \frac{C_{out}}{C_{in}} \Rightarrow C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$$

➤ Εφαρμογή αλγορίθμου

$$y = 45 * (5/3) / 5 = 15$$

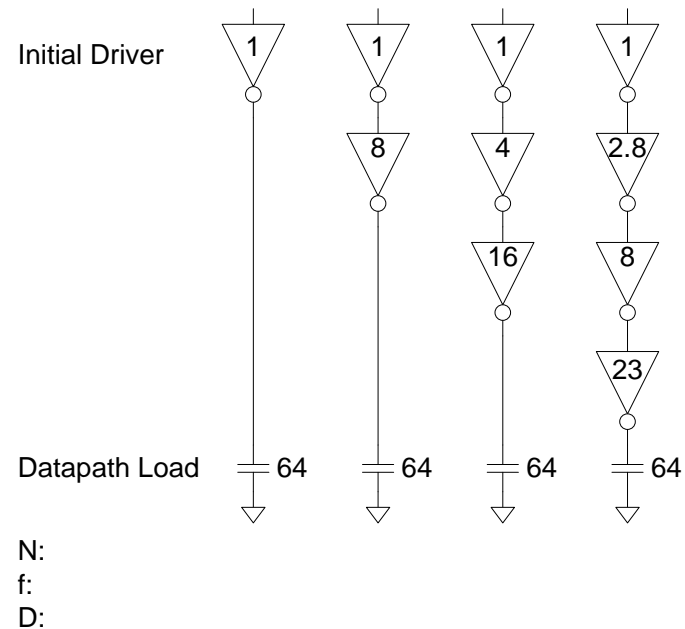
$$x = (15 * 2) * (5/3) / 5 = 10$$



- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση

Βέλτιστο Πλήθος Σταδίων

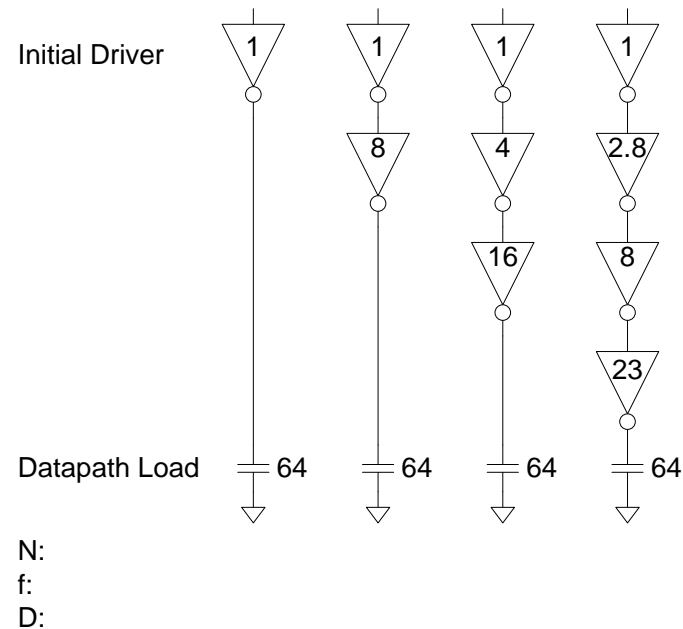
- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα



Βέλτιστο Πλήθος Σταδίων

- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα

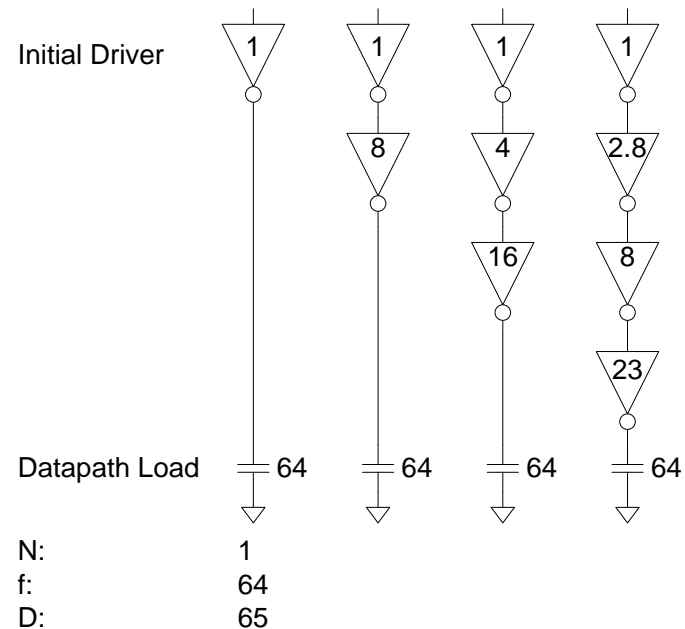
$$D = NF^{1/N} + P = N(64)^{1/N} + N$$



Βέλτιστο Πλήθος Σταδίων

- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα

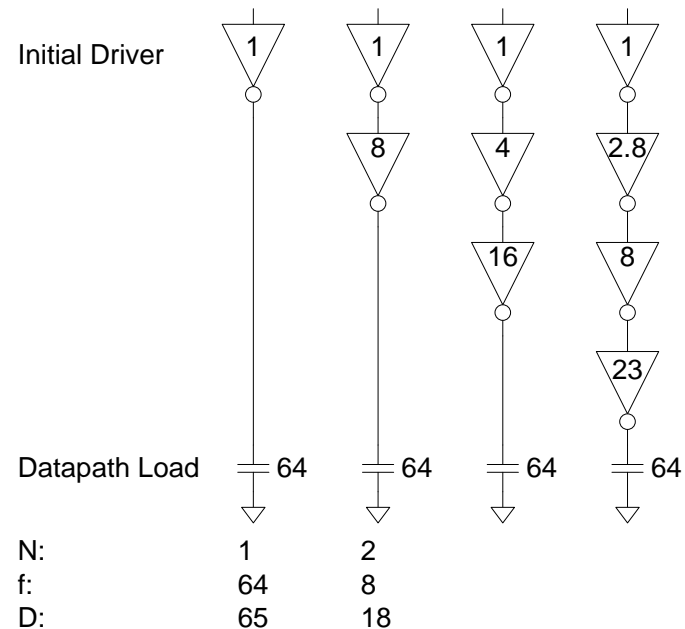
$$D = NF^{1/N} + P = N(64)^{1/N} + N$$



Βέλτιστο Πλήθος Σταδίων

- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα

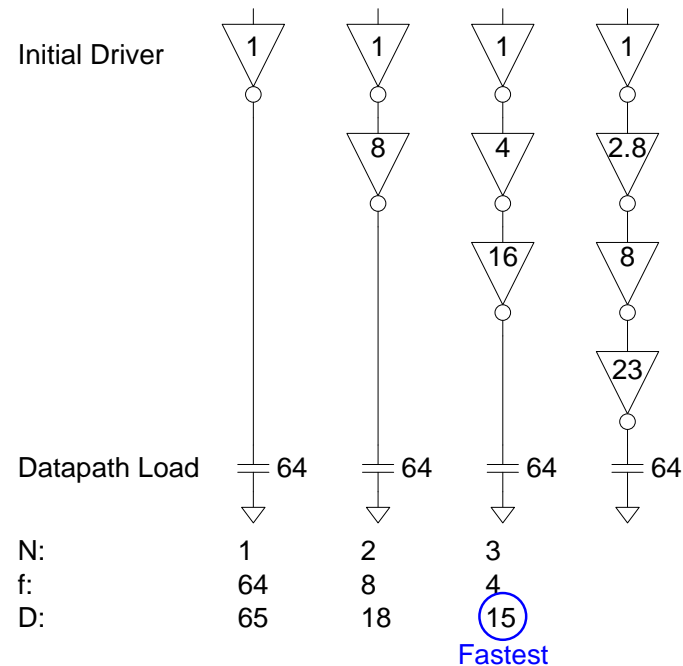
$$D = NF^{1/N} + P = N(64)^{1/N} + N$$



Βέλτιστο Πλήθος Σταδίων

- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα

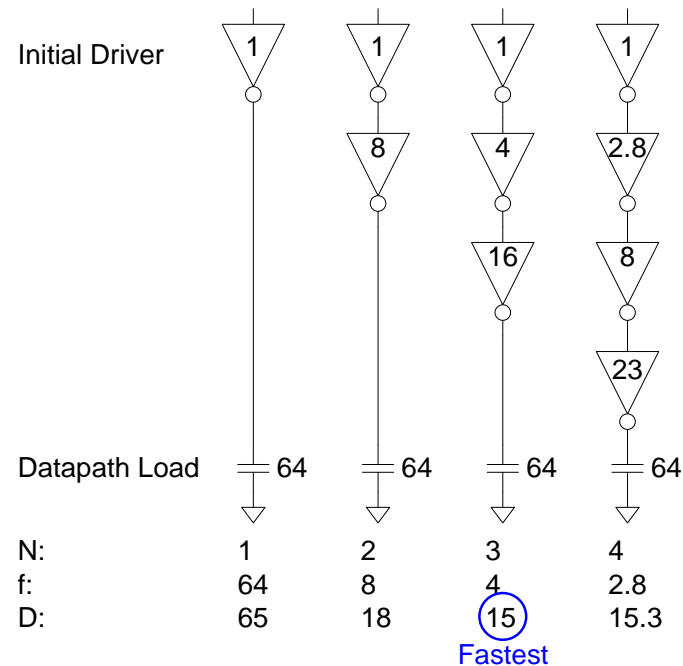
$$D = NF^{1/N} + P = N(64)^{1/N} + N$$



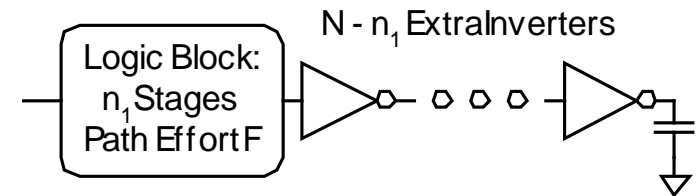
Βέλτιστο Πλήθος Σταδίων

- Πόσα στάδια απαιτούνται στο κρίσιμο μονοπάτι για τη βελτιστοποίηση της καθυστέρησης ?
 - Ο ελάχιστος αριθμός δεν οδηγεί πάντα σε μικρότερη καθυστέρηση
- Παράδειγμα: Οδήγηση 64-bit datapath με μοναδιαίο αντιστροφέα

$$D = NF^{1/N} + P = N(64)^{1/N} + N$$



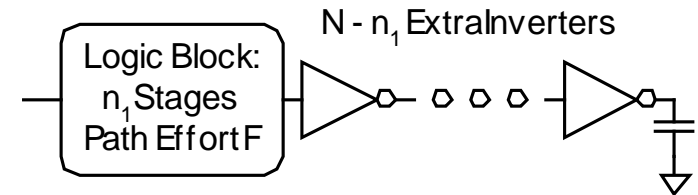
- Έστω ότι εισάγονται αντιστροφείς στην έξοδο
 - Πόσοι χρειάζονται ώστε να οδηγηθεί το φορτίο με ελάχιστη καθυστέρηση?



- Έστω ότι εισάγονται αντιστροφείς στην έξοδο
 - Πόσοι χρειάζονται ώστε να οδηγηθεί το φορτίο με ελάχιστη καθυστέρηση?

- Καθυστέρηση

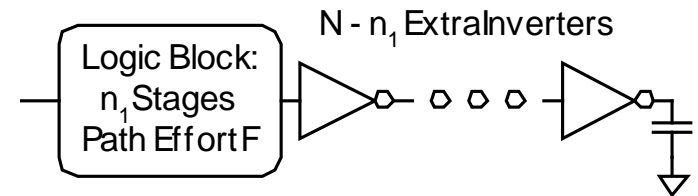
$$D = NF^{\frac{1}{N}} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{inv}$$



- Έστω ότι εισάγονται αντιστροφείς στην έξοδο
 - Πόσοι χρειάζονται ώστε να οδηγηθεί το φορτίο με ελάχιστη καθυστέρηση?

- Καθυστέρηση

$$D = NF^{\frac{1}{N}} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{inv}$$



- Διαφορίζοντας ως προς D και εξισώνοντας με το 0, βρίσκουμε το βέλτιστο αριθμό σταδίων

$$\rho = F^{\frac{1}{N}}$$

$$\frac{\partial D}{\partial N} = -F^{\frac{1}{N}} \ln F^{\frac{1}{N}} + F^{\frac{1}{N}} + p_{inv} = 0 \quad \Rightarrow$$

$$p_{inv} + \rho(1 - \ln \rho) = 0$$

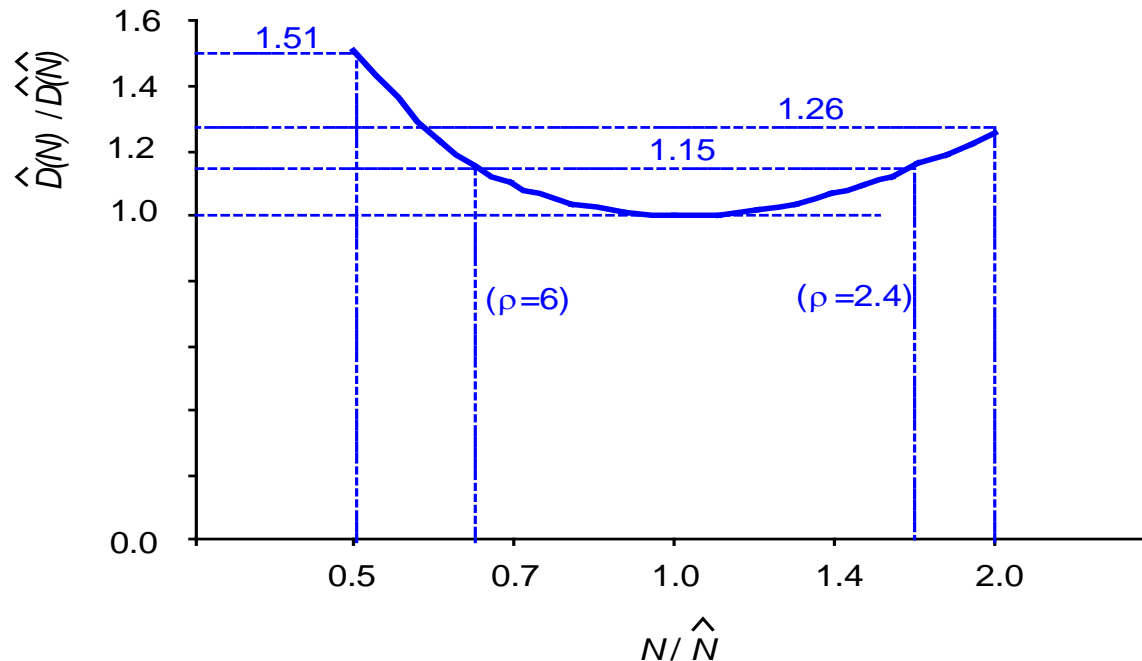
➤ Η σχέση $p_{inv} + \rho(1 - \ln \rho) = 0$ δεν έχει κλειστή φόρμα λύσης

➤ Αγνοώντας τη συνεισφορά των παρασιτικών χωρητικότητων, ($p_{inv} = 0$), βρίσκουμε $r = 2.718 = (e)$

➤ Επιλύοντας αριθμητικά για $p_{inv} = 1$, το αποτέλεσμα είναι **$r = 3.59$**

Ανάλυση Ευαισθησίας (Sensitivity Analysis)

➤ Ποια η μεταβολή στην καθυστέρηση όταν δεν χρησιμοποιείται ο βέλτιστος αριθμός βαθμίδων ?



➤ $2.4 < \rho < 6$ δίνει καθυστέρηση με απόκλιση 15% από τη βέλτιστη

- Χρήση $\rho = 4$

➤ Βέλτιστος αριθμός βαθμίδων: $\hat{N} = \log_{\rho} F = \log_4 F$

- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,
Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) Ι».
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση
<https://eclass.upatras.gr/courses/EE891/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ