

# ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ

## ΨΗΦΙΑΚΑ ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ & ΣΥΣΤΗΜΑΤΑ

Περίοδος Ιουνίου 2017

Διδάσκοντες: Γρ. Καλύβας, Μιχ. Μπίρμπας

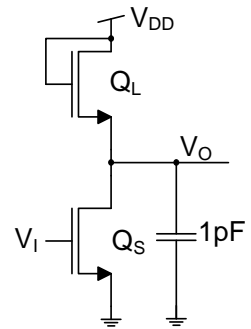
Δευτέρα 26 Ιουνίου 2017

### ΘΕΜΑ 1<sup>ο</sup> (22%)

Στο σχήμα δίνεται ο αναστροφέας αναφοράς και ζητείται:

1. Να βρείτε το  $K_L$  και  $K_S$  του αναστροφέα αναφοράς έτσι ώστε  $V_L=0,1V$  και το μέγιστο στατικό ρεύμα να είναι  $100\mu A$ .
2. την τάση  $V_{im}$  που θα εμφανιστεί όταν βραχυκυκλώσουμε την είσοδο με την έξοδο του αναστροφέα αναφοράς.
3. Να υπολογίσετε τον χρόνο εκφόρτισης ( $T_{PHL}$ ) του πυκνωτή εξόδου  $C_L=1pF$ .

Δίδεται:  $V_{DD}=5V$ ,  $V_{TN}=1V$ ,  $V_L=0,1V$

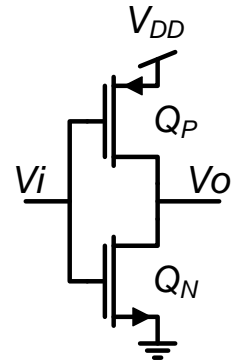


### ΘΕΜΑ 2<sup>ο</sup> (23%)

Στο σχήμα δίνεται απλός CMOS αναστροφέας και ζητείται:

1. Να σχεδιάσετε με λεπτομέρεια την χαρακτηριστική μεταφοράς δείχνοντας τις περιοχές λειτουργίας των MOSFETs.
2. Να υπολογίσετε και να συγκρίνετε τους χρόνους  $t_{p,HL}$  και  $t_{p,LH}$  θεωρώντας χωρητικότητα φορτίου  $1pF$ .

Δίνονται:



$V_{DD}=5V$		$V_{TN}=1V, V_{TP}=-1V$	
$(W/L)_N=2/1$	$K_n'=25\mu A/V^2$	$(W/L)_P=5/1$	$K_p'=10\mu A/V^2$

### ΘΕΜΑ 3<sup>ο</sup> (23%)

Έστω ένας 4-bit σύγχρονος και ένας 3-bit ασύγχρονος απαριθμητής. Δώστε την τοπολογία των δύο απαριθμητών ώστε να ισχύουν τα παρακάτω σενάρια λειτουργίας :

Ο σύγχρονος απαριθμητής είναι κατερχόμενη απαρίθμησης και αρχίζει πάντα την απαρίθμηση από το "12", ενώ όταν φτάνει στην κατάσταση "7" στο επόμενο clock μεταβαίνει στην κατάσταση "4". Επίσης όταν ολοκληρώνει έναν κύκλο απαρίθμησης τότε δημιουργεί έναν παλμό ρολογιού για το LSB FF (Flip Flop) του ασύγχρονου απαριθμητή.

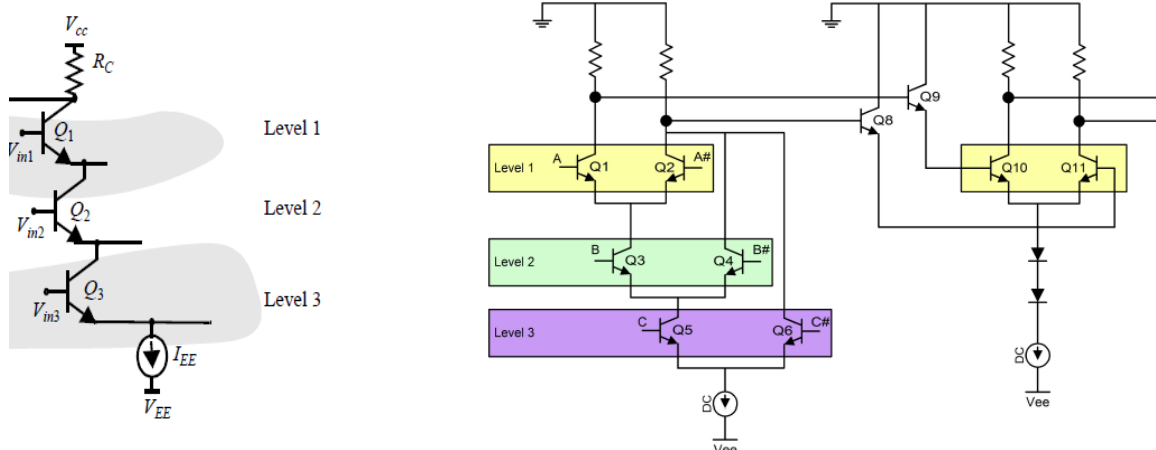
Ο ασύγχρονος αποτελείται μόνο από positive edge triggered FFs και είναι ένας count-up/count-down απαριθμητής, ο οποίος ελέγχεται από ένα σήμα  $x$  ( $x=1 \Rightarrow$  count up,  $x=0 \Rightarrow$  count down) και όταν φτάνει στην κατάσταση "2" μεταβαίνει στο επόμενο clock στο "5". Στην αρχή ο ασύγχρονος απαριθμητής επιτελεί κατερχόμενη απαρίθμηση (count-down) αλλά όταν ο σύγχρονος απαριθμητής ολοκληρώσει τον 2<sup>ο</sup> κύκλο απαρίθμησης του και ειδικότερα όταν (ο σύγχρονος) κατά τη διάρκεια του 3<sup>ου</sup> κύκλου απαρίθμησης του φτάσει στην κατάσταση "9", τότε θέλουμε ο ασύγχρονος να αλλάξει φορά και να εκτελεί στο εξής ανερχόμενη απαρίθμηση (προτείνεται η χρήση JK FF με το  $K=0$ ). Θεωρήσατε ότι ο ασύγχρονος απαριθμητής είναι εφοδιασμένος μόνον με LOAD μηχανισμό ο οποίος ενεργοποιείται με λογικό "1". Ποιός ο αριθμός των παλμών ρολογιού που μετρούνται σε κάθε συνολικό κύκλο απαρίθμησης (και των δύο απαριθμητών?)

**Υπόδειξη** Σε έναν count-up απαριθμητή συντελείται αλλαγή ενός bit του όταν υπάρχει μετάβαση του αμέσως προηγούμενου bit του από  $1 \rightarrow 0$  με το αντίστροφο να ισχύει για έναν count-down απαριθμητή

#### ΘΕΜΑ 4<sup>ο</sup> (22%)

a) Ποιά είναι τα πλονεκτήματα και ποιά τα μειονεκτήματα μίας διαφορικής (differential) σε σχέση με μία απλή (single sided) ECL πύλη? Εάν μία διαφορική ECL πύλη έχει πολλές εισόδους -Σχήμα (a)- αποδείξατε ότι οι τάσεις εισόδων μεταξύ δύο διαδοχικών επιπέδων πρέπει να διαφέρουν τουλάχιστον κατά  $V_{BE(on)}$  προκειμένου να παραμένουν τα transistors στην ενεργό περιοχή. Ποιό είναι το πρόβλημα που ανακύπτει από την συνθήκη αυτή? Εάν η τάση τροφοδοσίας σε μία τέτοια οικογένεια πυλών είναι 3V και το κατώφλι μεταβολής από "0" σε "1" και το αντίστροφο (switching threshold) είναι 1V, τι σημαίνει αυτό για τον αριθμό εισόδων μίας τέτοιας πύλης? Θεωρείστε ότι  $V_{BE(on)} = 0.7$  V.

b) Δείξτε εάν οι έξοδοι των transistors  $Q_1$  και  $Q_2$  της διαφορικής ECL πύλης του Σχήματος (b) δημιουργούν μία NAND/AND ή μία NOR/OR διάταξη. Τι θα συμβεί αν στη θέση των εισόδων A, B, C θέσουμε τις συμπληρωματικές τους και το αντίστροφο? Θεωρώντας ότι τα transistors  $Q_8$  και  $Q_9$  είναι emitter followers βρείτε ποιά λογική συνάρτηση υλοποιούν οι έξοδοι των transistors  $Q_{10}$  και  $Q_{11}$



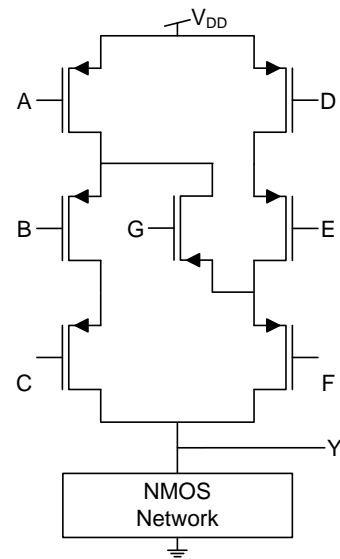
(a)

(b)

**ΘΕΜΑ 5<sup>ο</sup> (10%)**

Στο σχήμα δίδεται το PMOS network μίας σύνθετης πύλης CMOS.

4. Να βρείτε τη **λογική έκφραση** της εξόδου Y.
5. Να σχεδιάσετε το **NMOS network**.



**ΤΥΠΟΛΟΓΙΟ**

$$K_{n,p} = K'_{n,p} \cdot \frac{W}{L} = \mu_{n,p} C_{ox} \cdot \left( \frac{W}{L} \right)$$

$$I_{DS,Sat} = \frac{K}{2} \cdot (V_{GS} - V_T)^2, \text{ για } V_{DS} \geq V_{GS} - V_T \text{ (NMOS)}, |V_{DS}| \geq |V_{GS} - V_T| \text{ (PMOS)}$$

$$I_{DS,Lin} = K \cdot \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) \cdot V_{DS}, \text{ για } V_{DS} \leq V_{GS} - V_T \text{ (NMOS)}, |V_{DS}| \leq |V_{GS} - V_T| \text{ (PMOS)}$$