



ΠΑΝΕΠΙΣΤΗΜΙΟ  
ΠΑΤΡΩΝ  
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά  
μαθήματα ΠΠ

# Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση  
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ  
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

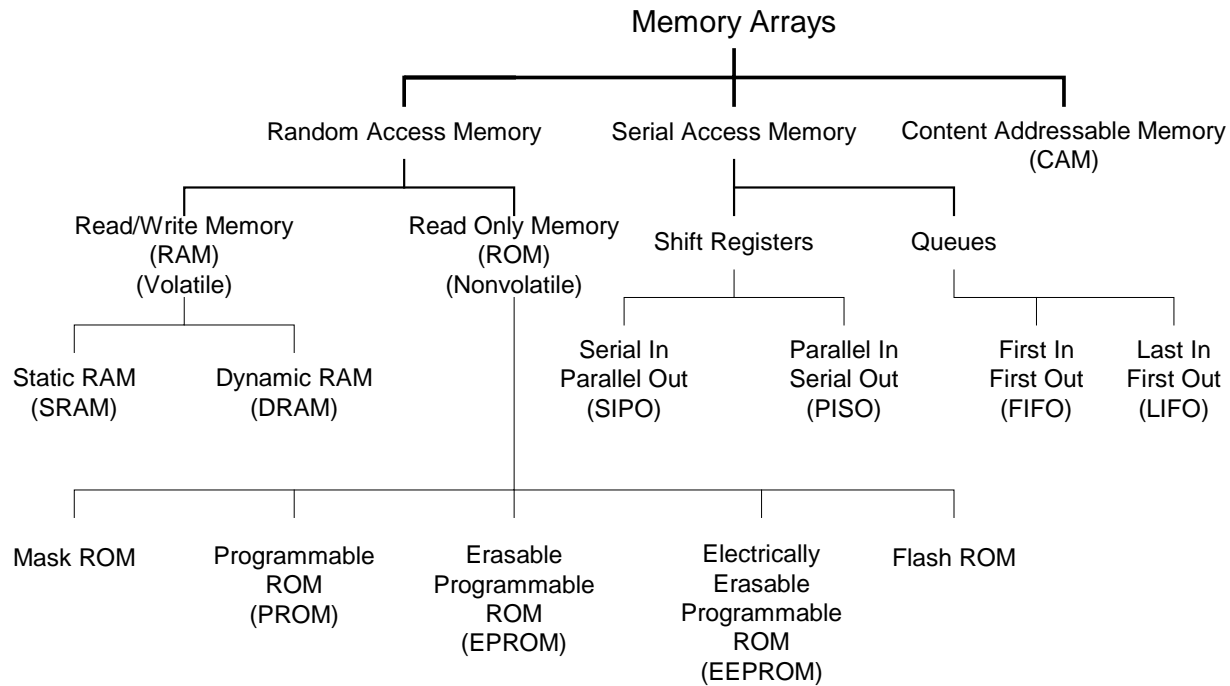
Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



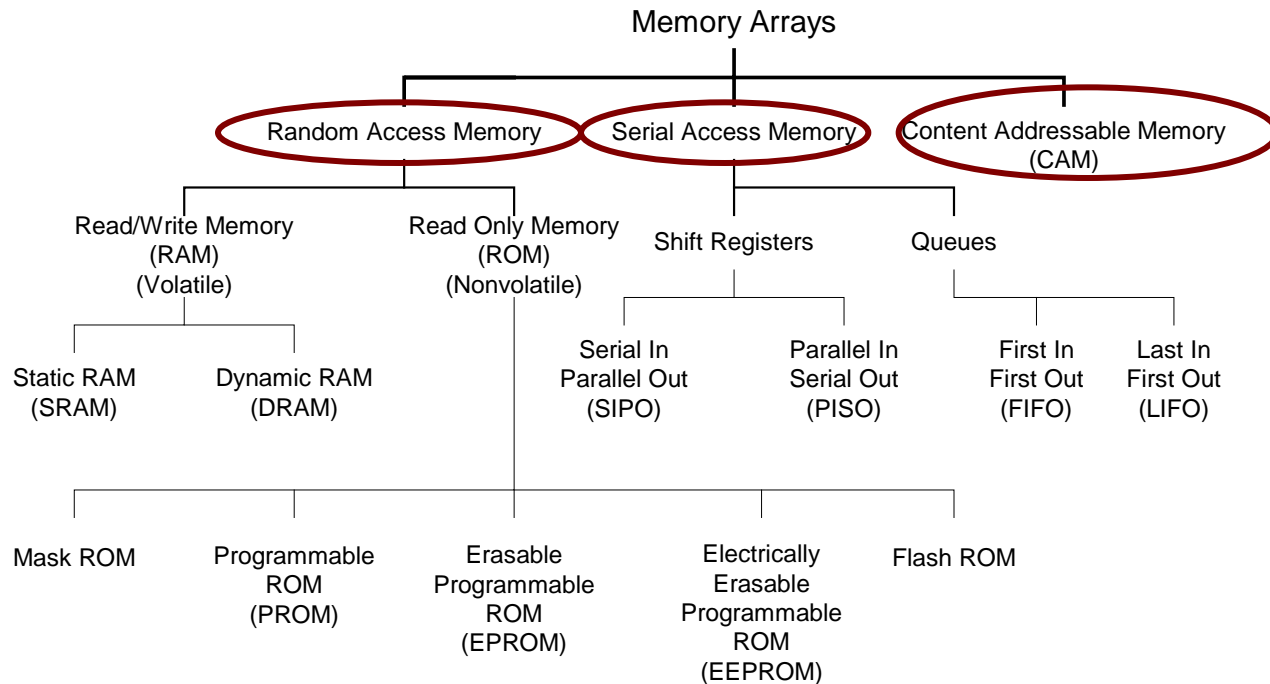
# Στοιχεία Στατικών Μνημών

- Εισαγωγή
- Κύτταρα στατικής μνήμης (SRAM)
- Αποκωδικοποιητές στατικής μνήμης (SRAM)
- Κύκλωμα για στήλες (Column circuitry)

# Κατηγορίες μνημών



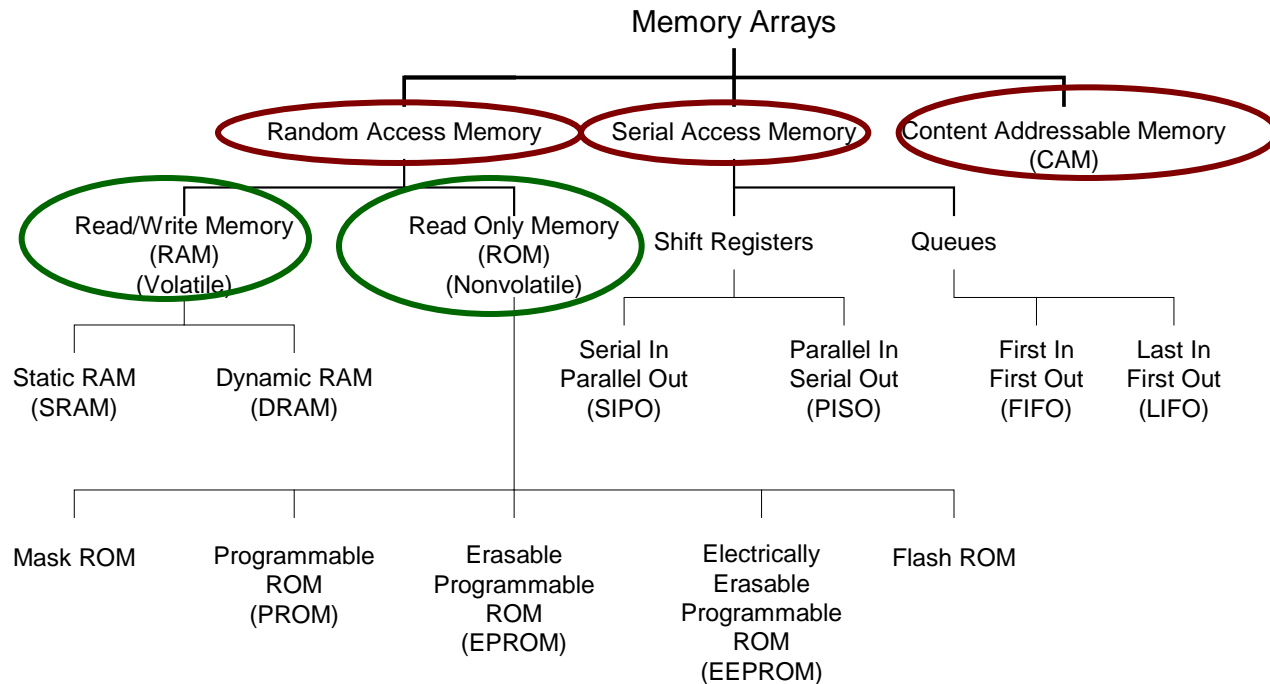
# Κατηγορίες μνημών



➤ Τρόπο προσπέλασης: τυχαίας προσπέλασης (RAM), σειριακής προσπέλασης, διευθυνσιοδοτούμενες από περιεχόμενα (CAM)

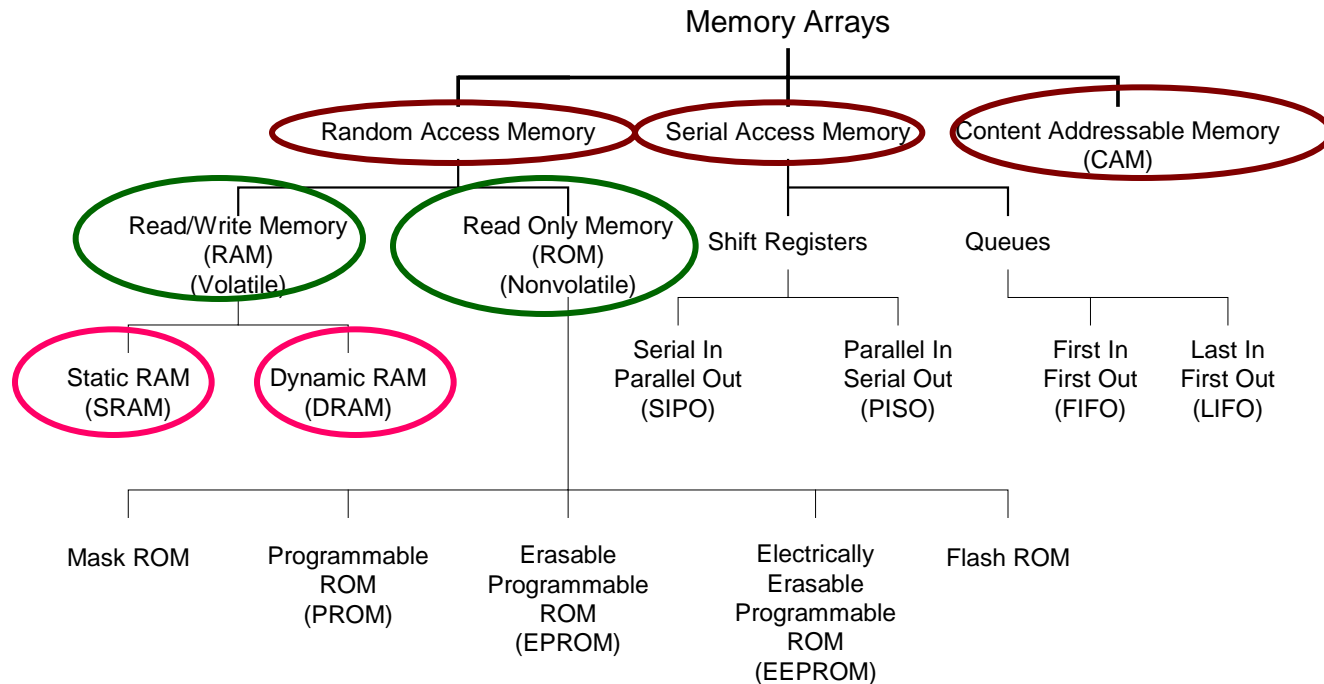


# Κατηγορίες μνημών



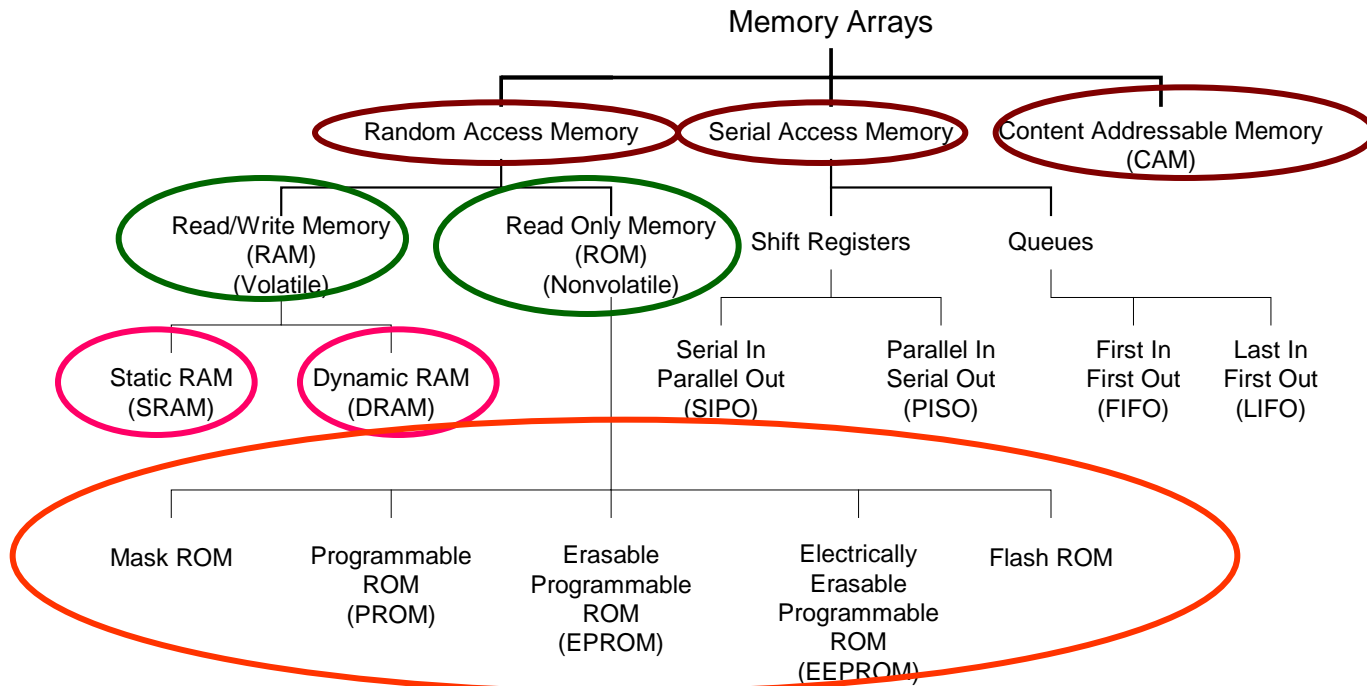
- Τρόπο προσπέλασης: τυχαίας προσπέλασης (RAM), σειριακής προσπέλασης, διευθυνσιοδοτούμενες από περιεχόμενα (CAM)
- Διατήρηση δεδομένων: ευμετάβλητες (πτητικές), μη-μεταβλητές (μη-πτητικές)

# Κατηγορίες μνημών



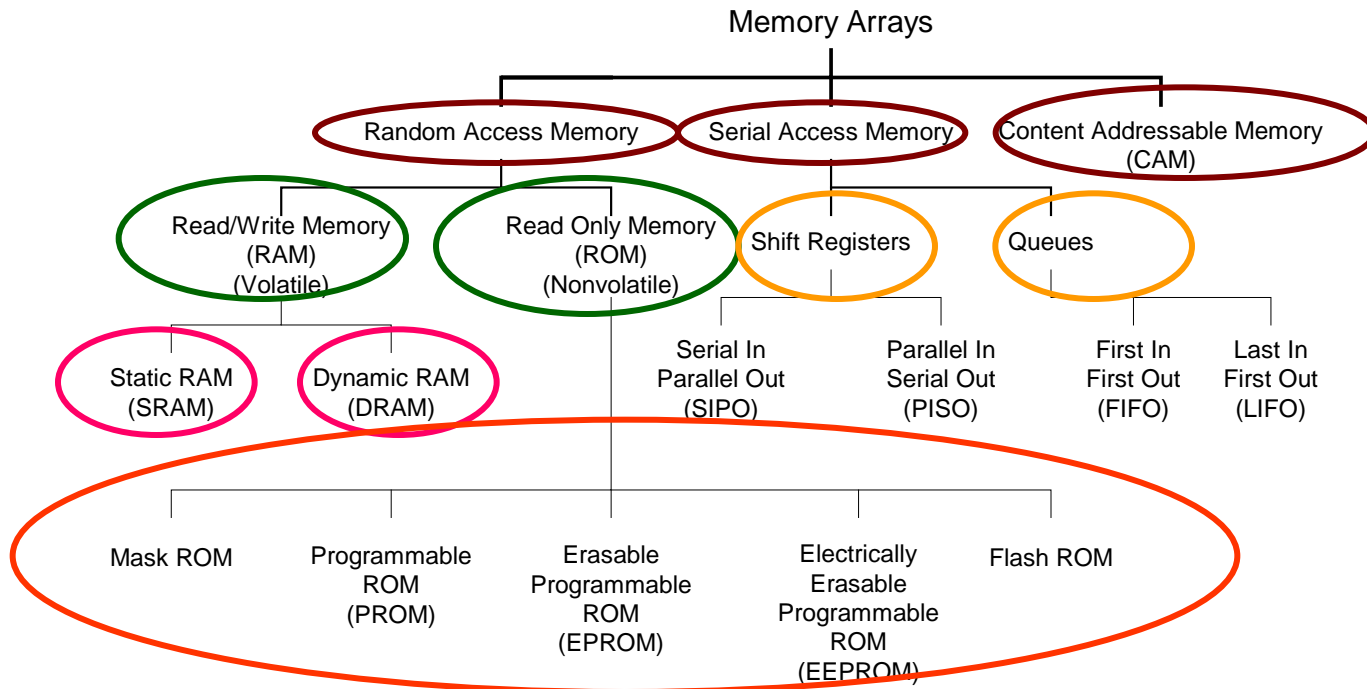
- Τρόπο προσπέλασης: τυχαίας προσπέλασης (RAM), σειριακής προσπέλασης, διευθυνσιοδοτούμενες από περιεχόμενα (CAM)
- Διατήρηση δεδομένων: ευμετάβλητες (πτητικές), μη-μεταβλητές (μη-πτητικές)
- Τύπο κυττάρου (RAM): στατική RAM (SRAM), δυναμική RAM (DRAM)

# Κατηγορίες μνημών



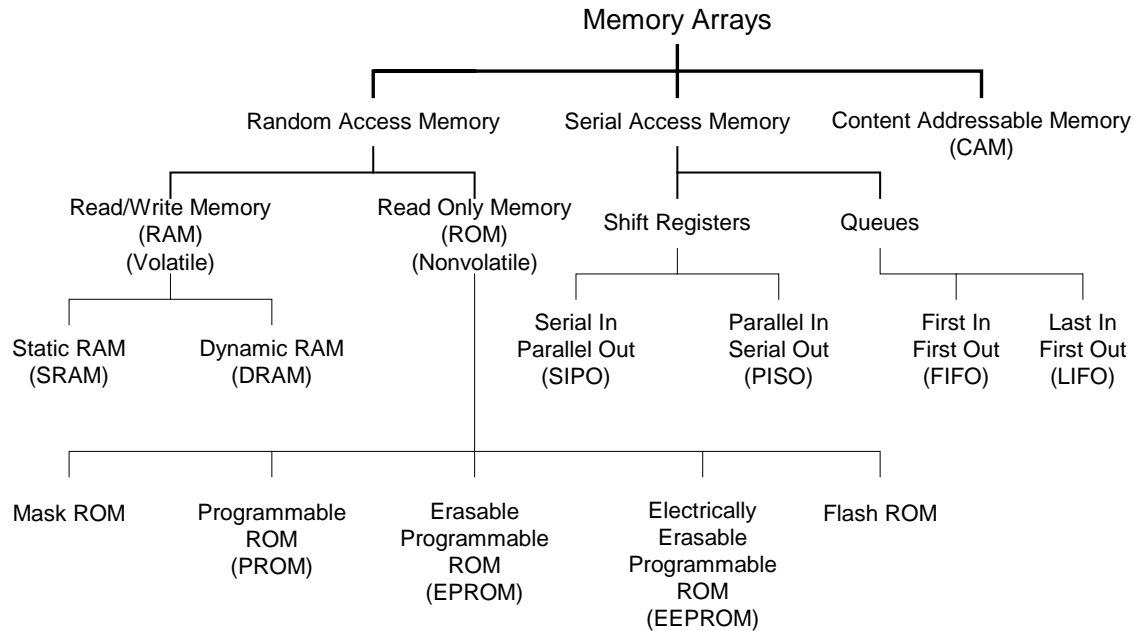
- Τρόπο προσπέλασης: τυχαίας προσπέλασης (RAM), σειριακής προσπέλασης, διευθυνσιοδοτούμενες από περιεχόμενα (CAM)
- Διατήρηση δεδομένων: ευμετάβλητες (πτητικές), μη-μεταβλητές (μη-πτητικές)
- Τύπο κυττάρου (RAM): στατική RAM (SRAM), δυναμική RAM (DRAM)
- Τρόπος εγγραφής δεδομένων (ROM): mask, PROM, EPROM, EEPROM, Flash

# Κατηγορίες μνημών



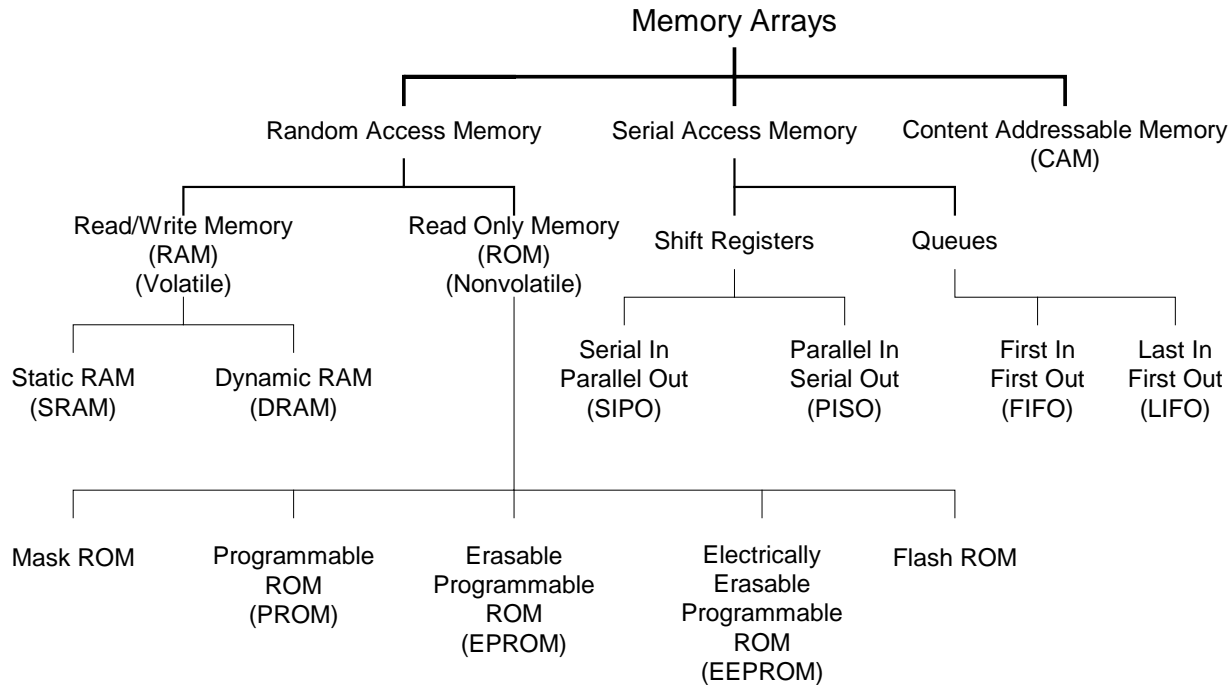
- Τρόπο προσπέλασης: τυχαίας προσπέλασης (RAM), σειριακής προσπέλασης, διευθυνσιοδοτούμενες από περιεχόμενα (CAM)
- Διατήρηση δεδομένων: ευμετάβλητες (πτητικές), μη-μεταβλητές (μη-πτητικές)
- Τύπο κυττάρου (RAM): στατική RAM (SRAM), δυναμική RAM (DRAM)
- Τρόπος εγγραφής δεδομένων (ROM): mask, PROM, EPROM, EEPROM, Flash
- Λειτουργία σειριακών μνημών: Ολίσθηση δεδομένων, ουρές δεδομένων

# Κατηγορίες μνημών – Τρόπος προσπέλασης



- Η μνήμη τυχαίας προσπέλασης (RAM) προσπελάζεται με μία διεύθυνση
  - σταθερή καθυστέρηση ανεξάρτητη της διεύθυνσης
- Οι μνήμες σειριακής προσπέλασης προσπελούνται σειριακά
  - μεταβλητή καθυστέρηση
- Οι διευθυνσιοδοτούμενες από περιεχόμενα μνήμες καθορίζουν ποιες διευθύνσεις περιέχουν δεδομένα που ταιριάζουν με ένα κλειδί

# Κατηγορίες μνημών – Διατήρηση δεδομένων



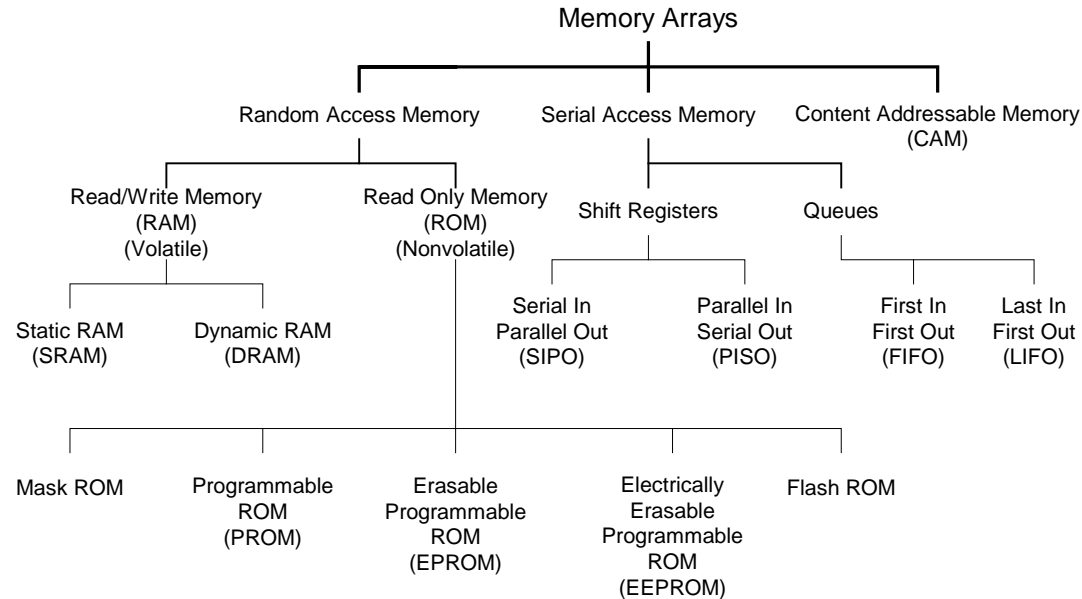
➤ Η μνήμες τυχαίας προσπέλασης ταξινομούνται σε: **ανάγνωσης μόνο (ROM)** & **ανάγνωσης / εγγραφής** (παραπλανητικά καλείται RAM)

➤ Πιο χρήσιμη ταξινόμηση: **ευμετάβλητη (volatile)** & **μη-μεταβλητή (nonvolatile)**

- Η ευμετάβλητη μνήμη διατηρεί τα δεδομένα μόνο όσο τροφοδοτείται από ρεύμα
- μη-μεταβλητή μνήμη διατηρεί τα δεδομένα επ' αόριστον

➤ Η RAM ⇔ ευμετάβλητη μνήμη, ενώ η ROM ⇔ μη-μεταβλητή μνήμη

# Κατηγορίες μνημών – Τύπος κυττάρου



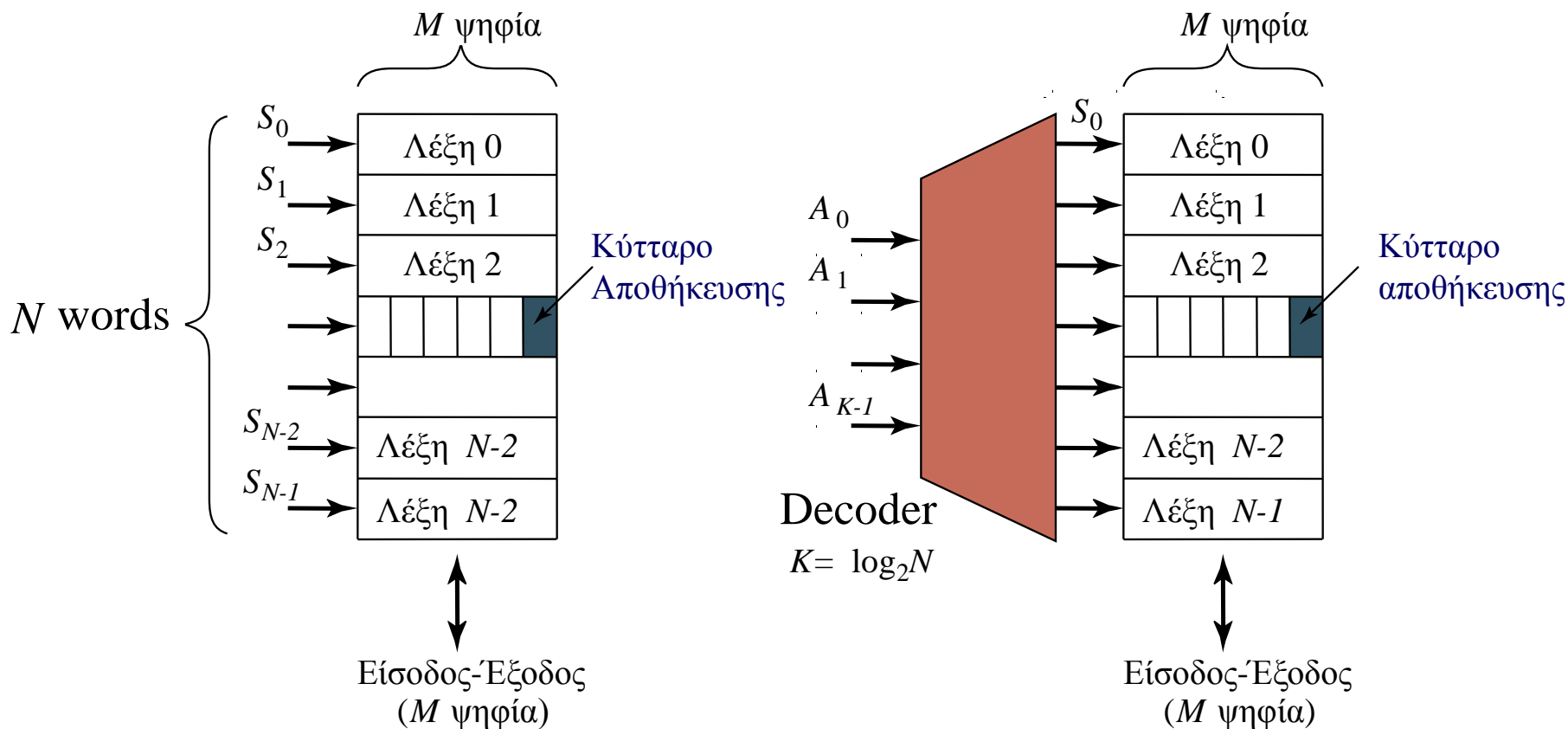
➤ Ανάλογα με τον τύπο του κυττάρου (RAM) : στατικές (SRAM) και δυναμικές (DRAM)

➤ Οι SRAMs χρησιμοποιούν δομή ανάδρασης για τη διατήρηση της κατάστασής (φορτίου)

➤ Οι DRAMs αποθηκεύουν το φορτίο σε πυκνωτή  
– Διαρροές φορτίων επιβάλλουν την ανανέωση της κατάστασης του κυττάρου

➤ Οι SRAMs είναι γρηγορότερες και λιγότερο δύσχρηστες – απαιτούν περισσότερη επιφάνεια ανά bit από τις DRAMs (6 transistors vs 1 transistor)

# Αρχιτεκτονική Μνήμης: Αποκωδικοποιητές



Διασθητική αρχιτεκτονική μνήμης  $N \times M$   
Πολλά σήματα επιλογής:  
 $N$  λέξεις ==  $N$  σήματα επιλογής

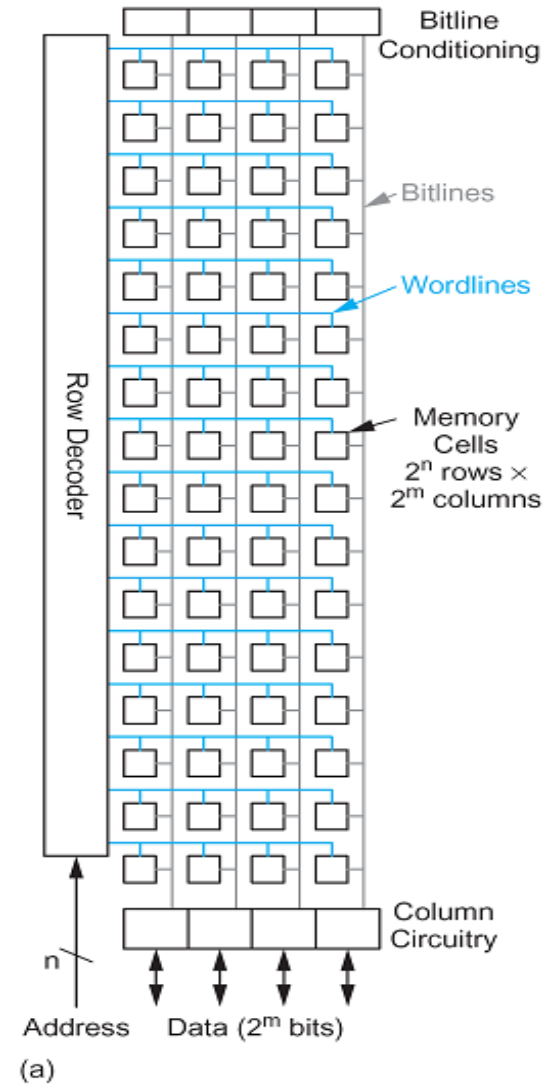
Ο αποκωδικοποιητής μειώνει τον αριθμό των  
σημάτων επιλογής

$$K = \log_2 N$$



# Δομή Πίνακα – Array Architecture

- **Αποκωδικοποίηση:** ο αποκωδικοποιητής γραμμής αποκωδικοποιεί τη διεύθυνση (address), θέτει σε “1” μία έξοδο wordline και ενεργοποιεί μία γραμμή (row)
- **Εγγραφή:** τα δεδομένα τίθενται στις γραμμές bitline και γράφονται στα κύτταρα της επιλεγμένης γραμμής
- **Ανάγνωση:** τα κύτταρα της επιλεγμένης λέξης οδηγούν τις γραμμές bitlines που έχουν τεθεί σε μία γνωστή τιμή
- Το κύκλωμα στήλης περιέχει ενισχυτές για ανίχνευση δεδομένων
  - Η μεταβολή της τάσης των γραμμών bitlines μπορεί να είναι μικρότερη από  $0 \leftrightarrow V_{dd}$



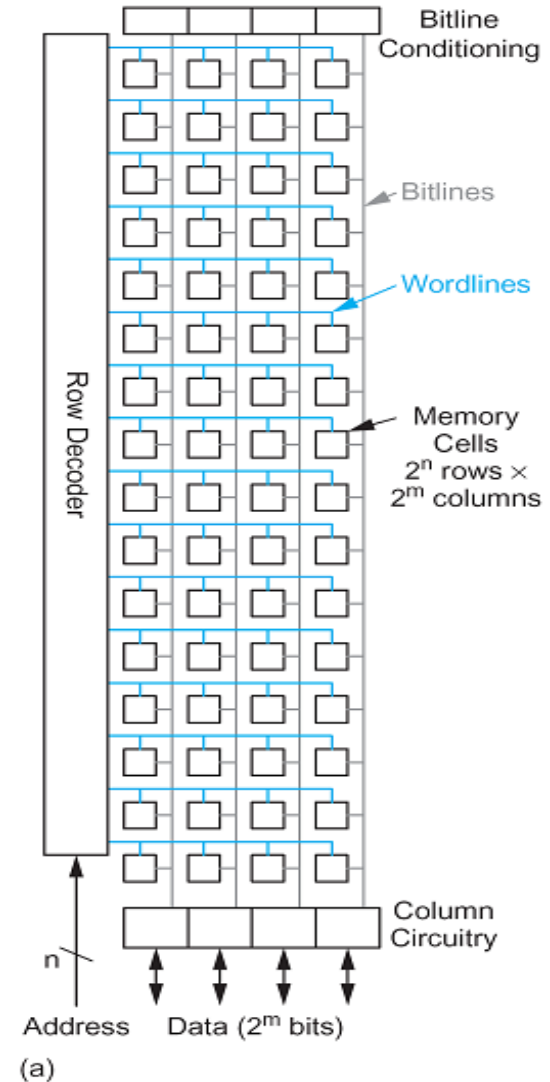
# Δομή Πίνακα – Array Architecture

➤ Πίνακας μνήμης με  $2n$  λέξεις (words) των  $2m$  bits/ word

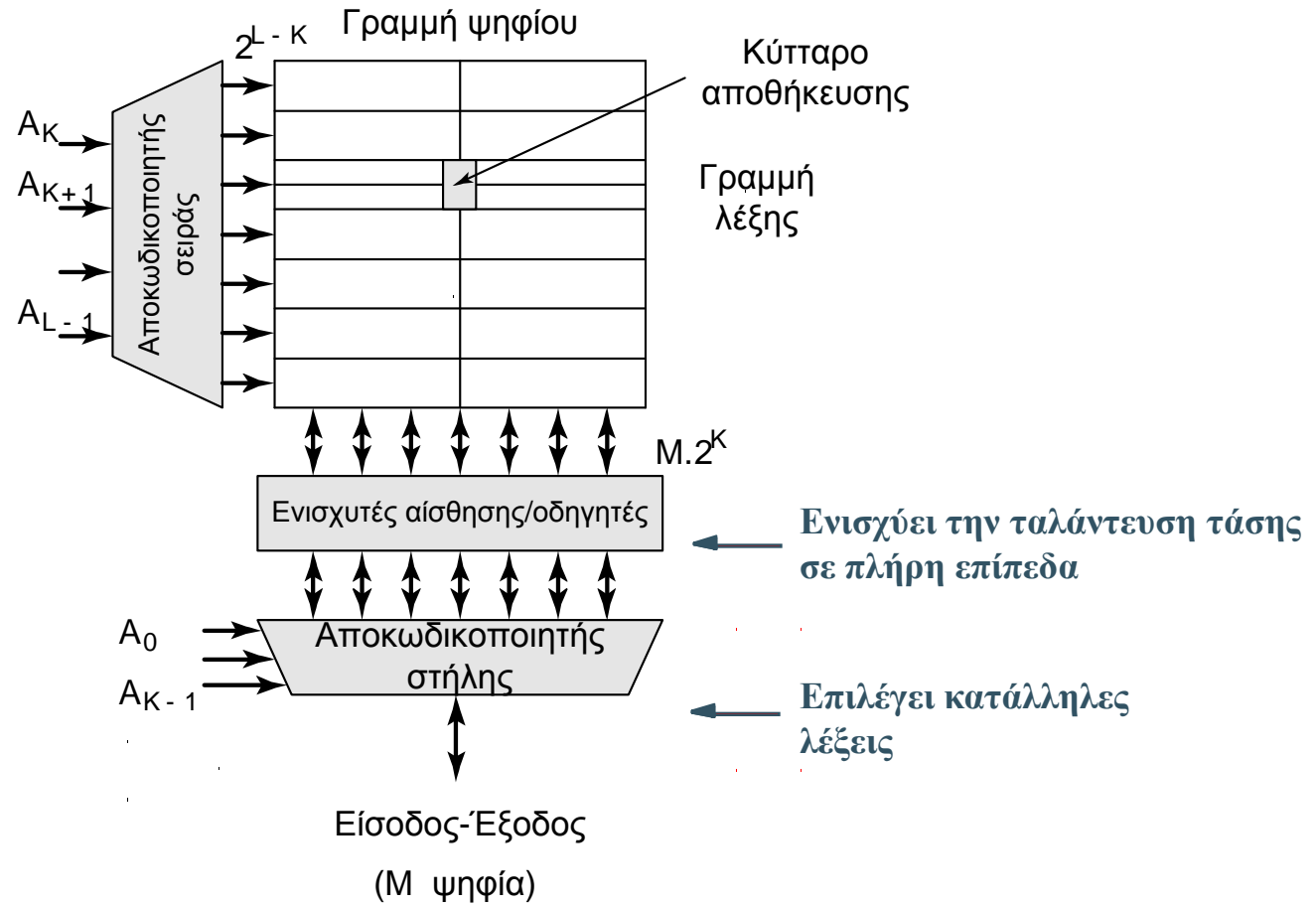
➤ Στην απλούστερη σχεδίαση ο πίνακας οργανώνεται σε μία λέξη ανά σειρά και μία στήλη ανά bit σε κάθε λέξη

➤ Συχνά υπάρχουν πολύ περισσότερες λέξεις σε μία μνήμη απ' ότι bits σε μία λέξη

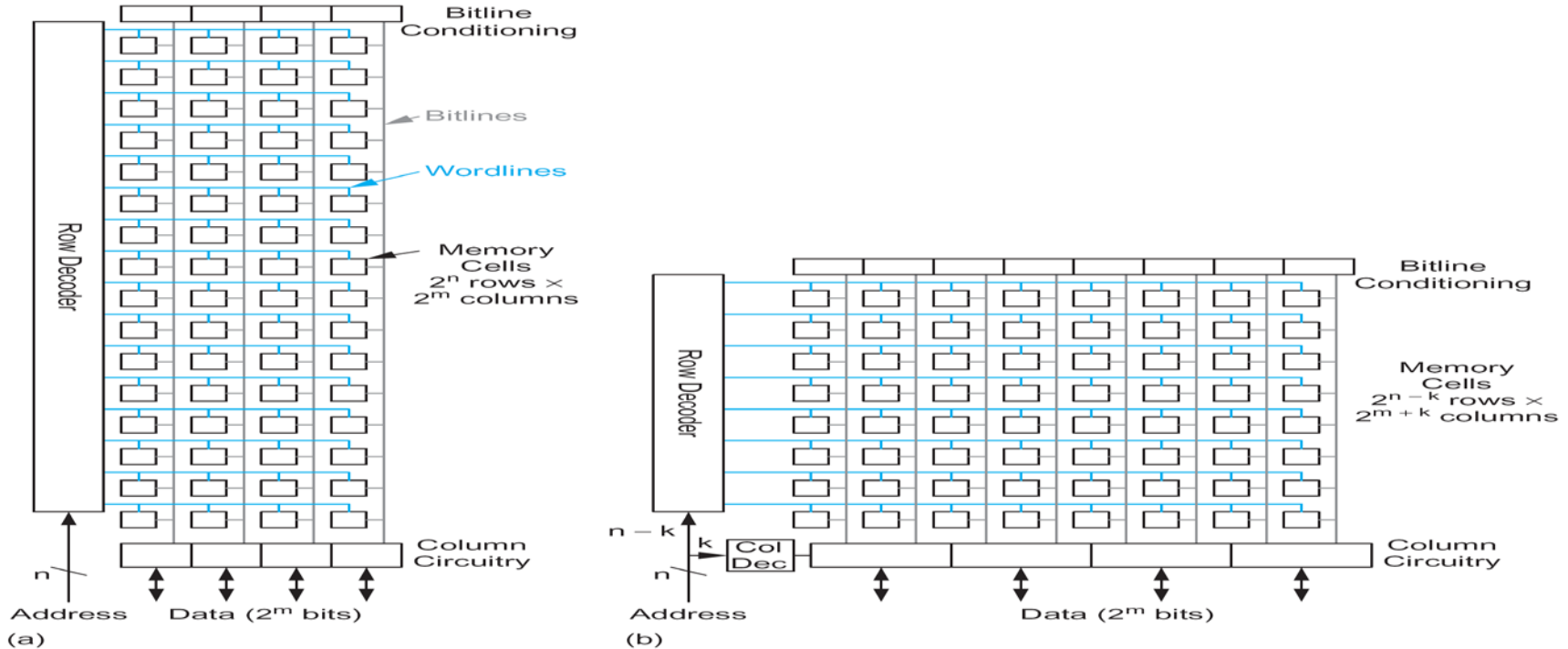
- στενόμακρη δομή δύσκολο να ταιριάζει στην χωροθέτηση του ολοκληρωμένου
- αργή λόγω των μακρών κατακόρυφων καλωδίων



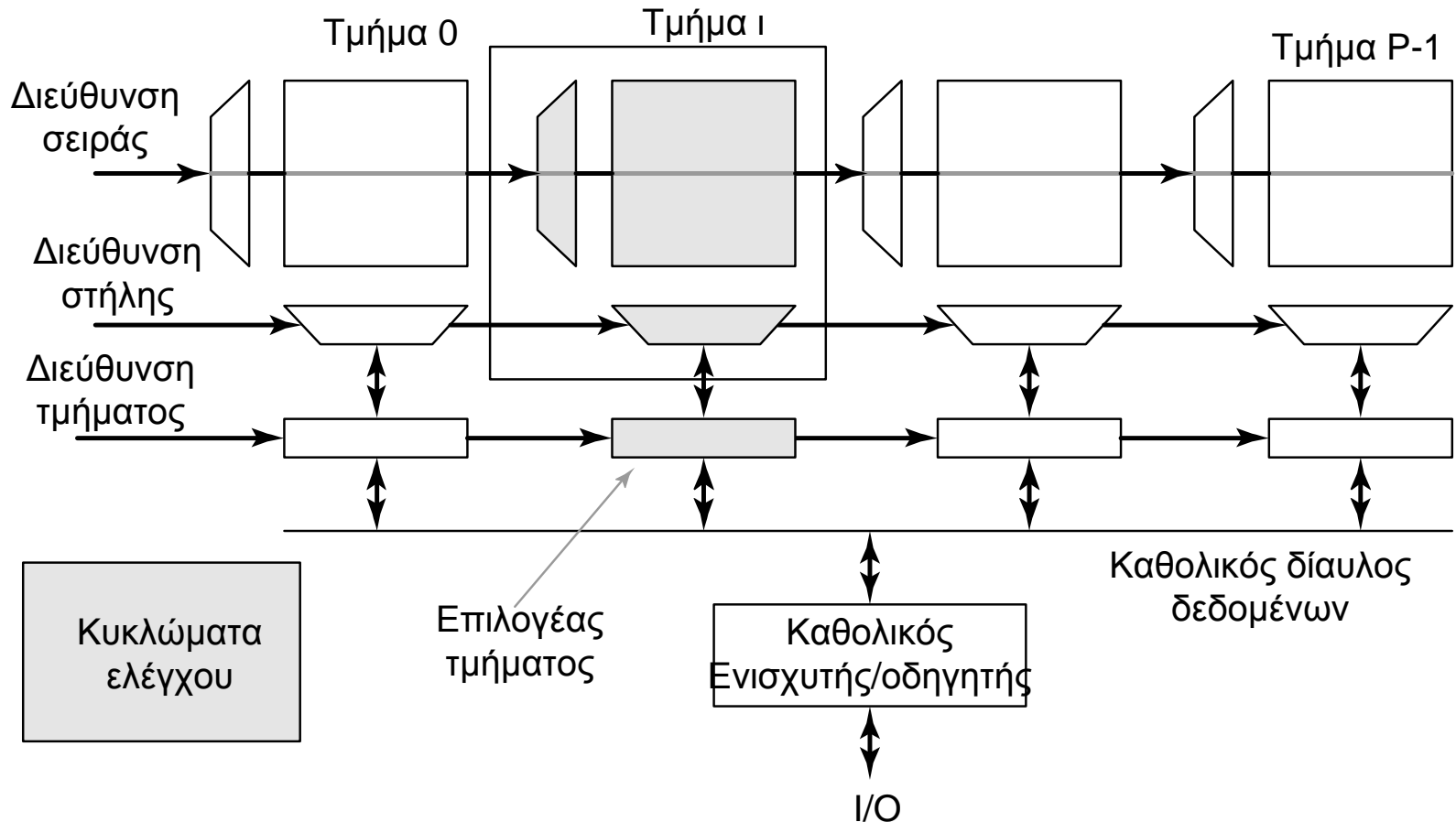
Πρόβλημα: ΛΟΓΟΣ ΔΙΑΣΤΑΣΕΩΝ η ΥΨΟΣ >> ΠΛΑΤΟΣ



# Δομή Πίνακα – Folded Array Architecture



- Η διάταξη διπλώνεται σε λιγότερες σειρές περισσότερων στηλών
- Κάθε γραμμή περιέχει  $2k$  λέξεις  $\Rightarrow$  η διάταξη οργανώνεται σε  $2^{n-k}$  γραμμές των  $2^{m+k}$  στηλών ή bit
- Ο αποκωδικοποιητής στηλών ελέγχει έναν πολυπλέκτη για να επιλέγει  $2m$  bit από την γραμμή
- Μνήμη 8 λέξεων επί 4 bit, πολυπλεγμένη σε δύο δρόμους, διπλωμένη σε μία διάταξη 4 σειρών  $\times$  8 στηλών, δηλ. με  $n=3$ ,  $m=2$ ,  $k=1$



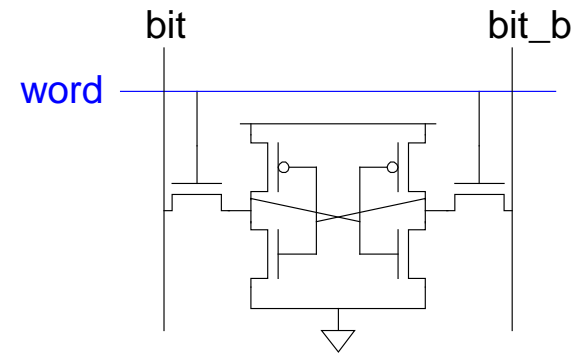
## Πλεονεκτήματα:

1. Μικρότερα καλώδια μέσα στα τμήματα
2. Η διεύθυνση του τμήματος ενεργοποιεί μόνο 1 τμήμα => μείωση κατανάλωσης

- Εισαγωγή
- Κύτταρα στατικής μνήμης (SRAM)
- Αποκωδικοποιητές στατικής μνήμης (SRAM)
- Κύκλωμα για στήλες (Column circuitry)

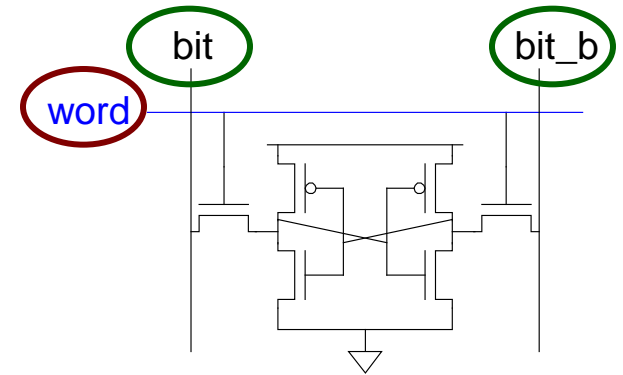
# 6T SRAM Cell – Γενικές αρχές

- Χρησιμοποιεί 6 transistor (6T)
  - Μια τάξη μικρότερο από F/F
  - Πιο πολύπλοκα κυκλώματα εγγραφής/ανάγνωσης



## 6T SRAM Cell – Γενικές αρχές

- Χρησιμοποιεί 6 transistor (6T)
  - Μια τάξη μικρότερο από F/F
  - Πιο πολύπλοκα κυκλώματα εγγραφής/ανάγνωσης

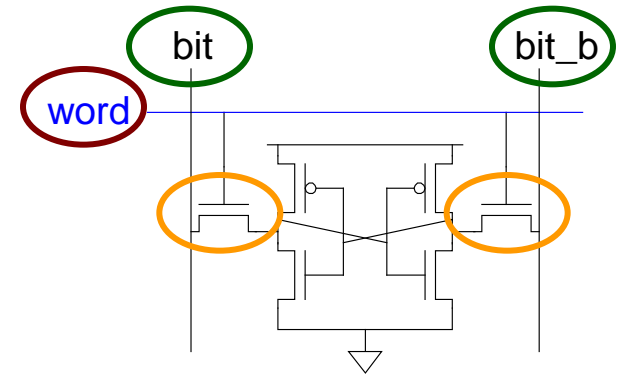


Μία γραμμή λέξης (word) και γραμμές bit (κανονική & συμπληρωματική)



## 6T SRAM Cell – Γενικές αρχές

- Χρησιμοποιεί 6 transistor (6T)
  - Μια τάξη μικρότερο από F/F
  - Πιο πολύπλοκα κυκλώματα εγγραφής/ανάγνωσης

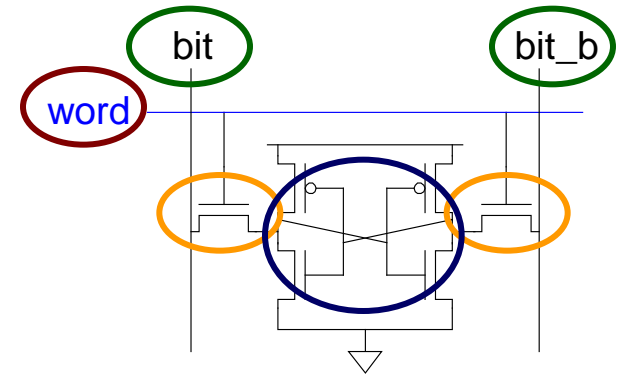


Μία γραμμή λέξης (word) και γραμμές bit (κανονική & συμπληρωματική)

- Τρανζίστορ διέλευσης σε κάθε γραμμή bit

## 6T SRAM Cell –Γενικές αρχές

- Χρησιμοποιεί 6 transistor (6T)
  - Μια τάξη μικρότερο από F/F
  - Πιο πολύπλοκα κυκλώματα εγγραφής/ανάγνωσης

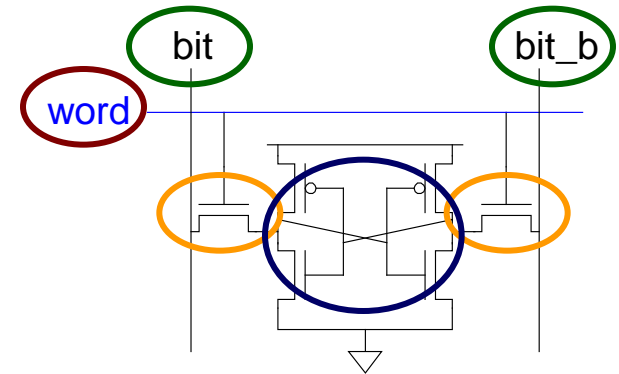


Μία γραμμή λέξης (word) και γραμμές bit (κανονική & συμπληρωματική)

- Τρανζίστορ *διέλευσης* σε κάθε γραμμή bit
- Ζεύγος διασταυρωμένων αντιστροφών

## 6T SRAM Cell – Γενικές αρχές

- Χρησιμοποιεί 6 transistor (6T)
  - Μια τάξη μικρότερο από F/F
  - Πιο πολύπλοκα κυκλώματα εγγραφής/ανάγνωσης



Μία γραμμή λέξης (word) και γραμμές bit (κανονική & συμπληρωματική)

- Τρανζίστορ διέλευσης σε κάθε γραμμή bit
- Ζεύγος διασταυρωμένων αντιστροφών
- Κανονικές & συμπληρωματικές τιμές δεδομένων αποθηκεύονται στο ζεύγος αντιστροφών
- Η ανάδραση του ζεύγους βοηθάει σημαντικά στη στιβαρότητα (ευστάθεια)
  - Αν τα δεδομένα διαταραχθούν ελαφρά η θετική ανάδραση θα τα επαναφέρει σε Vdd ή GND

## ➤ Ανάγνωση

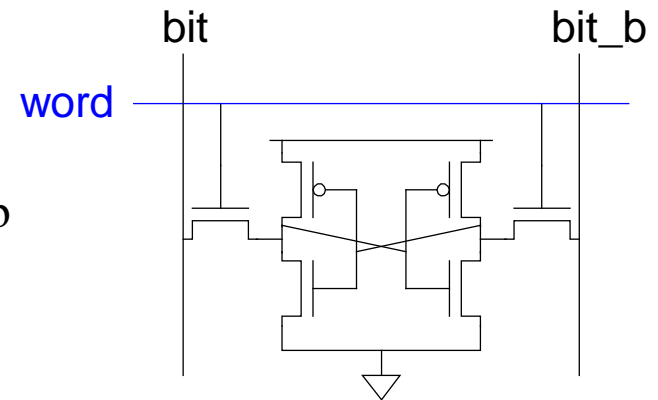
- Προφόρτιση των γραμμών bit, bit\_b
- Ενεργοποίηση της γραμμής word
- Ανάλογα με την αποθηκευμένη τιμή οι γραμμές bit, bit\_b παίρνουν τιμές (1,0) ή (0,1)

## ➤ Εγγραφή

- Τα δεδομένα οδηγούνται στις γραμμές bit, bit\_b
- Ενεργοποίηση της γραμμής word
- Τα δεδομένα αποθηκεύονται στο κύτταρο

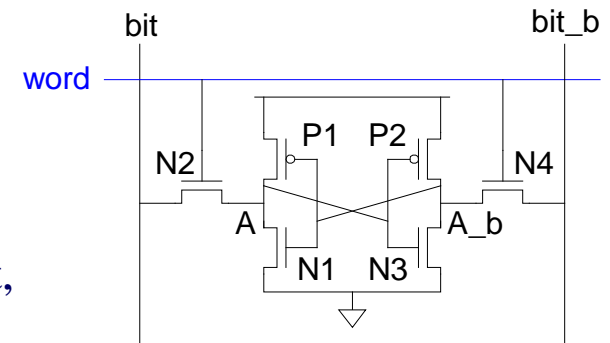
## ➤ Προκλήσεις: διαστάσεις transistor ώστε

- να μην αλλοιώνεται η κατάσταση στο read
- να επιτρέπεται η αλλαγή κατάστασης στο write



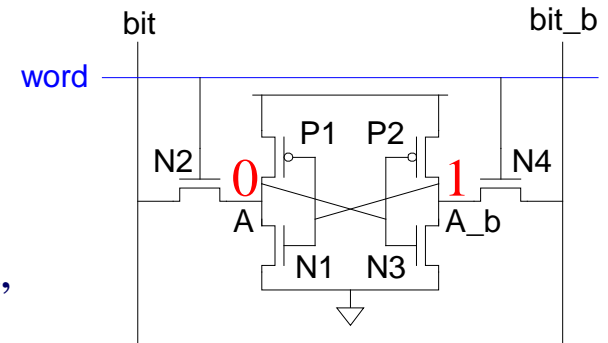
# SRAM Read

- Οι γραμμές bit & bit\_b προφορτίζονται σε Vdd
- Ενεργοποιείται η γραμμή word (word=1)
  - N2, N4 γίνονται ON
- Το κύτταρο οδηγεί χαμηλά μία από τις γραμμές (bit, bit\_b )



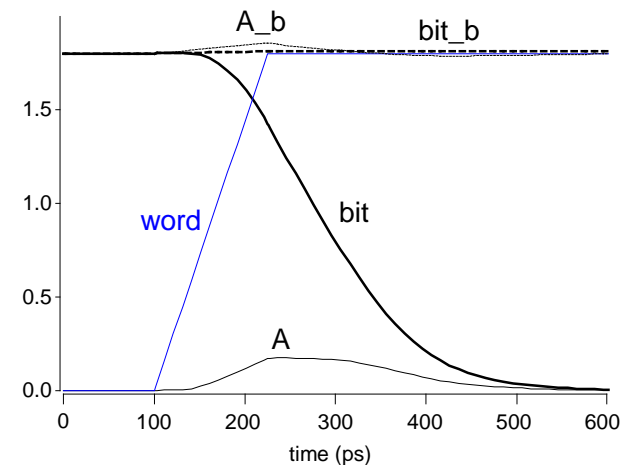
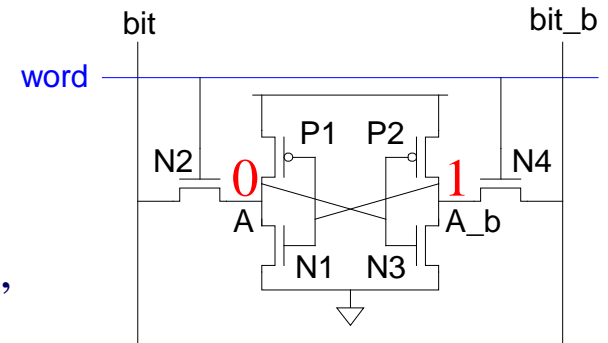
# SRAM Read

- Οι γραμμές bit & bit\_b προφορτίζονται σε Vdd
- Ενεργοποιείται η γραμμή word (word=1)
  - N2, N4 γίνονται ON
- Το κύτταρο οδηγεί χαμηλά μία από τις γραμμές (bit, bit\_b )
- Έστω  $A = 0, A_b = 1$ 
  - Πρέπει να γίνει: bit =0 & bit\_b=1
- Ο κόμβος A εκφορτίζεται από το N1 αλλά φορτίζεται από N2 (αρχικά ήταν bit = 1)
- Ο κόμβος A δεν πρέπει να αλλοιωθεί



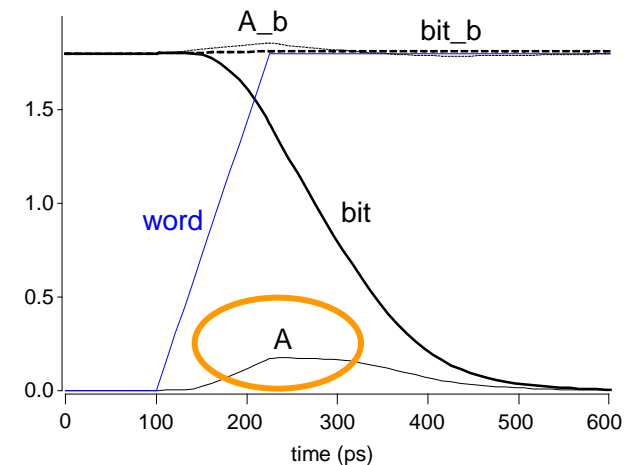
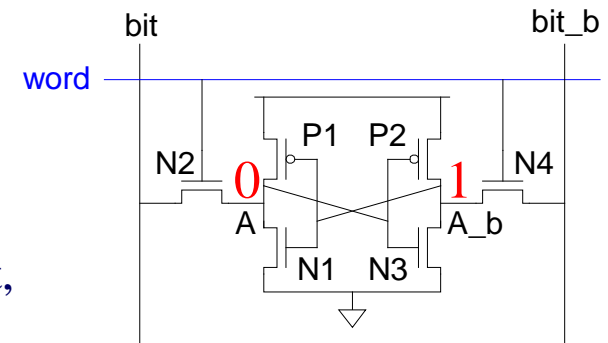
# SRAM Read

- Οι γραμμές bit & bit\_b προφορτίζονται σε Vdd
- Ενεργοποιείται η γραμμή word (word=1)
  - N2, N4 γίνονται ON
- Το κύτταρο οδηγεί χαμηλά μία από τις γραμμές (bit, bit\_b )
- Έστω  $A = 0$ ,  $A_b = 1$ 
  - Πρέπει να γίνει: bit =0 & bit\_b=1
- Ο κόμβος A εκφορτίζεται από το N1 αλλά φορτίζεται από N2 (αρχικά ήταν bit = 1)
- Ο κόμβος A δεν πρέπει να αλλοιωθεί
- Σταθερότητα ανάγνωσης (*read stability*)
  - $N1 \gg N2$
  - το nMOS του κυττάρου να είναι ισχυρότερο από αυτό του περάσματος



# SRAM Read

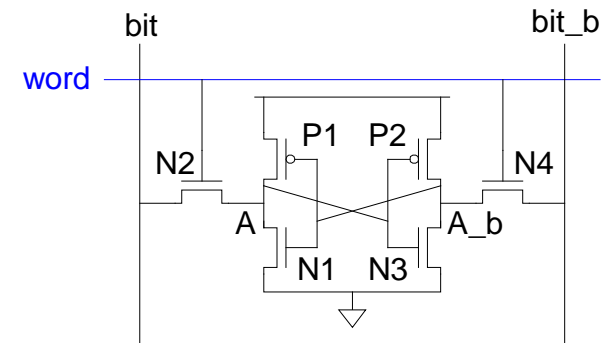
- Οι γραμμές bit & bit\_b προφορτίζονται σε Vdd
- Ενεργοποιείται η γραμμή word (word=1)
  - N2, N4 γίνονται ON
- Το κύτταρο οδηγεί χαμηλά μία από τις γραμμές (bit, bit\_b )
- Έστω  $A = 0$ ,  $A_b = 1$ 
  - Πρέπει να γίνει: bit =0 & bit\_b=1
- Ο κόμβος A εκφορτίζεται από το N1 αλλά φορτίζεται από N2 (αρχικά ήταν bit = 1)
- Ο κόμβος A δεν πρέπει να αλλοιωθεί
- Σταθερότητα ανάγνωσης (*read stability*)
  - $N1 \gg N2$
  - το nMOS του κυττάρου να είναι ισχυρότερο από αυτό του περάσματος





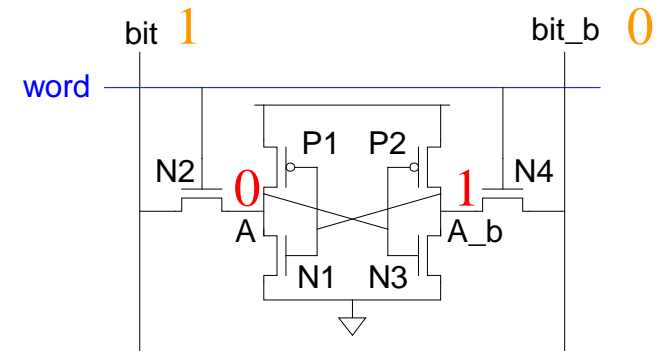
# SRAM Write

- Ανάλογα με τα δεδομένα εγγραφής οι γραμμές bitline τίθενται σε “1” και “0”
- Ενεργοποιείται η γραμμή word (word=1)
- Οι τιμές των (bit , bit\_b) εγγράφονται στο κύτταρο



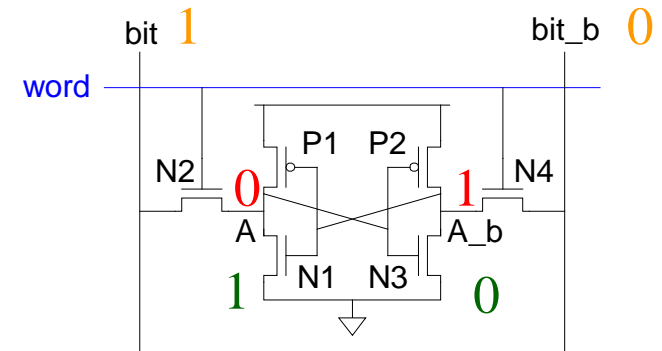
# SRAM Write

- Ανάλογα με τα δεδομένα εγγραφής οι γραμμές bitline τίθενται σε “1” και “0”
- Ενεργοποιείται η γραμμή word (word=1)
- Οι τιμές των (bit , bit\_b) εγγράφονται στο κύτταρο
- Έστω:  $A = 0$ ,  $A\_b = 1$  &  $bit = 1$ ,  $bit\_b = 0$



# SRAM Write

- Ανάλογα με τα δεδομένα εγγραφής οι γραμμές bitline τίθενται σε “1” και “0”
- Ενεργοποιείται η γραμμή word (word=1)
- Οι τιμές των (bit , bit\_b) εγγράφονται στο κύτταρο
- Έστω:  $A = 0$ ,  $A\_b = 1$  &  $bit = 1$ ,  $bit\_b = 0$   
 - Πρέπει να γίνει  $A=1$  και  $A\_b=0$



# SRAM Write

➤ Ανάλογα με τα δεδομένα εγγραφής οι γραμμές bitline τίθενται σε “1” και “0”

➤ Ενεργοποιείται η γραμμή word (word=1)

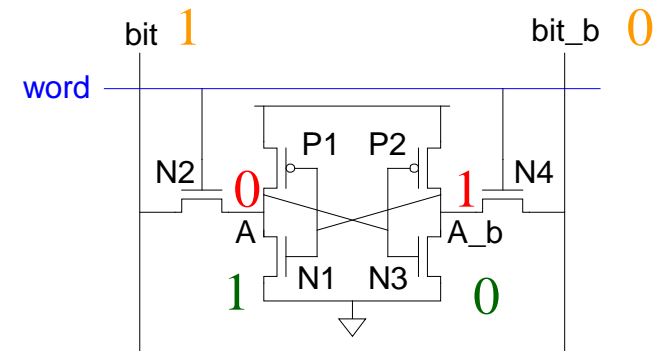
➤ Οι τιμές των (bit , bit\_b) εγγράφονται στο κύτταρο

➤ Έστω:  $A = 0$ ,  $A\_b = 1$  &  $bit = 1$ ,  $bit\_b = 0$   
 - Πρέπει να γίνει  $A=1$  και  $A\_b=0$

➤ Περιορισμός σταθερότητας ανάγνωσης ( $N2 \ll N1$ )  $\Rightarrow$  η bit δε μπορεί να θέσει τον A σε  $A=1$  μέσω του N2

➤ **Πρέπει να γίνει  $A\_b = 0$  μέσω του N4**  
 - Το P2 αντιμάχεται

➤ Άρα  $P2 \ll N4$  –περιορισμός *εγγρασιμότητας* (writability)



# SRAM Write

➤ Ανάλογα με τα δεδομένα εγγραφής οι γραμμές bitline τίθενται σε “1” και “0”

➤ Ενεργοποιείται η γραμμή word (word=1)

➤ Οι τιμές των (bit , bit\_b) εγγράφονται στο κύτταρο

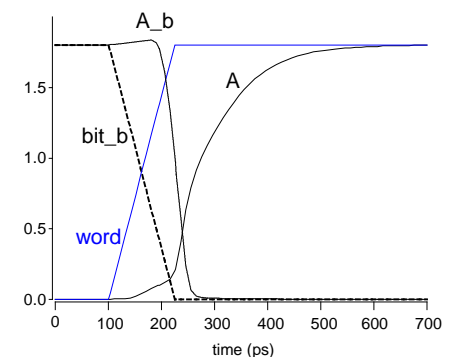
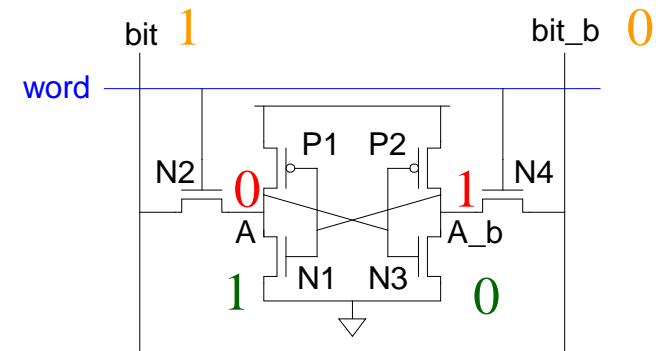
➤ Έστω:  $A = 0$ ,  $A\_b = 1$  & bit = 1, bit\_b = 0  
– Πρέπει να γίνει  $A=1$  και  $A\_b=0$

➤ Περιορισμός σταθερότητας ανάγνωσης ( $N2 \ll N1$ ) => η bit δε μπορεί να θέσει τον A σε  $A=1$  μέσω του N2

➤ Πρέπει να γίνει  $A\_b = 0$  μέσω του N4  
– Το P2 αντιμάχεται

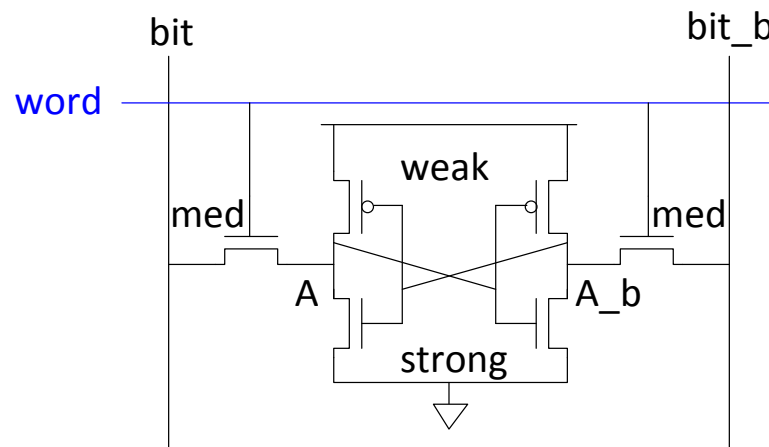
➤ Άρα  $P2 \ll N4$  –περιορισμός *εγγρασιμότητας* (writability)

➤ Όταν ο  $A\_b = 0$ , το N1 OFF & P1 ON =>  $A=1$



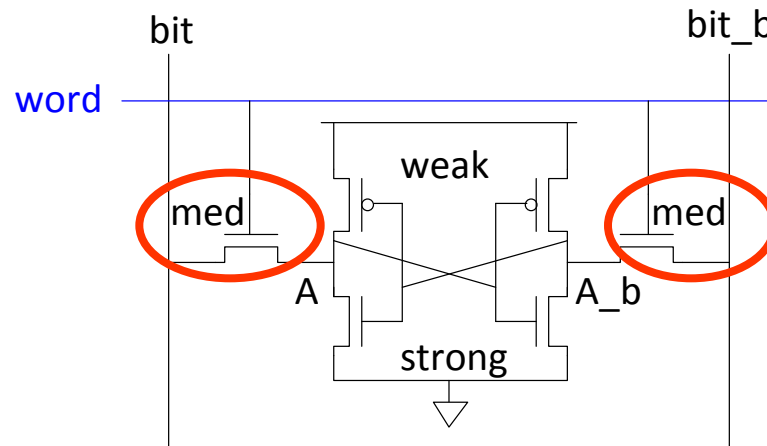
# SRAM Sizing

- Οι υψηλές στάθμες των γραμμών bit, bit\_b δεν πρέπει να επικρατούν των αντιστροφών κατά την ανάγνωση
- Οι χαμηλές στάθμες των γραμμών bit, bit\_b πρέπει να αλλάζουν την κατάσταση του κυττάρου



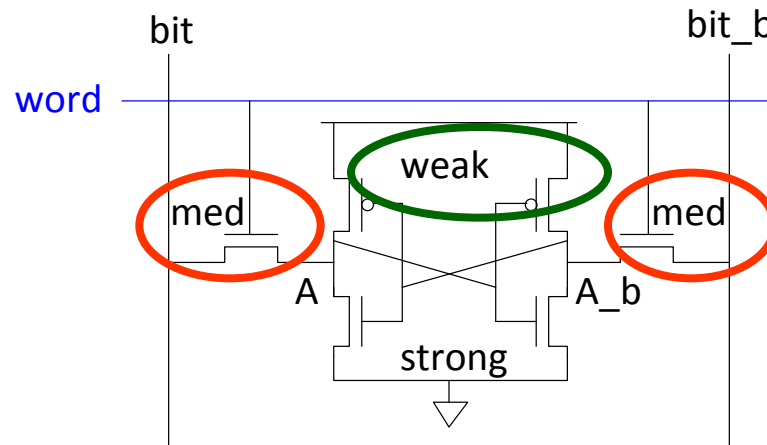
# SRAM Sizing

- Οι υψηλές στάθμες των γραμμών bit, bit\_b δεν πρέπει να επικρατούν των αντιστροφών κατά την ανάγνωση
- Οι χαμηλές στάθμες των γραμμών bit, bit\_b πρέπει να αλλάζουν την κατάσταση του κυττάρου
- **Συμπέρασμα:** Οδηγητικές ικανότητες transistors  
 -Pass = **medium**



# SRAM Sizing

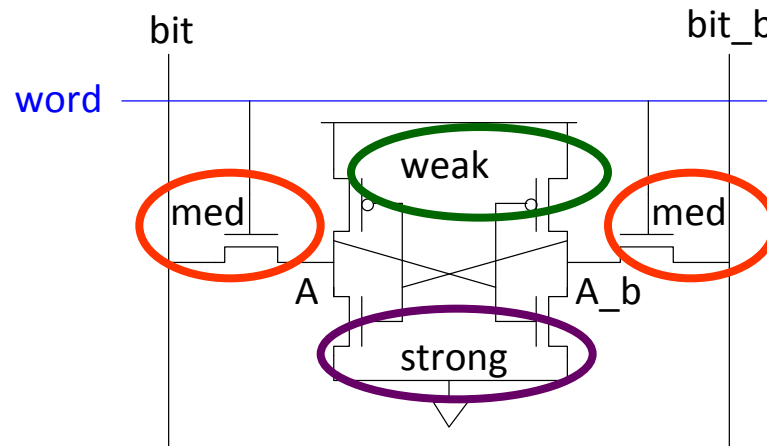
- Οι υψηλές στάθμες των γραμμών bit, bit\_b δεν πρέπει να επικρατούν των αντιστροφέων κατά την ανάγνωση
- Οι χαμηλές στάθμες των γραμμών bit, bit\_b πρέπει να αλλάζουν την κατάσταση του κυττάρου
- **Συμπέρασμα:** Οδηγητικές ικανότητες transistors
  - Pass = **medium**
  - pMOS-inv = **weak**



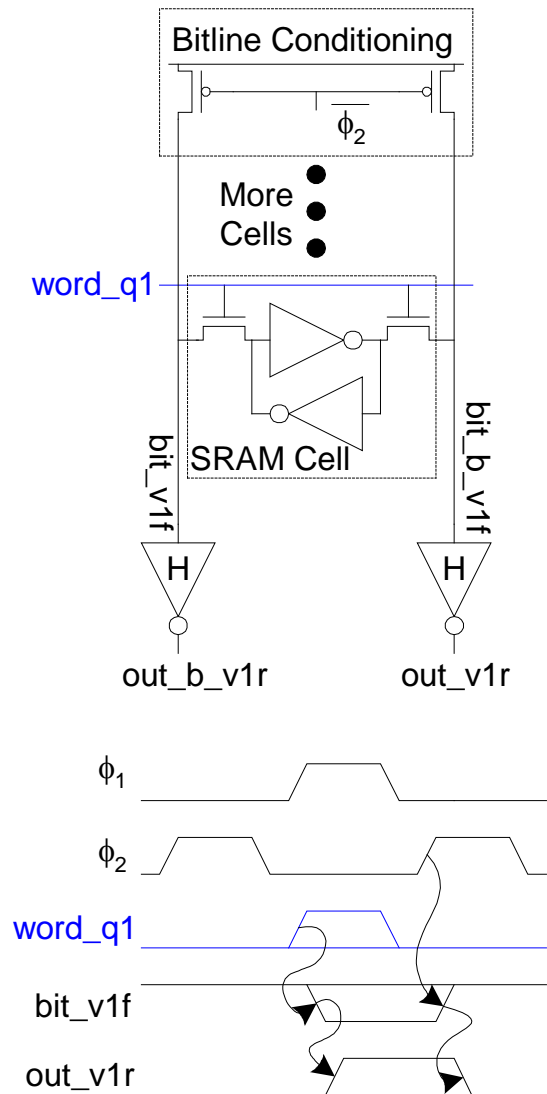


# SRAM Sizing

- Οι υψηλές στάθμες των γραμμών bit, bit\_b δεν πρέπει να επικρατούν των αντιστροφών κατά την ανάγνωση
- Οι χαμηλές στάθμες των γραμμών bit, bit\_b πρέπει να αλλάζουν την κατάσταση του κυττάρου
- **Συμπέρασμα:** Οδηγητικές ικανότητες transistors
  - Pass = **medium**
  - pMOS-inv = **weak**
  - nMOS-inv = **strong**

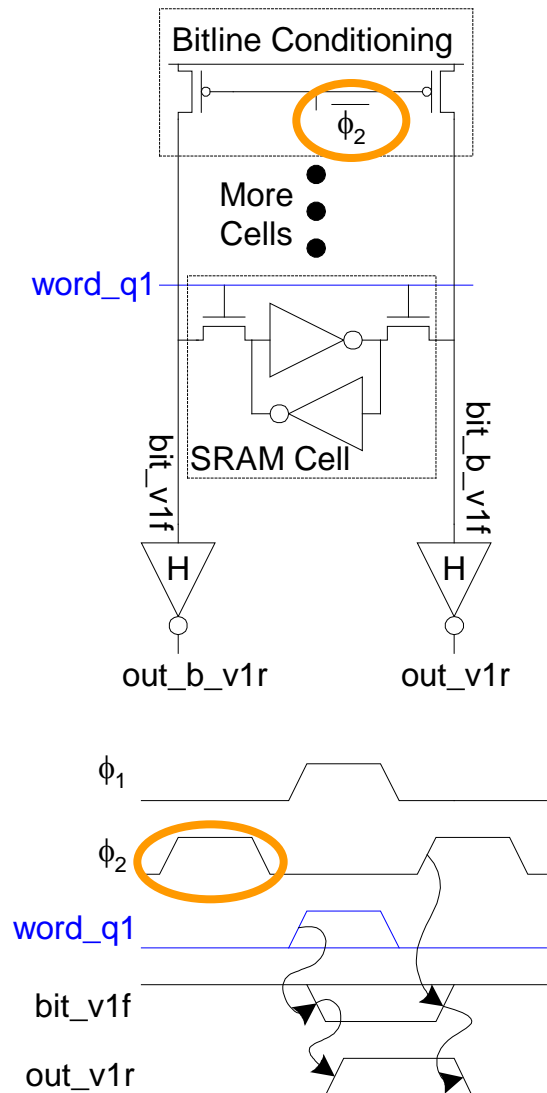


# SRAM Column Read



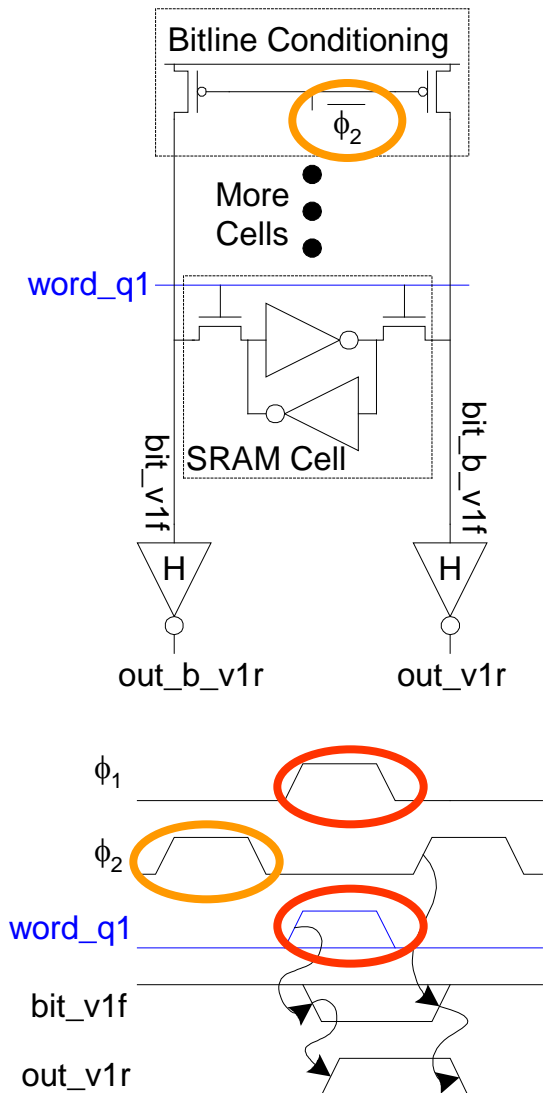
# SRAM Column Read

- Στη φάση 2 οι γραμμές bit προφορτίζονται υψηλά



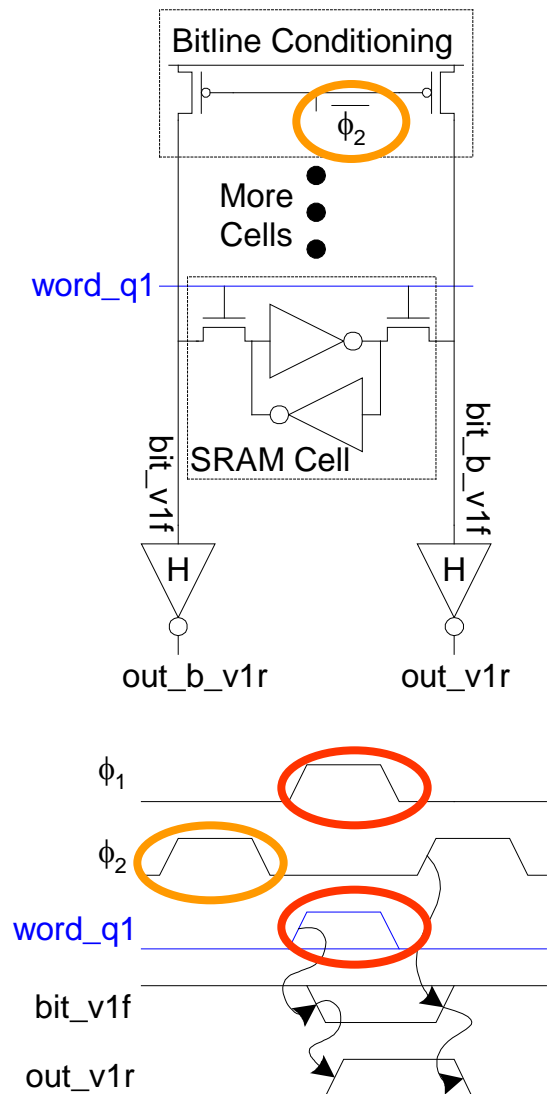
# SRAM Column Read

- Στη φάση 2 οι γραμμές bit προφορτίζονται υψηλά
- Η word =1 μόνο στην φάση 1



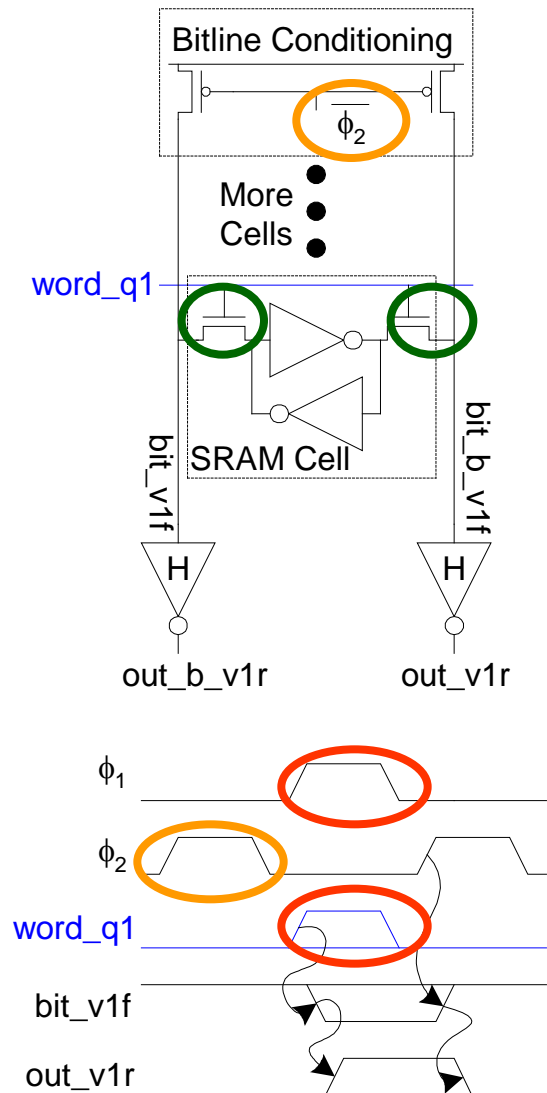
# SRAM Column Read

- Στη φάση 2 οι γραμμές bit προφορτίζονται υψηλά
- Η word =1 μόνο στην φάση 1
- Πολλά κύτταρα μοιράζονται το ίδιο ζευγάρι γραμμών bit



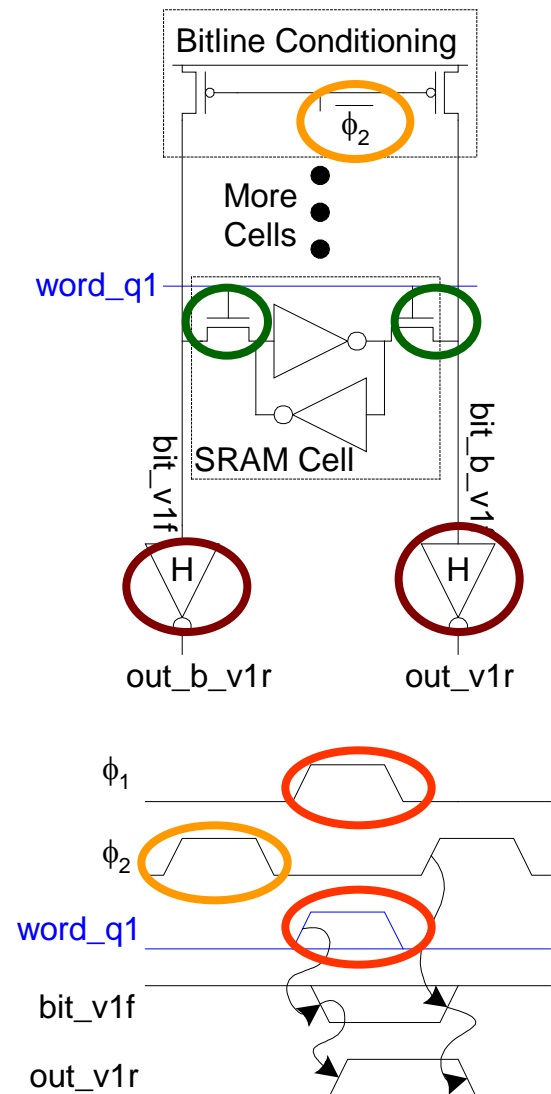
# SRAM Column Read

- Στη φάση 2 οι γραμμές bit προφορτίζονται υψηλά
- Η word =1 μόνο στην φάση 1
- Πολλά κύτταρα μοιράζονται το ίδιο ζευγάρι γραμμών bit
- Η χωρητικότητα όλης της γραμμής bit πρέπει να εκφορτιστεί μέσω του τρανζίστορ προσπέλασης



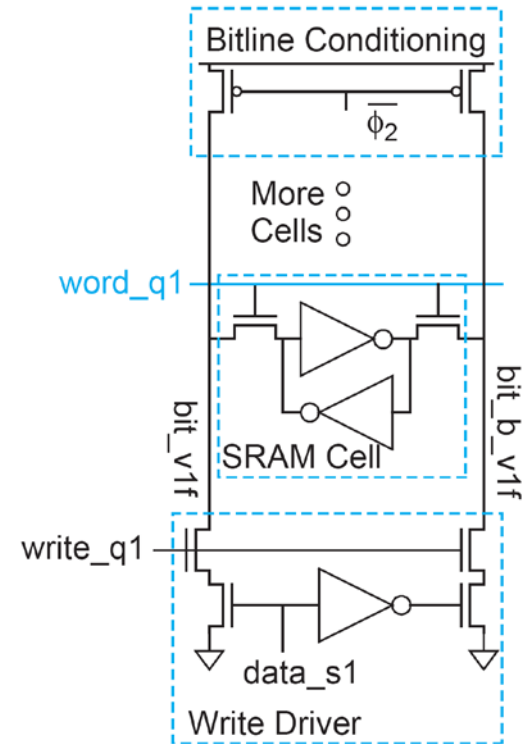
# SRAM Column Read

- Στη φάση 2 οι γραμμές bit προφορτίζονται υψηλά
- Η word =1 μόνο στην φάση 1
- Πολλά κύτταρα μοιράζονται το ίδιο ζευγάρι γραμμών bit
- Η χωρητικότητα όλης της γραμμής bit πρέπει να εκφορτιστεί μέσω του τρανζίστορ προσπέλασης
- Η έξοδος μπορεί να ανιχνευθεί από ένα ζεύγος αντιστροφών HI-skew

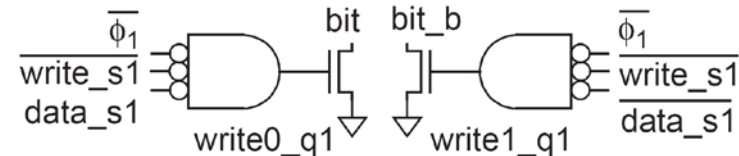


# SRAM Column Write

- Στη φάση 2 οι γραμμές bit οδηγούνται σε Vdd
- Κατά τη φάση 1, οι οδηγοί εγγραφής οδηγούν τη bit ή τη bit\_b χαμηλά
- Οι οδηγοί εγγραφής μπορούν να αποτελούνται:



(a)

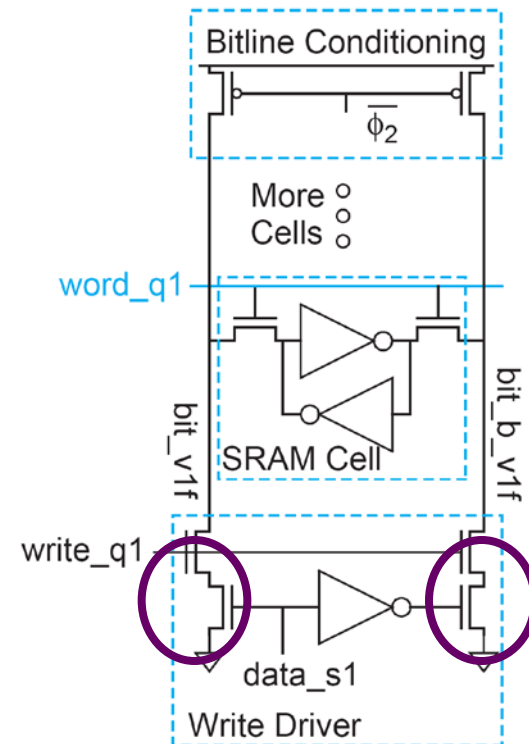


(b)

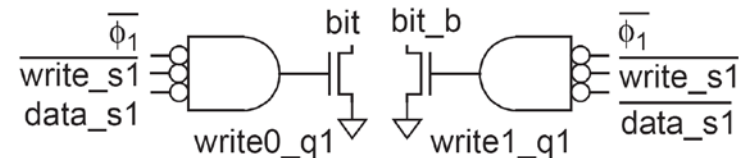


# SRAM Column Write

- Στη φάση 2 οι γραμμές bit οδηγούνται σε Vdd
- Κατά τη φάση 1, οι οδηγοί εγγραφής οδηγούν τη bit ή τη bit\_b χαμηλά
- Οι οδηγοί εγγραφής μπορούν να αποτελούνται:
  - ένα ζεύγος τρανζίστορ σε κάθε γραμμή bit για τα δεδομένα και την επίτρεψη εγγραφής



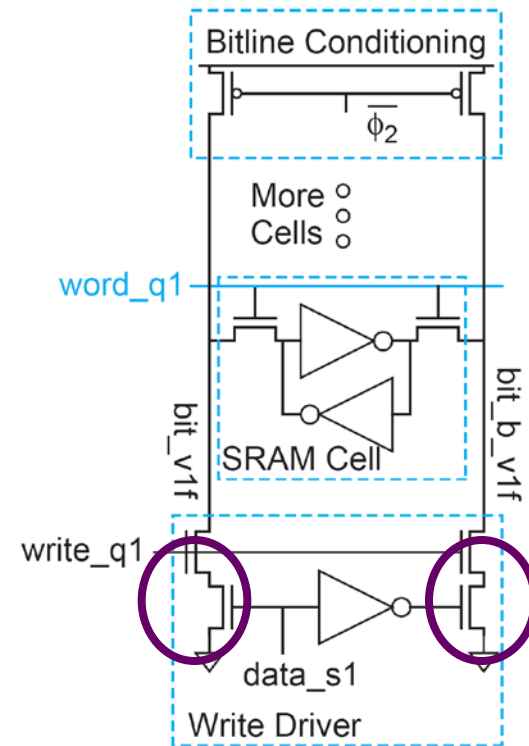
(a)



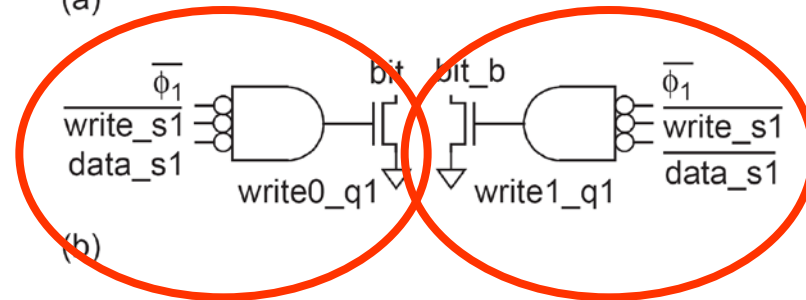
(b)

# SRAM Column Write

- Στη φάση 2 οι γραμμές bit οδηγούνται σε Vdd
- Κατά τη φάση 1, οι οδηγοί εγγραφής οδηγούν τη bit ή τη bit\_b χαμηλά
- Οι οδηγοί εγγραφής μπορούν να αποτελούνται:
  - ένα ζεύγος τρανζίστορ σε κάθε γραμμή bit για τα δεδομένα και την επίτρεψη εγγραφής
  - ένα τρανζίστορ που οδηγείται από συνδυασμό σημάτων



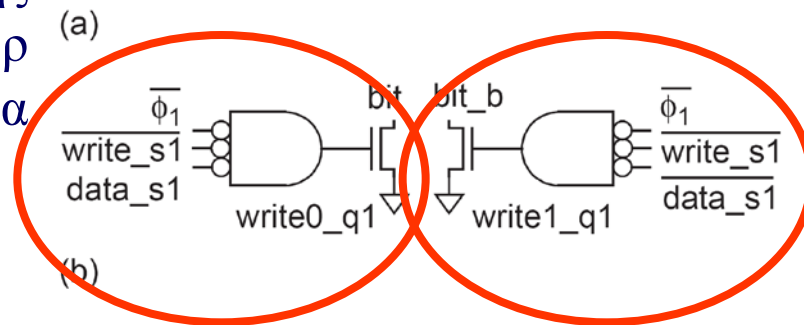
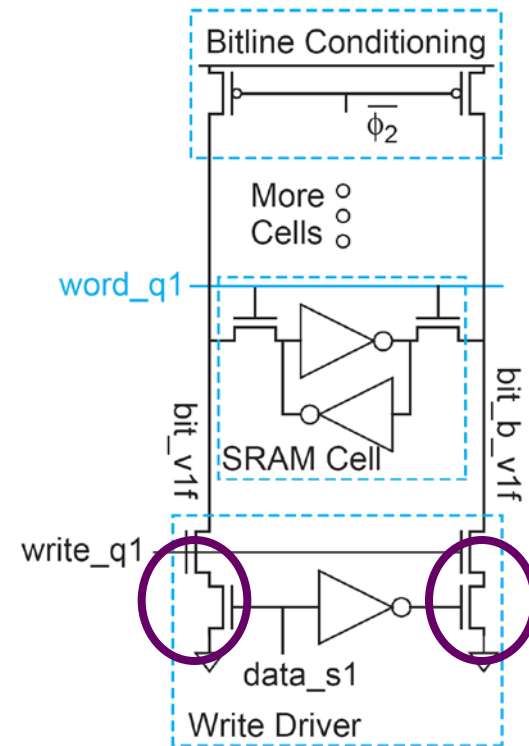
(a)



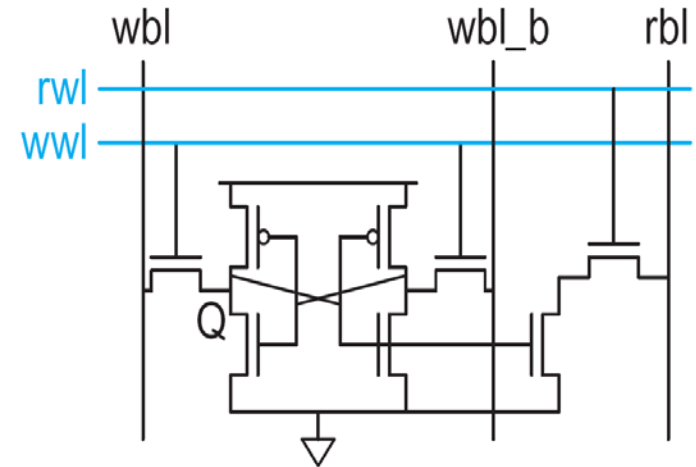
(b)

# SRAM Column Write

- ▶ Στη φάση 2 οι γραμμές bit οδηγούνται σε Vdd
- ▶ Κατά τη φάση 1, οι οδηγοί εγγραφής οδηγούν τη bit ή τη bit\_b χαμηλά
- ▶ Οι οδηγοί εγγραφής μπορούν να αποτελούνται:
  - ένα ζεύγος τρανζίστορ σε κάθε γραμμή bit για τα δεδομένα και την επίτρεψη εγγραφής
  - ένα τρανζίστορ που οδηγείται από συνδυασμό σημάτων
- ▶ Η αντίσταση σε σειρά του οδηγού εγγραφής, της διασύνδεσης της γραμμής bit, και του τρανζίστορ προσπέλασης πρέπει να είναι χαμηλή για να υπερνικηθεί το pMOS στο κύτταρο

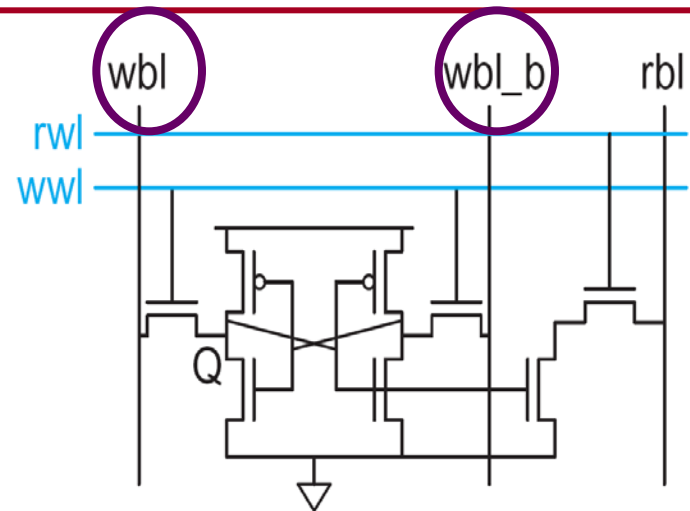


➤ Δύο ανεξάρτητες θύρες:



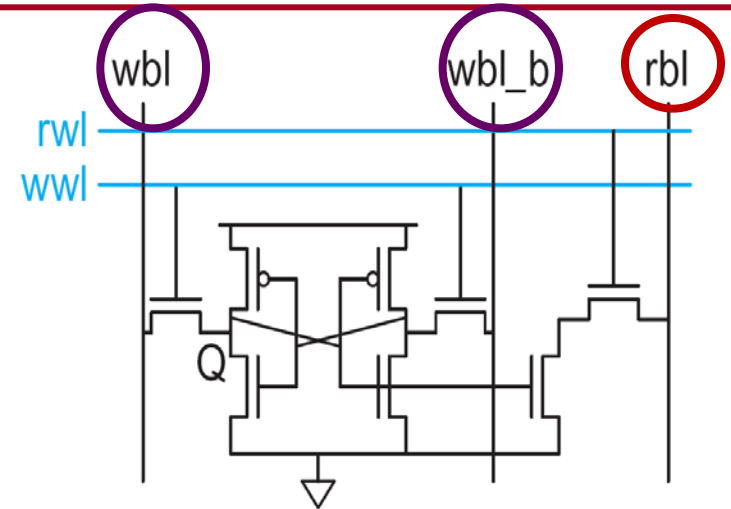
# Εναλλακτικά κύτταρα

- Δύο ανεξάρτητες θύρες:
  - ανάγνωση



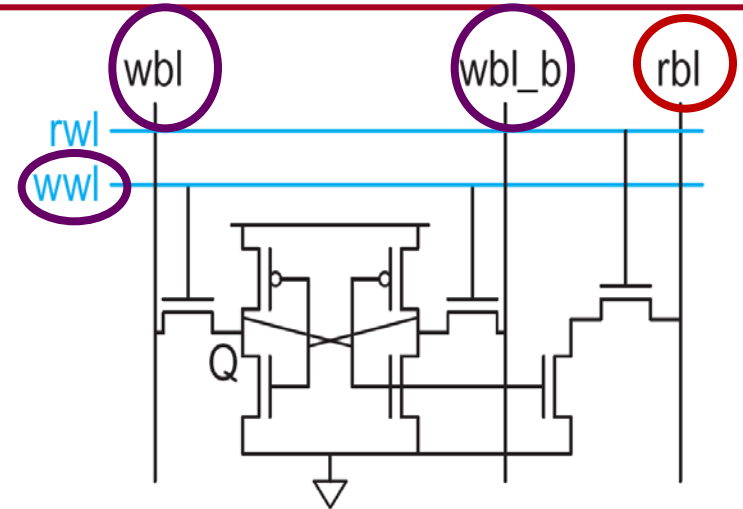
# Εναλλακτικά κύτταρα

- Δύο ανεξάρτητες θύρες:
  - ανάγνωση
  - εγγραφή



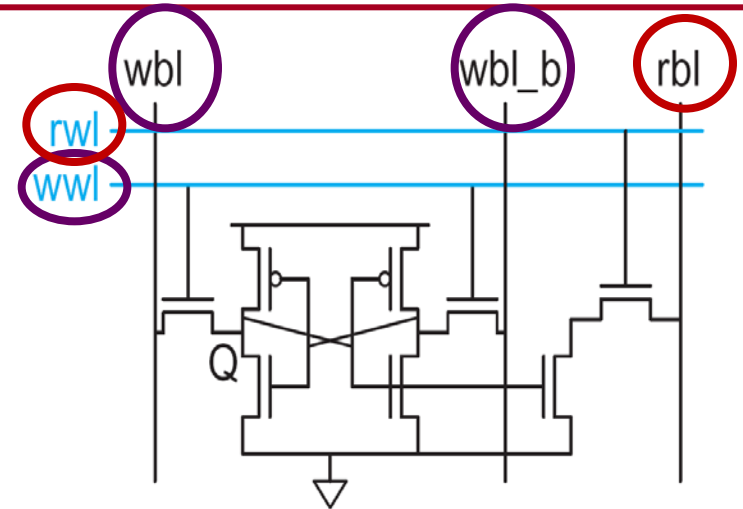
# Εναλλακτικά κύτταρα

- Δύο ανεξάρτητες θύρες:
  - ανάγνωση
  - εγγραφή
- Εγγραφή
  - τα δεδομένα τίθενται στις wbl & wbl\_b
  - ενεργοποίηση της ww1



## Εναλλακτικά κύτταρα

- Δύο ανεξάρτητες θύρες:
  - ανάγνωση
  - εγγραφή
- Εγγραφή
  - τα δεδομένα τίθενται στις wbl & wbl\_b
  - ενεργοποίηση της ww1
- Ανάγνωση
  - Προφόρτιση της rbl
  - ενεργοποίηση της rw1





# Εναλλακτικά κύτταρα

## ➤ Δύο ανεξάρτητες θύρες:

- ανάγνωση
- εγγραφή

## ➤ Εγγραφή

- τα δεδομένα τίθενται στις wbl & wbl\_b
- ενεργοποίηση της ww1

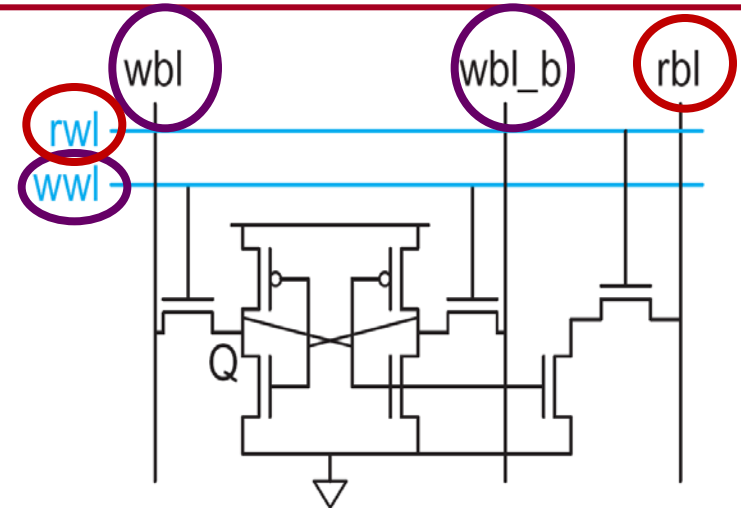
## ➤ Ανάγνωση

- Προφόρτιση της rbl
- ενεργοποίηση της rw1

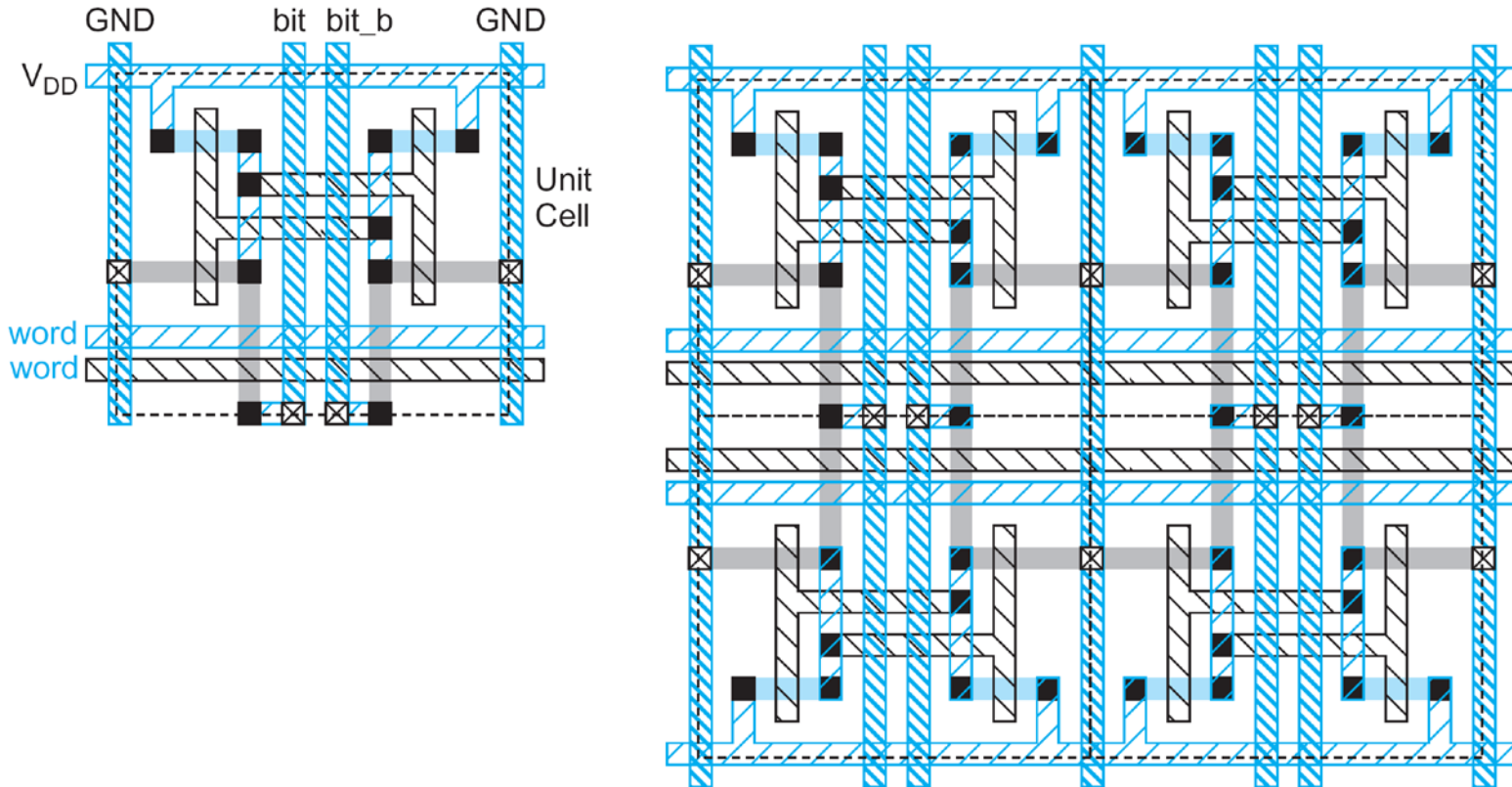
➤ Η ανάγνωση δεν αλλοιώνει την κατάσταση του κυττάρου => **read margin as good as hold marring**

➤ Ο συμβιβασμός περιθωρίων ανάγνωσης / εγγραφής (μεγεθών και τάσης λειτουργίας), περιορίζει την ελάχιστη τάση για το 6T κύτταρο

➤ Η χρήση του 8T κυττάρου αίρει αυτούς τους συμβιβασμούς => **λειτουργία σε χαμηλότερη τάση**

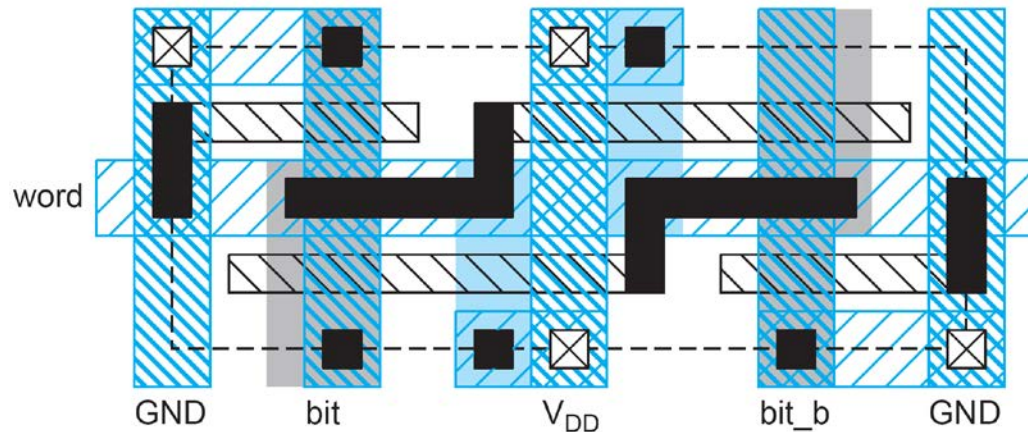


# SRAM Layout



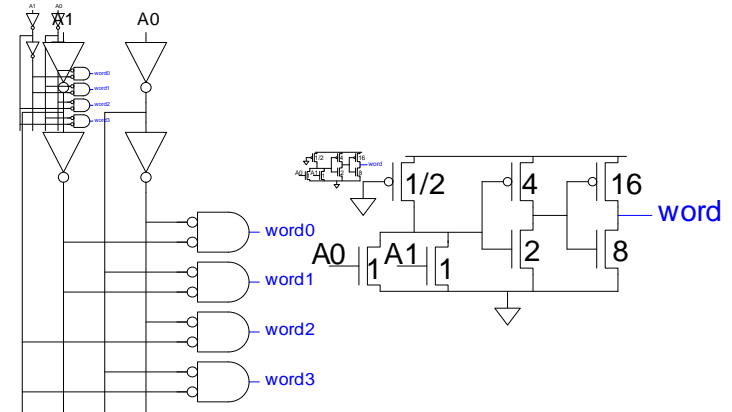
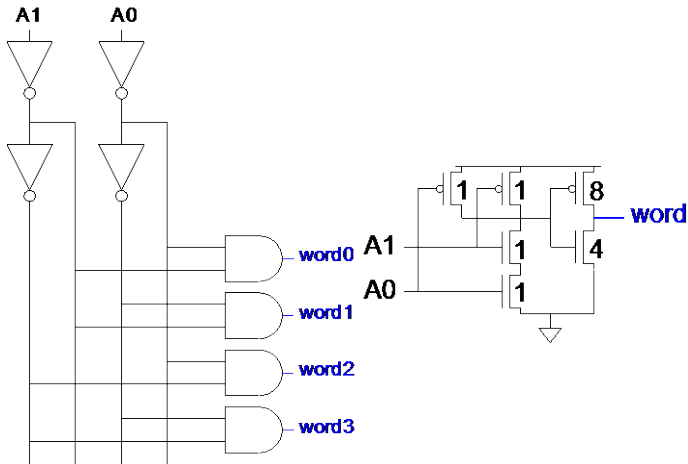
- Συμμετρική και με επικάλυψη για να μοιράζονται οι γραμμές  $V_{DD}$ ,  $GND$  σε γειτονικά κύτταρα
- Κοινή επαφή διάχυσης στη bit\_line μοιράζεται ανά ζεύγος κύτταρων

# SRAM Layout –Lithography friendly 6T SRAM cell



- Οι κυρτώσεις στα στρώματα πολυπυριτίου & διάχυσης είναι δύσκολο να επιτευχθούν με ακρίβεια σε πολύ μικρές διαστάσεις
- Ατέλειες στο ταίριασμα των μασκών αυξάνουν επιπλέον τις κατασκευαστικές διακυμάνσεις
- Προσανατολισμός των τρανζίστορ στη μια διάσταση
- Η διάχυση στην κατακόρυφη και το πολυπυρίτο στην οριζόντια διεύθυνση
- Μακρόστενο κύτταρο => μείωση C των bitlines

- Εισαγωγή
- Κύτταρα στατικής μνήμης (SRAM)
- Αποκωδικοποιητές στατικής μνήμης (SRAM)
- Κύκλωμα για στήλες (Column circuitry)



➤  $n:2^n$  αποκωδικοποιητής

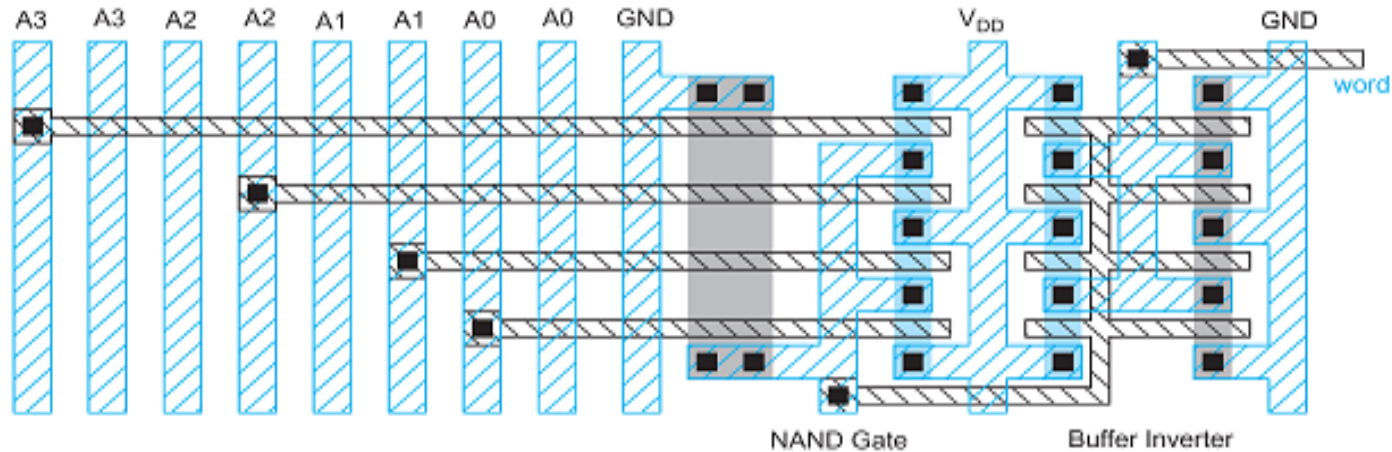
- αποτελείται από  $2^n$   $n$ -εισόδων AND πύλες – **χρήσιμη για μέχρι 5-6 εισόδους**
- Η πύλη μπορεί να υλοποιηθεί από NAND or NOR πύλες

➤ Η NAND έχει ελάχιστο μέγεθος => μείωση φορτίου στις γραμμές διευθύνσεων

- υπάρχουν  $2^{n-k}$  τρανζίστορ σε κάθε γραμμή διεύθυνσης (αληθή και συμπληρωματική) στον αποκωδικοποιητή σειρών

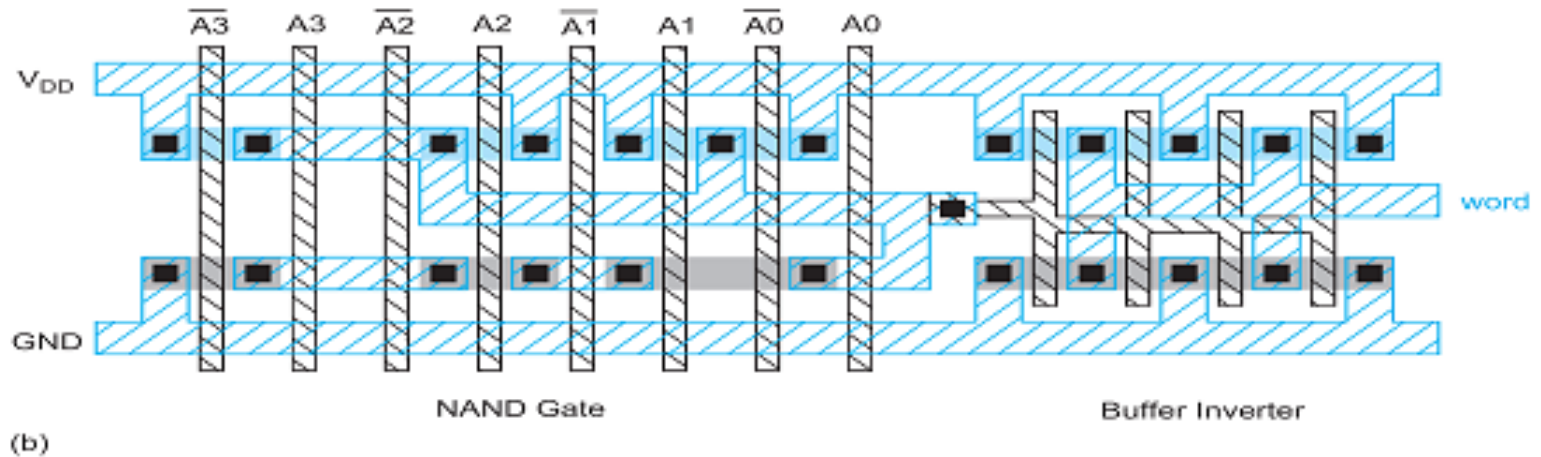
➤ Χρήση pseudo-nMOS πύλη NOR και δύο αντιστροφείς

- Η πύλη NOR έχει ελάχιστο μέγεθος – αντιστροφείς κλιμακώνονται για οδήγηση γραμμή λέξης



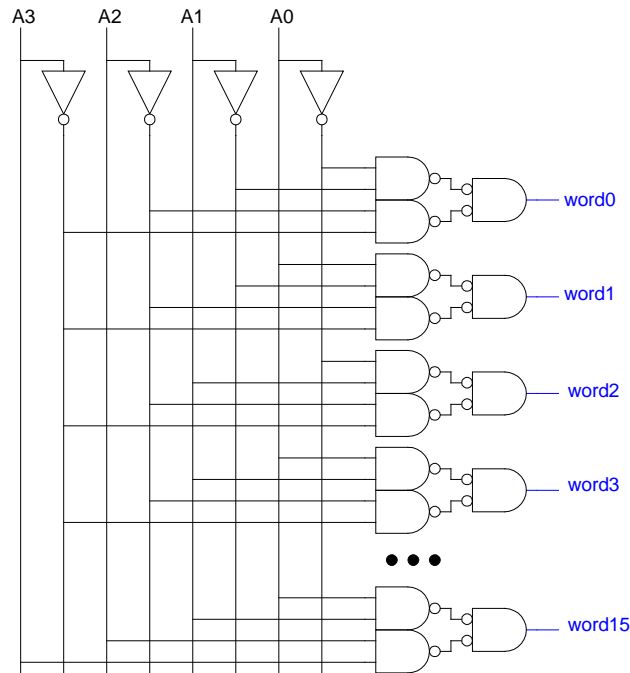
- Η φυσική σχεδίαση πρέπει να ταιριάζει στο βήμα της διάταξης μνήμης
  - το ύψος κάθε πύλης αποκωδικοποιητή να ταιριάζει με το ύψος της γραμμής που οδηγεί
  - Μπορεί να είναι δύσκολο για SRAM και πιο δύσκολο για ROM και άλλες διατάξεις με μικρά κύτταρα μνήμης
- Τα ελάχιστου μεγέθους τρανζίστορ στη πύλη NAND οδηγούν ένα μεγάλο αντιστροφέα-απομονωτή – Το ύψος του αποκωδικοποιητή μεγαλώνει με τον αριθμό των εισόδων
- Οι πύλες AND προγραμματίζονται εύκολα συνδέοντας τις εισόδους πολυπυριτίου στις κατάλληλες εισόδους της διεύθυνσης

# Decoders – Φυσική σχεδίαση



- Πιο στενό βήμα που ανεξάρτητο από τον αριθμό των εισόδων
- Προγραμματίζεται με την τοποθέτηση των τρανζίστορ και των λουρίδων μετάλλου· αυτό γίνεται ευκολότερα με κώδικες αυτοματοποίησης που παράγουν φυσική σχεδίαση
- Το βήμα το αποκωδικοποιητή είναι 5 ίχνη ή 40 λ
- Εάν κάθε άλλη γραμμή είναι κατοπτρική ως προς αυτήν (μοιράζεται Vdd και GND) τότε το βήμα μπορεί να μειωθεί σε 4 ίχνη ή 32 λ.

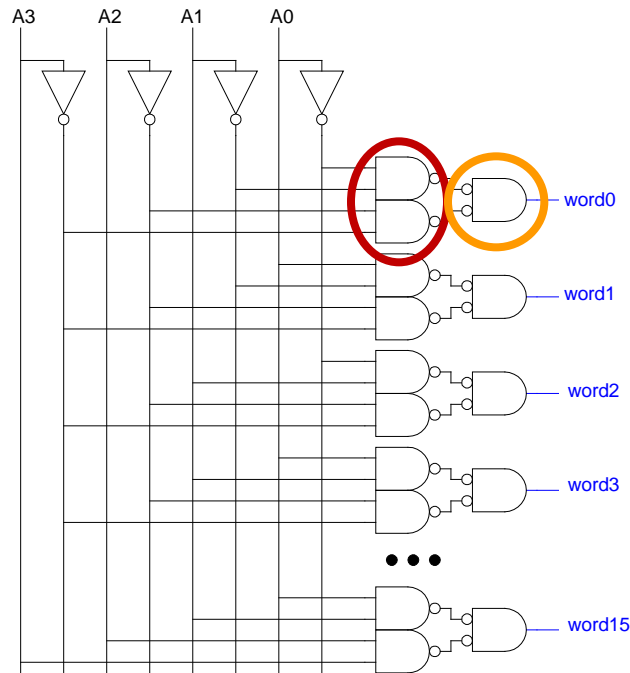
# Μεγάλοι Decoders



- Οι αποκωδικοποιητές πολλών εισόδων μπορούν να σχηματιστούν από μικρότερες πύλες σε σειρά
- **Παράδειγμα**, 16 λέξεων αποκωδικοποιητής όπου η 4 εισόδων AND σχηματίζεται από



# Μεγάλοι Decoders



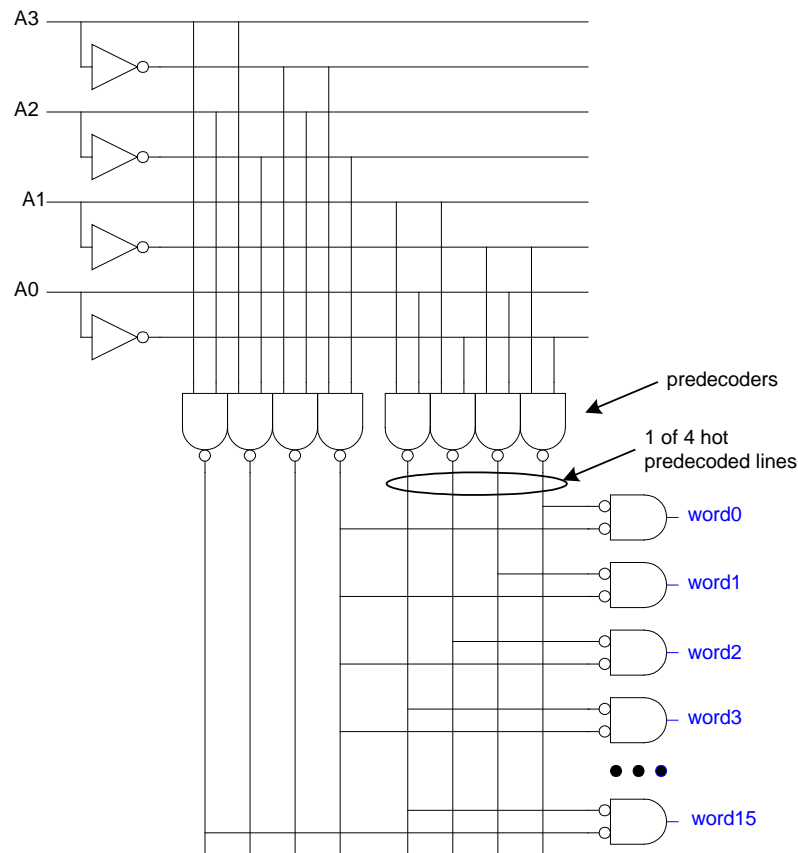
- Οι αποκωδικοποιητές πολλών εισόδων μπορούν να σχηματιστούν από μικρότερες πύλες σε σειρά
- **Παράδειγμα**, 16 λέξεων αποκωδικοποιητής όπου η 4 εισόδων AND σχηματίζεται από
  - ένα ζευγάρι NAND 2-εισόδων
  - ακολουθούμενο από μία NOR 2-εισόδων

## Προ-κωδικοποίηση (Pre-decoding)

---

- Πολλές NAND μοιράζονται τις ίδιες εισόδους => είναι περιττές
- Η επιφάνεια μπορεί να ελαττωθεί αφαιρώντας τις κοινές NAND
- Η τεχνική ονομάζεται *προκωδικοποίηση* (predecoding)
- Δεν μεταβάλλει το path effort, αλλά βελτιώνει την επιφάνεια
- Γενικά, μπλοκ από  $p$  bit διεύθυνσης μπορούν να προ-κωδικοποιηθούν σε 1 από  $2^p$  γραμμές που γίνονται είσοδοι στο τελικό στάδιο του αποκωδικοποιητή

# Προ-κωδικοποίηση (Pre-decoding)

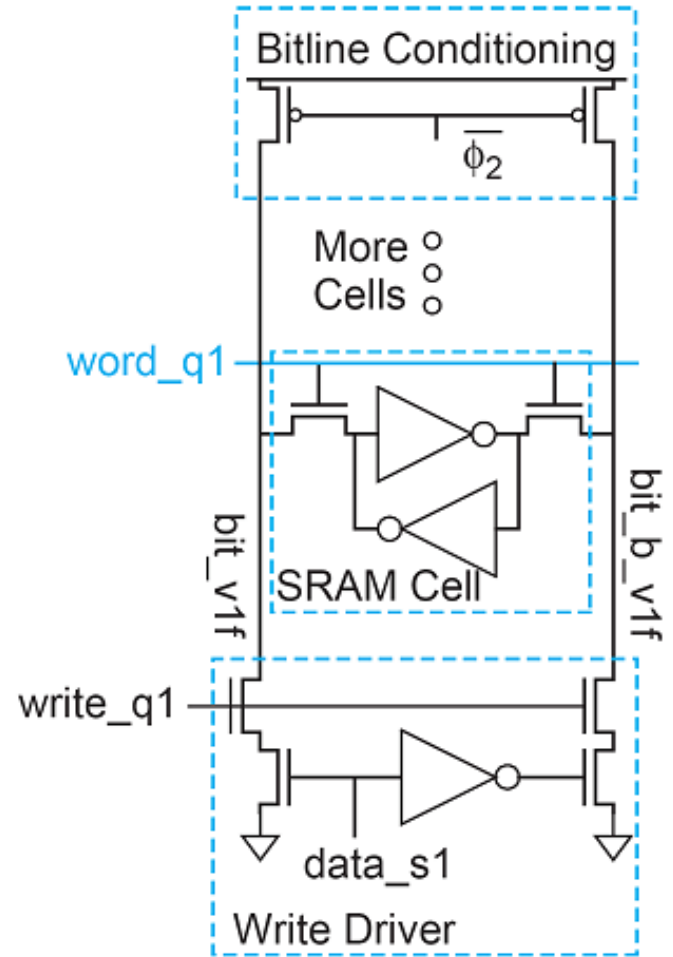
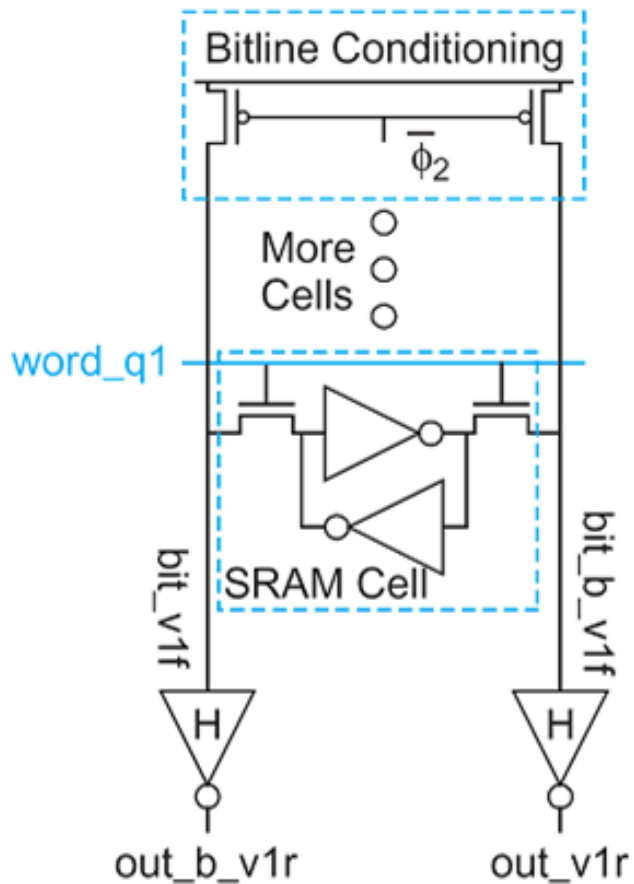


- Σχεδίαση με  $p=2$  bit που αποκωδικοποιεί κάθε ζεύγος από bit διεύθυνσης σε ένα one-hot κωδικό 1 από 4 one-hot

- Εισαγωγή
- Κύτταρα στατικής μνήμης (SRAM)
- Αποκωδικοποιητές στατικής μνήμης (SRAM)
- Κύκλωμα για στήλες (Column circuitry)

- Αποτελείται από τα ακόλουθα υπό-κυκλώματα
- Προετοιμασίας γραμμών (Bitline conditioning)
- Ανιχνευτές σήματος (Sense amplifiers) για τις γραμμές bitline
- Πολυπλέξη στηλών (Column multiplexing)

# Απλά κυκλώματα στήλης χωρίς πολύπλεξη



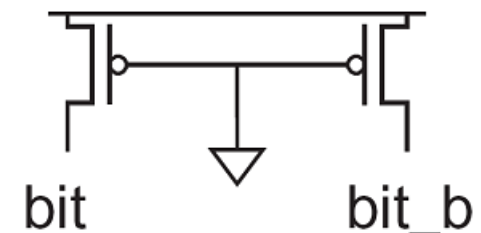
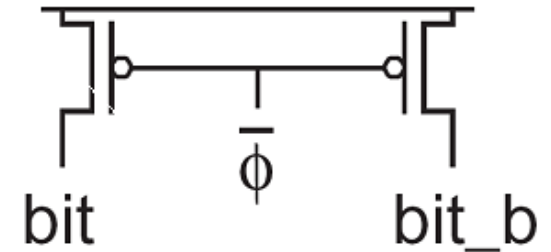
## Bitline Conditioning

➤ Χρησιμοποιείται για την προφόρτιση των γραμμών (bit, bit\_b)

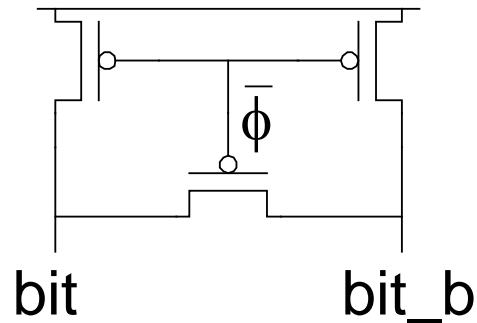
➤ Ένας απλός προφορτιστής: ζεύγος τρανζίστορ pMOS και σήμα ρολογιού

➤ Μπορεί να κατασκευαστούν και pseudo-nMOS SRAM με ασθενή τρανζίστορ οδήγησης-άνω στην θέση των τρανζίστορ προφόρτισης όταν δεν υπάρχει διαθέσιμο ρολόι

-Η διαμάχη (οι γραμμές bitline δέχονται συνέχεια φορτία) επιβραδύνει την ανάγνωση => περιορισμός λόγου διαστάσεων



# Bitline Conditioning



- Εξισώνει τα δυναμικά των γραμμών bit & bit\_b
- Χρησιμοποιείται όταν χρησιμοποιούνται ενισχυτές ασθενούς σήματος για την ανίχνευση της τιμής των γραμμών bit & bit\_b



- Οι bitlines γραμμές συνδέονται σε μεγάλο αριθμό κυττάρων
  - Παράδειγμα: 32-kbit SRAM έχει 128 rows x 256 cols
  - 128 κύτταρα σε κάθε γραμμή bitline
  
- $t_{pd} \propto (C/I) \Delta V$ 
  - Ακόμη και με διαμερασμό της χωρητικότητας διάχυσης προκύπτουν  $64C$  χωρητικότητες διάχυσης (big C)
  - Εκφορτίζονται αργά από μικρά τρανζίστορ
  
- Οι ενισχυτές αίσθησης (sense amplifiers) ενεργοποιούνται με μικρές διαταραχές τάσης  $\Delta V$

## ➤ Κατηγορίες: Ισχυρού σήματος - Ασθενούς σήματος

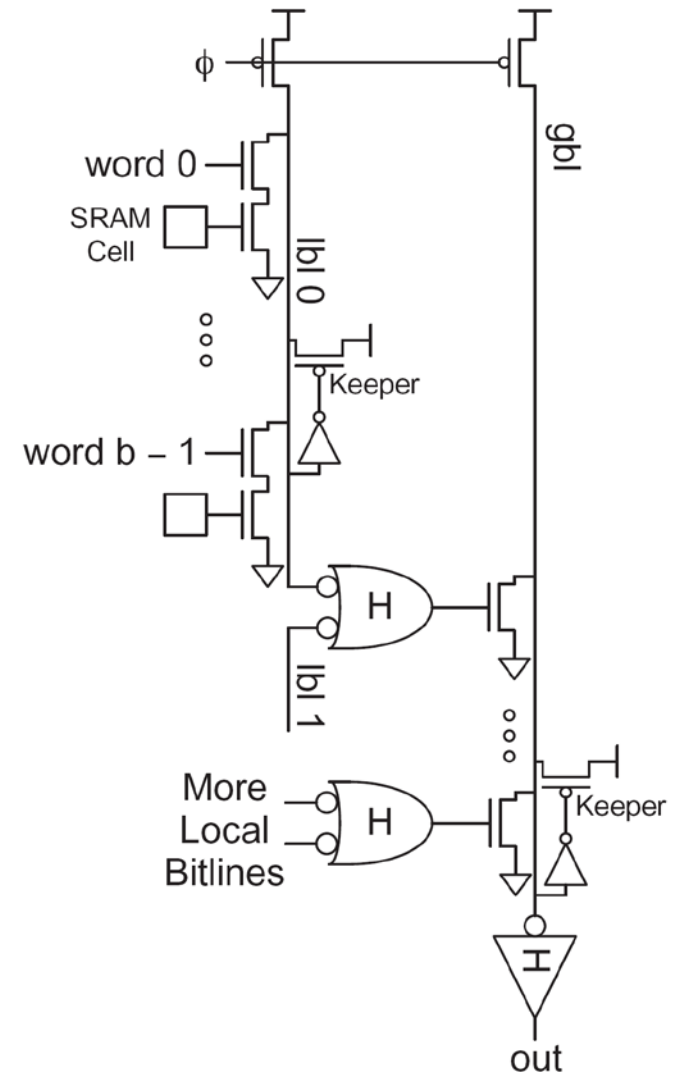
### ➤ Ισχυρού σήματος (μονής εξόδου)

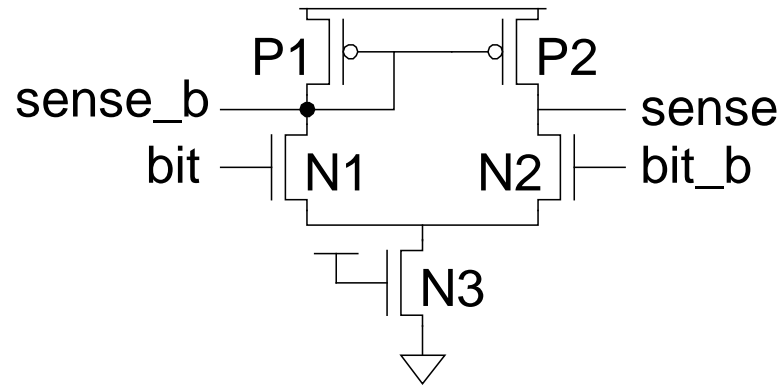
- Μια γραμμή bit μεταβάλλεται σε όλος το εύρος τάσης ( $V_{dd} \leftrightarrow GND$ )
- Ο H-skew inverter αποτελεί κλασικό κύκλωμα ανίχνευσης ισχυρού σήματος
- Για μείωση της χωρητικότητας, η γραμμή bit μπορεί να χωριστεί ιεραρχικά σε πολλές τοπικές γραμμές που συνδυάζονται για να οδηγήσουν μία γραμμή λέξης

### ➤ Ασθενούς σήματος (διαφορική ανίχνευση)

- Μία από τις γραμμές bit μεταβάλλεται πολύ λίγο
- Διαφορικός ενισχυτής ανιχνεύει τη μεταβολή και παράγει ψηφιακή έξοδο
- Καλύτερη ταχύτητα & κατανάλωση (μη πλήρης μεταβολή  $V_{dd} \leftrightarrow GND$ )

- Ιεραρχική τμηματοποίηση των bitlines
  - Μείωση του # των κυττάρων για κάθε bitline
- Σύνολα από κύτταρα συνδέονται σε τοπικές bitline (**local bit line – lbl**)
- Ζεύγη από lbl συνδυάζονται με HI-skew NAND για ενεργοποίηση της καθολικής bitline (**global bit line – gbl**)





- Διαφορικό ζεύγος
- Δεν χρειάζεται ρολόι
- Καταναλώνει διαρκώς ισχύ

➤ Η τάση απόκλισης είναι η διαφορική τάση εισόδου (*bit-bit<sub>b</sub>*) που απαιτείται για παραγωγή μηδενικής διαφορικής τάσης εξόδου (*sense-sense<sub>b</sub>*)

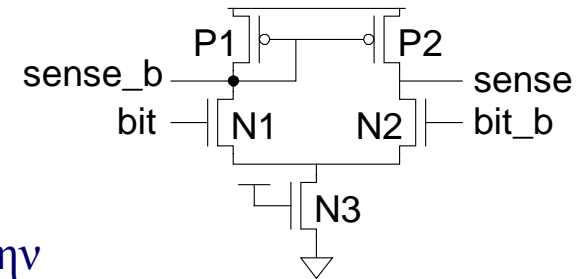
➤ Αν το N1 είναι ίδιο με το N2 και το P1 με το P2 => **μηδενική τάση απόκλισης**

➤ Στην πράξη, η τάση απόκλισης είναι μη μηδενική  
- Στατιστικές διακυμάνσεις προσμίξεων που επηρεάζουν την  $V_t$

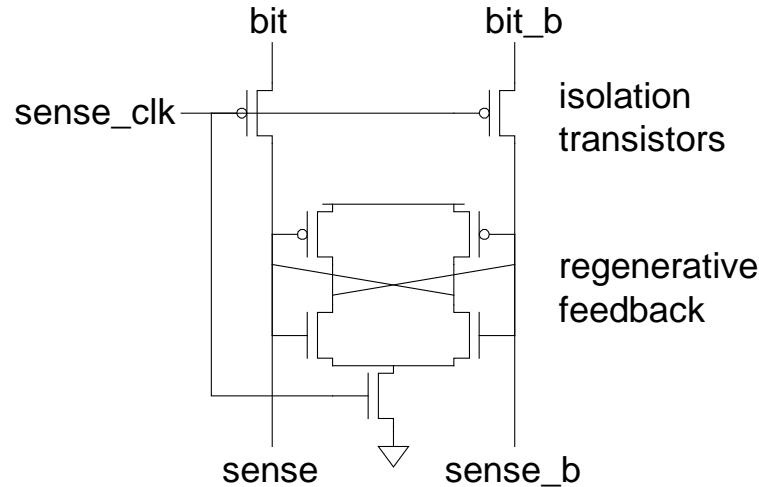
➤ Η διαφορική είσοδος θα πρέπει να υπερβαίνει σημαντικά την τάση απόκλισης για να ανιχνευθεί αξιόπιστα  
- Μία τυπική τιμή για τάση απόκλισης είναι τα 50 mV

➤ Οι αποκλίσεις κατωφλίου και η τάση απόκλισης δεν αλλάζουν πολύ με την κλιμάκωση της τεχνολογίας  
- η τάση απόκλισης γίνεται ένα μεγαλύτερο κλάσμα της τάσης τροφοδοσίας

➤ κάνοντας έτσι τους ενισχυτές αίσθησης λιγότερο αποτελεσματικούς



## Clocked Sense Amp



- Καταναλώνει ισχύ μόνο όταν είναι ενεργοποιημένος
  - Απαιτεί αλυσίδα χρονισμού για να ενεργοποιηθεί στον κατάλληλο χρόνο
- Όταν το ρολόι αίσθησης είναι χαμηλό, τότε ο ενισχυτής είναι ανενεργός
- Κατά τη λειτουργία ενεργοποιείται το διασταυρωμένο ζεύγος αντιστροφών
  - οδηγεί τη μία έξοδο χαμηλά και την άλλη υψηλά (αναγεννητικής ανάδραση)
- Τα τρανζίστορ απομόνωσης επιταχύνουν την απόκριση απομονώνοντας τις εξόδους από τις υψηλής χωρητικότητας γραμμές bit κατά τη διάρκεια της ανίχνευσης

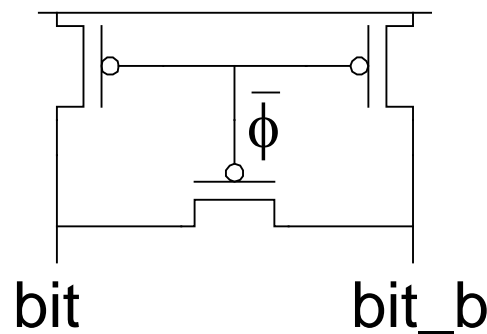
# Clocked Sense Amp

---

- Οι ενισχυτές αίσθησης με ρολόι πρέπει να ενεργοποιηθούν στη σωστή στιγμή
  - Αν πυροδοτηθούν νωρίς, οι γραμμές bit μπορεί να μην έχουν επαρκή διαφορά τάσης για να λειτουργήσουν αξιόπιστα
  - Αν πυροδοτηθούν αργά, η SRAM γίνεται χωρίς λόγο αργή
- Το ρολόι πρέπει να ταιριάζει στην καθυστέρηση του αποκωδικοποιητή, των γραμμών bit και των γραμμών λέξεων
  - Δύσκολη σχεδίαση
- Πολλές διατάξεις χρησιμοποιούν αλυσίδα αντιστροφών
  - οι αντιστροφείς δεν ακολουθούν πολύ καλά την καθυστέρηση του μονοπατιού πρόσβασης σε όλες τις συνθήκες (γωνίες) επεξεργασίας και περιβάλλοντος

## Μείωση θορύβου με ισοστάθμιση

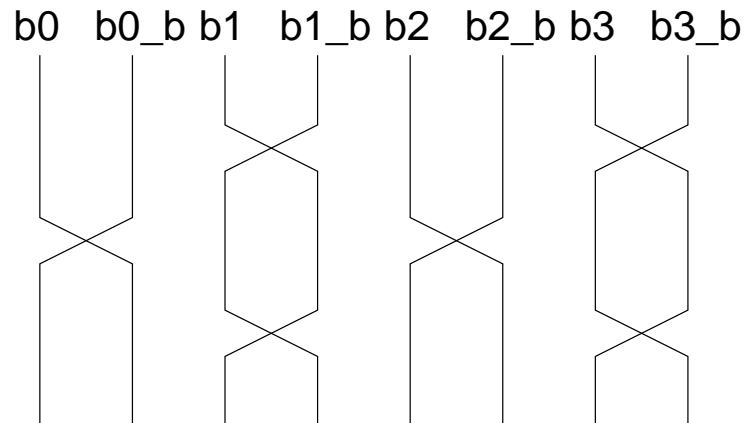
- Οι ενισχυτές αίσθησης είναι επιρρεπείς στον διαφορικό θόρυβο στις γραμμές bit
  - ανιχνεύουν μικρές διαφορές τάσης
- Αν οι γραμμές bit δεν προφορτιστούν για αρκετό χρόνο, οι υπολειπόμενες τάσεις από προηγούμενες αναγνώσεις μπορεί να προκαλέσουν αποτυχίες
- Προσθήκη τρανζίστορ εξισορρόπησης στα κυκλώματα προετοιμασίας γραμμών bit
  - μείωση χρόνου προφόρτισης
  - εξασφάλιση ότι οι bit & bit\_b είναι σχεδόν σε ίδια επίπεδα τάσεων ακόμα και αν δεν έχουν πλήρως προφορτιστεί σε Vdd





# Μείωση θορύβου με συστροφή

- Η σύζευξη στις γραμμές bit γειτονικών κυττάρων μπορεί επίσης να εισάγει θόρυβο
- Οι γραμμές bit μπορούν να *συστραφούν* ή *αλληλομεταταθούν* για να προκαλέσουν ίση σύζευξη τόσο στη γραμμή bit όσο και στο συμπλήρωμά της
- Παράδειγμα: η b1 είναι σε σύζευξη
  - με τη b0\_b για το πρώτο τέταρτο του μήκους της
  - με τη b2 για το επόμενο τέταρτο,
  - με τη b2\_b για το τρίτο τέταρτο και
  - με τη b0 για το τελευταίο τέταρτο
- Η b1\_b είναι επίσης σε σύζευξη με καθεμία από τις τέσσερις εμπλεκόμενες για ένα τέταρτο του μήκος της => η σύζευξη θα είναι ίδια και στις δύο γραμμές



- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4<sup>th</sup> Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση  
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>  
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,  
Βασίλης Παλιουράς, Γεώργιος Θεοδωρίδης,  
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II».  
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση  
<https://eclass.upatras.gr/courses/EE892/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση  
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ  
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ