



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II

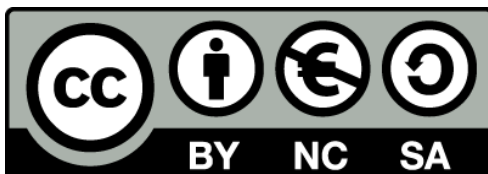
4^η Εργαστηριακή Άσκηση

**Περιγραφή Κυκλωμάτων
με Ακολουθιακές Εντολές**

ΑΝΟΙΚΤΑ ακαδημαϊκά μαθήματα **ΠΠ**

Άδειες Χρήσης

- Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Διατήρηση Σημειωμάτων

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Ανάπτυξη

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ

Άσκηση 1: Κύκλωμα μετρητή

Περιγράψτε σε VHDL ένα δυαδικό μετρητή 4-bit με δομικό τρόπο. Τα σήματα του μετρητή είναι:

Είσοδοι: clk, clear(synchronous), enable

Έξοδος: count

Σημείωση: Τα βασικά δομικά στοιχεία που πρέπει να χρησιμοποιήσετε είναι ένα D ff και ένας αθροιστής.

Επίσης, τα σήματα εισόδου και εξόδου είναι τύπου std_logic_vector και std_logic, αντίστοιχα.

Η εισαγωγή του ρολογιού στην προσομοίωση γίνεται πατώντας force -> clock.

Άσκηση 2: Hamming distance με accumulator

Χρησιμοποιώντας συντρέχουσες και ακολουθιακές εντολές σχεδιάστε ένα κύκλωμα που θα μετρά την απόσταση Hamming μεταξύ δύο 8-bit εισόδων και θα επιστέφει την τιμή της με χρήση ενός συσσωρευτή. Το κύκλωμα εκτός από τις 8-bit εισόδους θα παίρνει ως είσοδο τα σήματα clk και reset. Τα σήματα εισόδου και εξόδου είναι τύπου std_logic και std_logic_vector. Δώστε block diagram του κυκλώματος.

Σημείωση: Για ευκολία σχεδιάστε πρώτα το block diagram και στη συνέχεια περιγράψτε το με VHDL.

Άσκηση 3 : Σχεδίαση και Υλοποίηση μίας ALU τριών εισόδων

Στόχος της άσκησης είναι ο σχεδιασμός μιας πλήρως λειτουργικής μονάδας αριθμητικών και λογικών πράξεων τριών εισόδων **σε δομική σχεδιαστική μορφή**. Η ALU θα περιέχει **μία** AU και **μία** LU που θα χρησιμοποιούνται κατάλληλα ώστε εκτελούνται οι πράξεις μεταξύ των τριών εισόδων. Η τελική έξοδος της ALU θα παράγεται μετά από δύο κύκλους ρολογιού. Η μονάδα θα πρέπει να έχει τις εξής σήματα:

A: Είσοδος (8-bit) – Πρώτος τελεστής σε συμπλήρωμα ως προς 2

B: Είσοδος (8-bit) – Δεύτερος τελεστής σε συμπλήρωμα ως προς 2

C: Είσοδος (8-bit) – Τρίτος τελεστής σε συμπλήρωμα ως προς 2

Op: Είσοδος (3-bit) – Κωδικός πράξης

clk: Είσοδος (1-bit) – Ρολόι

rst: Είσοδος (1-bit) – Reset

Output: Έξοδος (8-bit) – Αποτέλεσμα σε συμπλήρωμα ως προς 2.

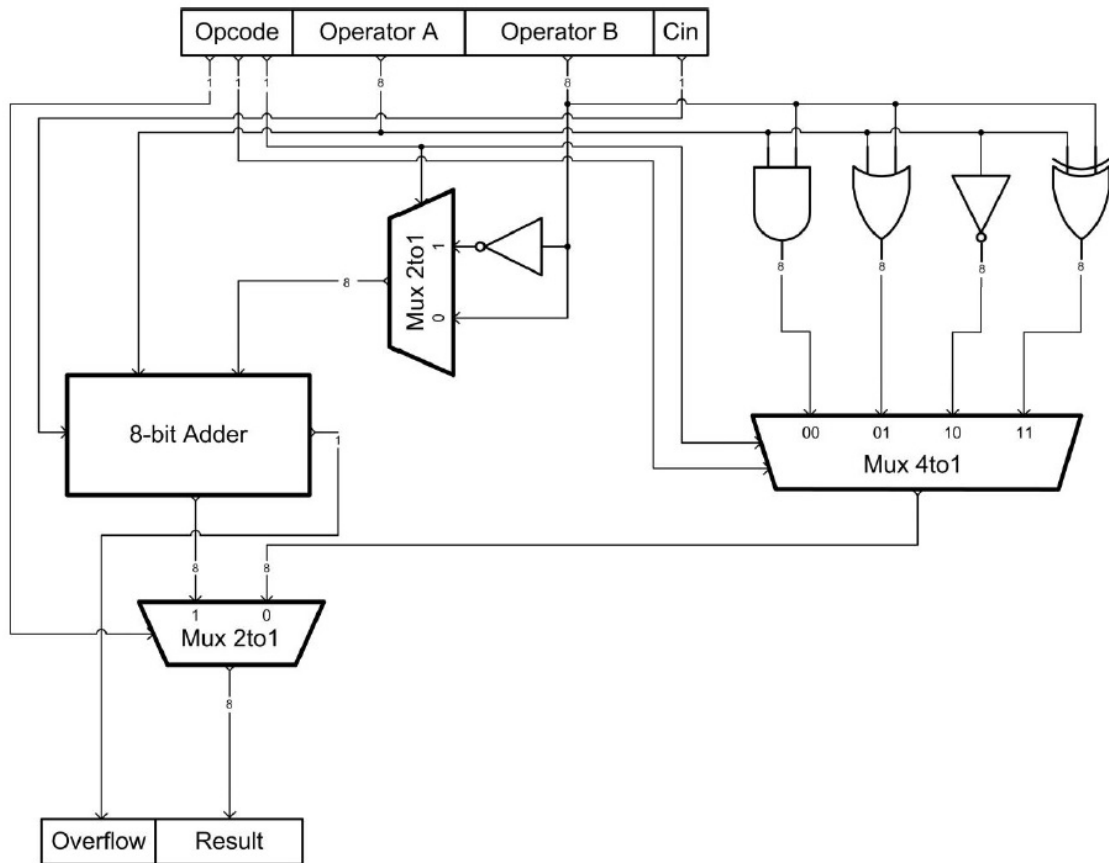
Zero: Έξοδος (1-bit) – Ενεργοποιημένη αν το αποτέλεσμα είναι μηδέν

Cout: Έξοδος (1-bit) – Ενεργοποιημένη αν υπήρξε κρατούμενο (Carry)

Η «συμπεριφορά» της ALU είναι η εξής:

Κωδικός	Πράξη	Αποτέλεσμα
Op = 000	Πρόσθεση	Out = A + B + C
Op = 001	Αφαίρεση	Out = A - B - C
Op = 100	Λογικό «ΚΑΙ»	Out = A & B & C
Op = 101	Αντιστροφή του A	Out = ! A
Op = 110	Λογικό «Η»	Out = A B C
Op = 111	Λογικό «XOR»	Out = A ⊕ B ⊕ C

Η ενδεικτική αρχιτεκτονική είναι όμοια με αυτή της προηγούμενης εργαστηριακής άσκησης. Ζητείται η εισαγωγή σε αυτή και η διασύνδεση των ακολουθιακών στοιχείων με κατάλληλο τρόπο ώστε να πραγματοποιείται η σωστή λειτουργία χωρίς αύξηση των στοιχείων που εκτελούν τις αριθμητικές και λογικές πράξεις.



Σημείωμα Αναφοράς

Copyright Πανεπιστήμιο Πατρών, Βασίλης Παλιουράς, Γεώργιος Θεοδωρίδης,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II»

Έκδοση: 1.0 Πάτρα 2015

Διαθέσιμο στη διαδικτυακή διεύθυνση: <https://eclass.upatras.gr/courses/EE892/>

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
ΕΚΠΑΙΔΕΥΣΗ ΚΑΙ ΔΙΑ ΒΙΟΥ ΜΑΘΗΣΗ
επένδυση στην κοινωνία της γνώσης
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ