



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI II

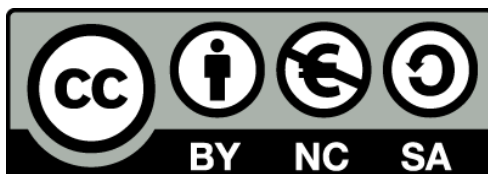
2^η Εργαστηριακή Άσκηση

Περιγραφή Κυκλωμάτων
με Συντρέχουσες Εντολές

ΑΝΟΙΚΤΑ ακαδημαϊκά **ΠΠ**
μαθήματα

Άδειες Χρήσης

- Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Διατήρηση Σημειωμάτων

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Ανάπτυξη

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Άσκηση 1: Κωδικοποιητής προτεραιότητας

Στο ακόλουθο σχήμα δείχνεται το διάγραμμα ενός κωδικοποιητή προτεραιότητας επτά επιπέδων, το οποίο έχει ένα σήμα εισόδου 7 ψηφίων και ένα σήμα εξόδου 3 ψηφίων. Το κύκλωμα πρέπει να κωδικοποιεί τη διεύθυνση του υψηλότερης τάξης ψηφίο της εισόδου που είναι ενεργό (δηλαδή, '1').

Παράδειγμα:

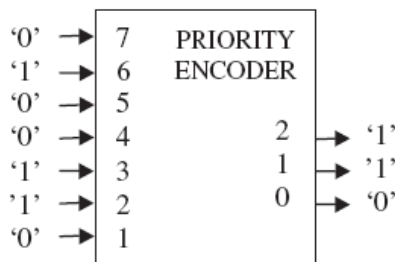
A. όταν η είσοδος είναι "0010110" τότε η έξοδος είναι "101". (Για την είσοδο το MSB είναι το αριστερότερο ψηφίο).

B. όταν η είσοδος "0000001" τότε η έξοδος είναι "001".

Το "000" στην έξοδο θα πρέπει να υποδεικνύει ότι κανένα ψηφίο της εισόδου δεν είναι ίσο με '1'.

Θεωρείστε ότι όλα τα σήματα εισόδου / εξόδου ως `std_logic_vector`.

Συνθέστε και προσομοιώστε τις λύσεις σας.



Άσκηση 2: Κύκλωμα σύγκρισης

Περιγράψτε σε VHDL ένα κύκλωμα σύγκρισης το οποίο έχει δύο 4-bit εισόδους A και B και τρεις εξόδους EQUAL, GREATER, LESS που παίρνουν τις τιμές ως εξής: EQUAL=1 όταν A=B, GREATER=1 όταν A>B και LESS=1 όταν A<B. Δώστε δύο λύσεις:

A) χρησιμοποιώντας μόνο τους τελεστές "=" και ">"

B) χρησιμοποιώντας μόνο τους τελεστές "=", "<" και "&".

Σημείωση: Χειριστείτε τους αριθμούς A και B ως μη προσημασμένους.

Χρησιμοποιείτε και τη βιβλιοθήκη `unsigned`

(use `ieee.std_logic_unsigned.all`);

Επίσης, τα σήματα εισόδου και εξόδου είναι τύπου

`std_logic_vector` και `std_logic`, αντίστοιχα.

Άσκηση 3: Hamming distance

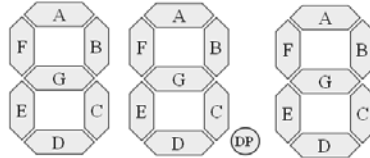
Χρησιμοποιώντας συντρέχουσες εντολές σχεδιάστε ένα κύκλωμα που θα μετρά την απόσταση Hamming μεταξύ δύο 8-bit εισόδων και θα επιστέφει την τιμή της. Η απόσταση Hamming είναι το πλήθος των ψηφίων που διαφέρουν (bit προς bit) οι δύο εισοδοί. Τα σήματα εισόδου και εξόδου είναι τύπου `std_logic`. Δώστε block diagram του κυκλώματος.

Άσκηση 4 : Κύκλωμα απεικόνισης δεκαδικών με ένα ψηφίο υποδιαστολής σε seven-segment display.

Στόχος είναι να υλοποιηθεί ένα κύκλωμα το οποίο θα δέχεται ως είσοδο έναν δεκαδικό αριθμό με ένα δεκαδικό ψηφίο και τον απεικονίζει σε ένα σύστημα seven-segment display. Το seven-segment display μας θα είναι λίγο «ιδιότροπο». Δεν θα μπορεί να απεικονίσει αριθμούς μεγαλύτερους από 25. Σε περίπτωση που έρθει αριθμός μεγαλύτερος από 25 θα απεικονίζει το κλασικό **E**, που σημαίνει error. Οι εισοδοί και οι εξοδοί του συστήματος θα είναι:

inputNO	Είσοδος – Ακέραιο Μέρος Αριθμού	6-bit
inputNO_DECIMAL	Είσοδος – Δεκαδικό ψηφίο αριθμού εισόδου	4-bit
dp	Έξοδος – Υποδιαστολή	1-bit
sseg_MON	Έξοδος – Seven-Segment Display για τις Μονάδες	7-bit
sseg_DEK	Έξοδος – Seven-Segment Display για τις Δεκάδες	7-bit
sseg_DECIMAL	Έξοδος – Seven-Segment Display για το δεκαδικό ψηφίο	7-bit

Τα seven-segment displays θα έχουν την παρακάτω μορφή:



Το bit υποδιαστολής θα ενεργοποιείται αυτόματα αν δοθεί είσοδος στο δεκαδικό ψηφίο. Αν είναι 0 τότε είναι απενεργοποιημένη. Σε περίπτωση λάθους θα η έξοδος θα είναι *E*. στο seven-segment display των μονάδων. Για δική σας ευκολία μπορείτε να θεωρήσετε ότι το MSB των σημάτων sseg είναι το A, το αμέσως δεξιότερο το B κ.ο.κ.

Όλες οι ασκήσεις να υλοποιηθούν με συντρέχοντα κώδικα (concurrent VHDL statements)

Σημείωμα Αναφοράς

Copyright Πανεπιστήμιο Πατρών, Βασίλης Παλιουράς, Γεώργιος Θεοδωρίδης,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II»

Έκδοση: 1.0 Πάτρα 2015

Διαθέσιμο στη διαδικτυακή διεύθυνση: <https://eclass.upatras.gr/courses/EE892/>

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
ΕΚΠΑΙΔΕΥΣΗ ΚΑΙ ΔΙΑ ΒΙΟΥ ΜΑΘΗΣΗ
επένδυση στην κοινωνία της γνώσης
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΣΠΑ
2007-2013
πρόγραμμα για την ανάπτυξη
ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ

•