



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα ΠΠ

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Στατικά Κυκλώματα CMOS

- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- Skewed Πύλες
- Βέλτιστος P/N λόγος

- Τα **στατικά CMOS (static CMOS)** κυκλώματα είναι τα πλέον χρησιμοποιούμενα για την υλοποίηση ψηφιακή λογικής
 - Αποτελούνται από nMOS pull-down και pMOS pull-up συμπληρωματικά δικτυώματα
- Επίσης μπορεί να χρησιμοποιηθούν ειδικές οικογένειες σχεδιασμού:
 - **Dynamic logic circuits,**
 - **Pass transistor logic,**
 - **Ratioed circuits**
- Όμως λόγω σημαντικών προβλημάτων (κυρίως στιβαρότητα – robustness) χρησιμοποιούνται σε ειδικές περιπτώσεις
- Αντικείμενο του κεφαλαίου είναι η **μελέτη των διαφορετικών οικογενειών** υλοποίησης συνδυαστικών κυκλωμάτων

- **Στιβαρότητα (robustness) & υψηλά περιθώρια θορύβου**
 - Με σωστή είσοδο υπολογίζουν πάντα σωστά την τιμή της εξόδου δεδομένης σωστής σχεδίασης και κατασκευής
- **Δεν επηρεάζονται από φαινόμενα**
 - charge sharing (dynamic circuits),
 - leakage (dynamic circuits),
 - threshold drops (pass logic circuits), ...

που εμφανίζονται σε άλλες οικογένειες σχεδίασης και που **αλλοιώνουν την τιμή της εξόδου**

- Η χρήση των εναλλακτικών οικογενειών επιβάλλει την κατανόηση όλων των ενδογενών προβλημάτων τους

- **Υψηλή ταχύτητα και χαμηλή κατανάλωση ισχύος**
- **Δεδομένης της στιβαρότητας & υψηλών περιθωρίων θορύβου**
 - η ταχύτητα τους είναι αρκετά υψηλή
 - η κατανάλωση ενέργειας ικανοποιητική
 - απουσία σήματος ρολογιού και
 - απουσία ρευμάτων από V_{dd} → GND που οδηγούν σε στατική κατανάλωση
- **Ευκολία σχεδιασμού**
 - Υποστήριξη από όλα τα CAD εργαλεία σχεδίασης
 - Διαθέσιμα ως προσχεδιασμένα κυκλώματα σε βιβλιοθήκες (standard cell libraries)

- **Μεγάλη επιφάνεια ολοκλήρωσης**
 - x2 πλήθος transistors (nMOS & pMOS networks)
- **Υψηλή χωρητικότητα**
 - Λόγω των nMOS & pMOS networks => αύξηση χωρητικότητας εξόδου
=> αύξηση δυναμικής κατανάλωσης και καθυστέρησης
- **Σχετικά υψηλές τιμές λογικού φόρτου (logical effort)**
 - Στη μετάβαση $1 \rightarrow 0$ το pMOS network προσθέτει χωρητικότητα => αύξηση του logical effort χωρίς να αυξάνει το ρεύμα εκφόρτισης
- **Πλήρης μεταβάσεις των κόμβων ($0 \text{ Volts} \leftrightarrow V_{DD}$)**
 - Αύξηση της καθυστέρησης και της κατανάλωσης

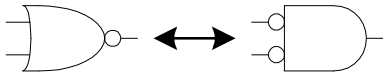
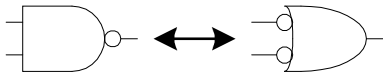
- Εισαγωγή
- **Bubble Pushing & Compound Πύλες**
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- Skewed Πύλες
- Βέλτιστος P/N λόγος

- Η στατική CMOS λογική μπορεί να υλοποιήσει μόνο συμπληρωματικές συναρτήσεις $F = \overline{AB + CD}$
 - Για παράδειγμα
- Για την υλοποίηση μη συμπληρωματικών λογικών συναρτήσεων ακολουθούνται δύο τεχνικές:
- «Μετακίνηση αντιστροφών (φουσαλίδων)» – **Bubble Pushing**
- **Σύνθετες πύλες – Compound Gates**

Bubble Pushing

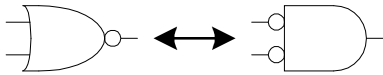
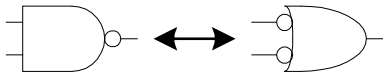
➤ Βασίζεται στην εισαγωγή αντιστροφών και στην υλοποίηση του κυκλώματος με πύλες AND/NOR/NOT με βάση τον κανόνα De Morgan

Bubble Pushing



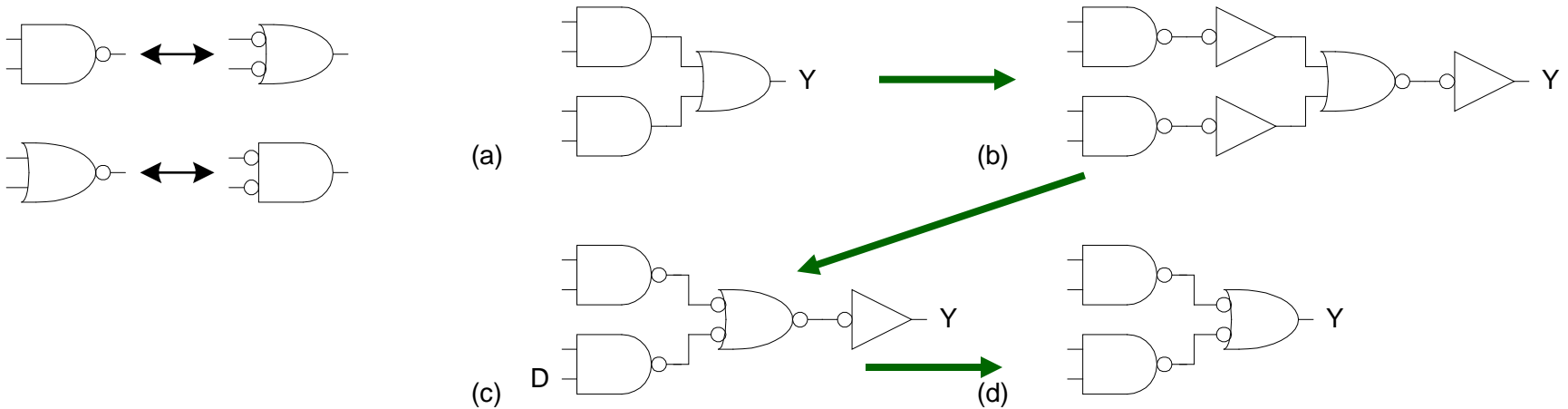
- Βασίζεται στην εισαγωγή αντιστροφών και στην υλοποίηση του κυκλώματος με πύλες AND/NOR/NOT με βάση τον κανόνα De Morgan
- Κανόνας De Morgan για AND & NOR πύλες

Bubble Pushing



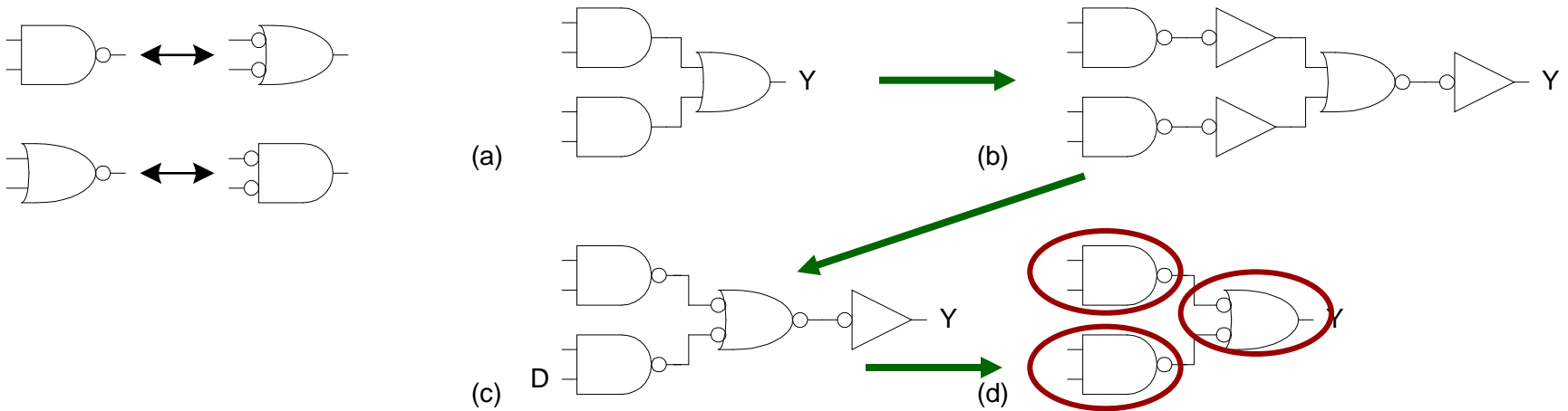
- Βασίζεται στην εισαγωγή αντιστροφών και στην υλοποίηση του κυκλώματος με πύλες AND/NOR/NOT με βάση τον κανόνα De Morgan
- Κανόνας De Morgan για AND & NOR πύλες
- Παράδειγμα: έστω η συνάρτηση $F = AB + CD$

Bubble Pushing



- Βασίζεται στην εισαγωγή αντιστροφών και στην υλοποίηση του κυκλώματος με πύλες AND/NOR/NOT με βάση τον κανόνα De Morgan
- Κανόνας De Morgan για AND & NOR πύλες
- Παράδειγμα: έστω η συνάρτηση $F = AB + CD$
 - Θεωρούμε ένα δίκτυο από AND / OR πύλες
 - Εφαρμόζουμε bubble pushing

Bubble Pushing



➤ Βασίζεται στην εισαγωγή αντιστροφών και στην υλοποίηση του κυκλώματος με πύλες AND/NOR/NOT με βάση τον κανόνα De Morgan

➤ Κανόνας De Morgan για AND & NOR πύλες

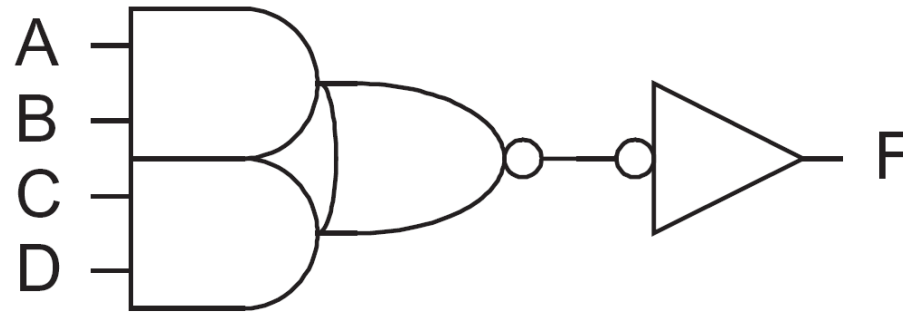
➤ Παράδειγμα: έστω η συνάρτηση $F = AB + CD$

- Θεωρούμε ένα δίκτυο από AND / OR πύλες

- Εφαρμόζουμε bubble pushing

- Το τελικό κύκλωμα είναι 3 NAND πύλες - $F = \overline{\overline{AB} \bullet \overline{CD}}$

- Χρησιμοποιούνται για την υλοποίηση συμπληρωματικών συναρτήσεων σε μία βαθμίδα λογικής
- Μη συμπληρωματικές συναρτήσεις μπορούν να υλοποιηθούν με σύνθετες πύλες και αντιστροφείς
 - Η bubble pushing χρησιμοποιεί πολλές βαθμίδες από απλές πύλες
- Παράδειγμα: έστω η συνάρτηση: $F = AB + CD$

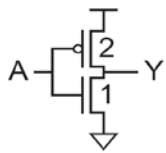


- Χρησιμοποιούνται για την υλοποίηση συμπληρωματικών συναρτήσεων σε μία βαθμίδα λογικής
- Μη συμπληρωματικές συναρτήσεις μπορούν να υλοποιηθούν με σύνθετες πύλες και αντιστροφείς
 - Η bubble pushing χρησιμοποιεί πολλές βαθμίδες από απλές πύλες
- Παράδειγμα: έστω η συνάρτηση: $F = AB + CD$
- Η υλοποίηση με σύνθετες πύλες είναι η $F = \overline{\overline{AB + CD}}$

Compound Gates – Logical Effort

Unit Inverter

$$Y = \overline{A}$$

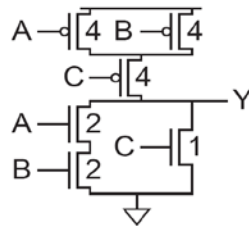


$$g_A = 3/3$$

$$p = 3/3$$

AOI21

$$Y = A \cdot B + C$$



$$g_A = 6/3$$

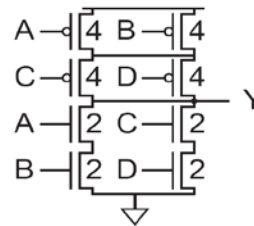
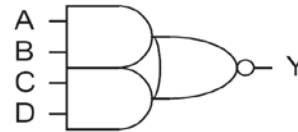
$$g_B = 6/3$$

$$g_C = 5/3$$

$$p = 7/3$$

AOI22

$$Y = A \cdot B + C \cdot D$$



$$g_A = 6/3$$

$$g_B = 6/3$$

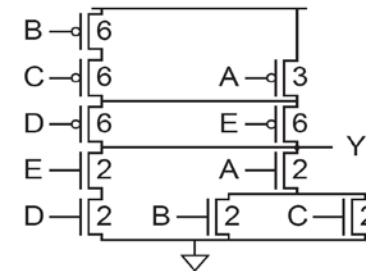
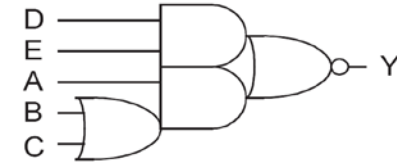
$$g_C = 6/3$$

$$g_D = 6/3$$

$$p = 12/3$$

Complex AOI

$$Y = A \cdot (B + C) + D \cdot E$$



$$g_A = 5/3$$

$$g_B = 8/3$$

$$g_C = 8/3$$

$$g_D = 8/3$$

$$g_E = 8/3$$

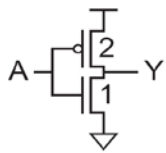
$$p = 16/3$$

➤ Εν γένει το logical effort των σύνθετων πυλών μπορεί να είναι διαφορετικό για διαφορετικές εισόδους

Compound Gates – Logical Effort

Unit Inverter

$$Y = \overline{A}$$

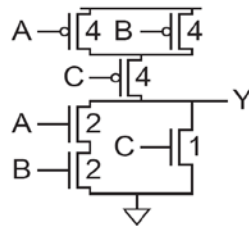


$$g_A = 3/3$$

$$p = 3/3$$

AOI21

$$Y = A \cdot B + C$$



$$g_A = 6/3$$

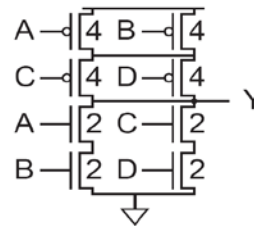
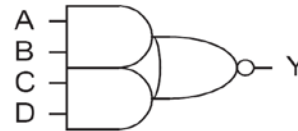
$$g_B = 6/3$$

$$g_C = 5/3$$

$$p = 7/3$$

AOI22

$$Y = A \cdot B + C \cdot D$$



$$g_A = 6/3$$

$$g_B = 6/3$$

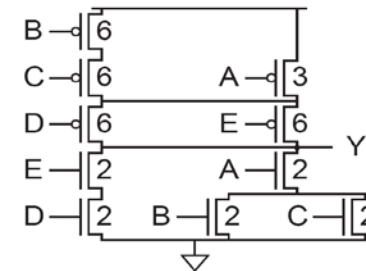
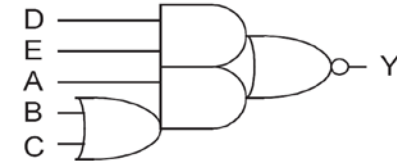
$$g_C = 6/3$$

$$g_D = 6/3$$

$$p = 12/3$$

Complex AOI

$$Y = A \cdot (B + C) + D \cdot E$$



$$g_A = 5/3$$

$$g_B = 8/3$$

$$g_C = 8/3$$

$$g_D = 8/3$$

$$g_E = 8/3$$

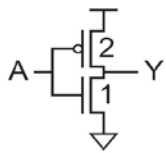
$$p = 16/3$$

➤ Εν γένει το logical effort των σύνθετων πυλών μπορεί να είναι διαφορετικό για διαφορετικές εισόδους

Compound Gates – Logical Effort

Unit Inverter

$$Y = \overline{A}$$

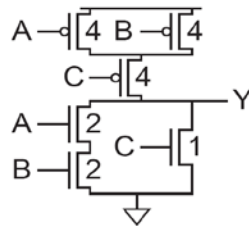
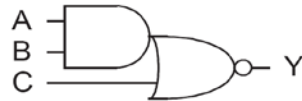


$$g_A = 3/3$$

$$p = 3/3$$

AOI21

$$Y = A \cdot B + C$$



$$g_A = 6/3$$

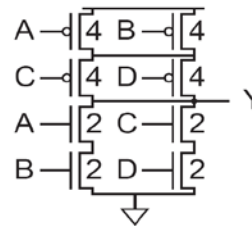
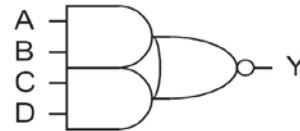
$$g_B = 6/3$$

$$g_C = 5/3$$

$$p = 7/3$$

AOI22

$$Y = A \cdot B + C \cdot D$$



$$g_A = 6/3$$

$$g_B = 6/3$$

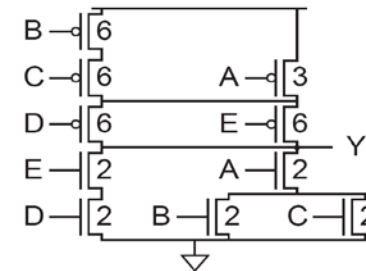
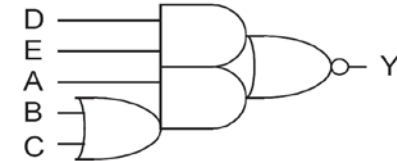
$$g_C = 6/3$$

$$g_D = 6/3$$

$$p = 12/3$$

Complex AOI

$$Y = A \cdot (B + C) + D \cdot E$$



$$g_A = 5/3$$

$$g_B = 8/3$$

$$g_C = 8/3$$

$$g_D = 8/3$$

$$g_E = 8/3$$

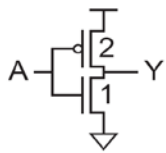
$$p = 16/3$$

➤ Εν γένει το logical effort των σύνθετων πυλών μπορεί να είναι διαφορετικό για διαφορετικές εισόδους

Compound Gates – Logical Effort

Unit Inverter

$$Y = \overline{A}$$

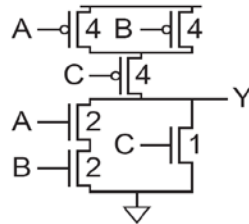


$$g_A = 3/3$$

$$p = 3/3$$

AOI21

$$Y = A \cdot B + C$$



$$g_A = 6/3$$

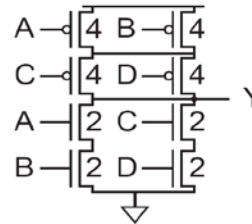
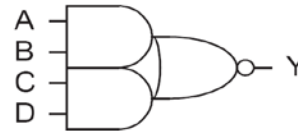
$$g_B = 6/3$$

$$g_C = 5/3$$

$$p = 7/3$$

AOI22

$$Y = A \cdot B + C \cdot D$$



$$g_A = 6/3$$

$$g_B = 6/3$$

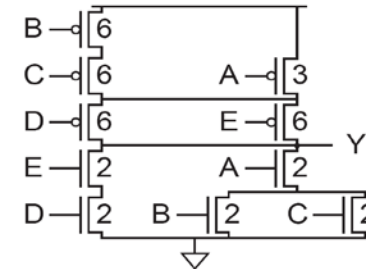
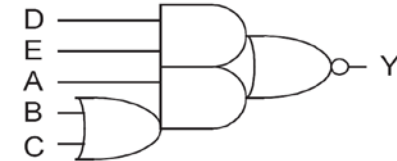
$$g_C = 6/3$$

$$g_D = 6/3$$

$$p = 12/3$$

Complex AOI

$$Y = A \cdot (B + C) + D \cdot E$$



$$g_A = 5/3$$

$$g_B = 8/3$$

$$g_C = 8/3$$

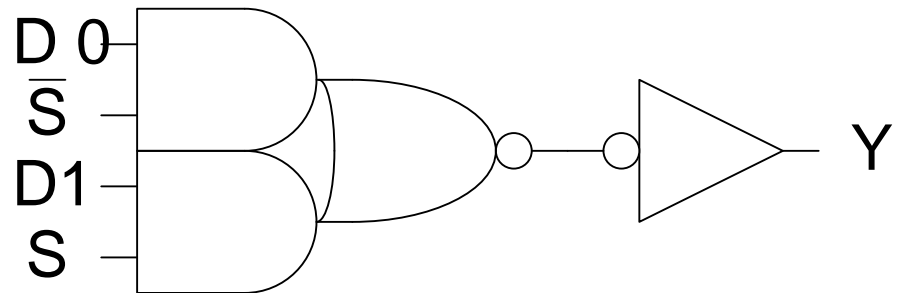
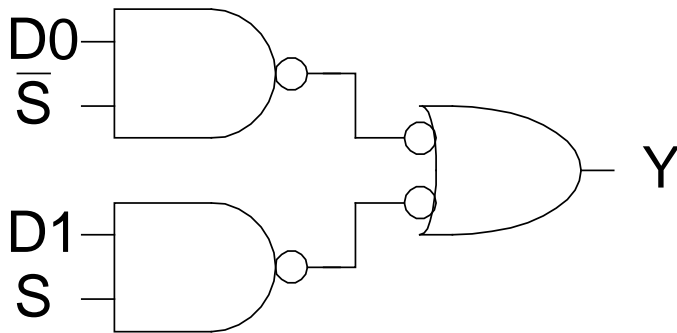
$$g_D = 8/3$$

$$g_E = 8/3$$

$$p = 16/3$$

- Εν γένει το logical effort των σύνθετων πυλών μπορεί να είναι διαφορετικό για διαφορετικές εισόδους
- Τα μεγέθη των τρανζίστορ επιλέχθηκαν ώστε να παρέχουν το ίδιο ρεύμα με αυτό του μοναδιαίου αντιστροφέα αναφοράς

- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- Skewed Πύλες
- Βέλτιστος P/N λόγος

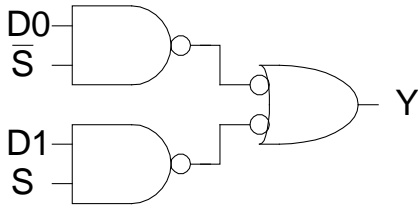


- Ένας πολυπλέκτης έχει μέγιστη χωρητικότητα εισόδου **16 μονάδων** σε κάθε είσοδο και πρέπει να οδηγεί ένα φορτίο **160 μονάδων**
- Υπολογισμός καθυστέρησης των δύο υλοποιήσεων

$$H = 160 / 16 = 10$$

$$B = 1$$

$$N = 2$$



$$P = 2 + 2 = 4$$

$$G = (4/3) \bullet (4/3) = 16/9$$

$$F = GBH = 160/9$$

$$\sqrt[N]{F} = 4.2$$

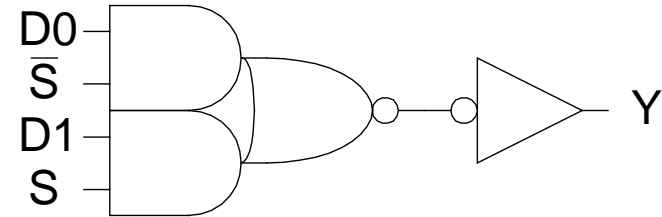
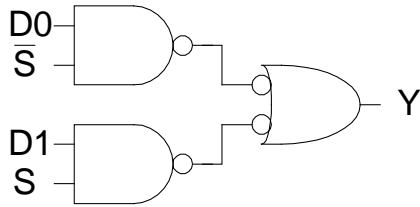
$$D = N\sqrt[N]{F} + P = 12.4\tau$$

➤ Ένας πολυπλέκτης έχει μέγιστη χωρητικότητα εισόδου 16 μονάδων σε κάθε είσοδο και πρέπει να οδηγεί ένα φορτίο 160 μονάδων

$$H = 160 / 16 = 10$$

$$B = 1$$

$$N = 2$$



$$P = 2 + 2 = 4$$

$$G = (4/3) \bullet (4/3) = 16/9$$

$$F = GBH = 160/9$$

$$\sqrt[N]{F} = 4.2$$

$$D = N\sqrt[N]{F} + P = 12.4\tau$$

$$P = 4 + 1 = 5$$

$$G = (6/3) \bullet (1) = 2$$

$$F = GBH = 20$$

$$\sqrt[N]{F} = 4.5$$

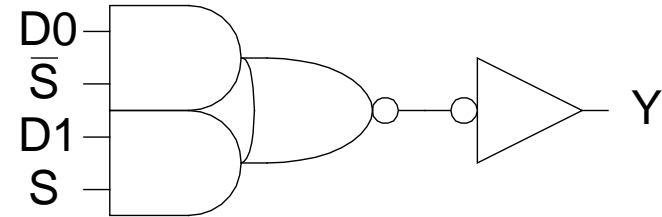
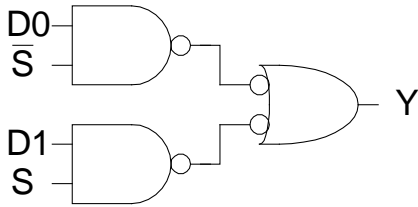
$$D = N\sqrt[N]{F} + P = 14\tau$$

➤ Ένας πολυπλέκτης έχει μέγιστη χωρητικότητα εισόδου 16 μονάδων σε κάθε είσοδο και πρέπει να οδηγεί ένα φορτίο 160 μονάδων

$$H = 160 / 16 = 10$$

$$B = 1$$

$$N = 2$$



$$P = 2 + 2 = 4$$

$$G = (4/3) \cdot (4/3) = 16/9$$

$$F = GBH = 160/9$$

$$\sqrt[N]{F} = 4.2$$

$$D = N\sqrt[N]{F} + P = 12.4\tau$$

$$P = 4 + 1 = 5$$

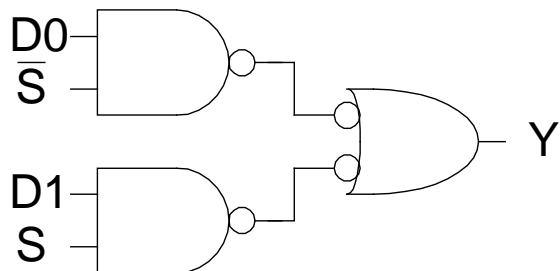
$$G = (6/3) \cdot (1) = 2$$

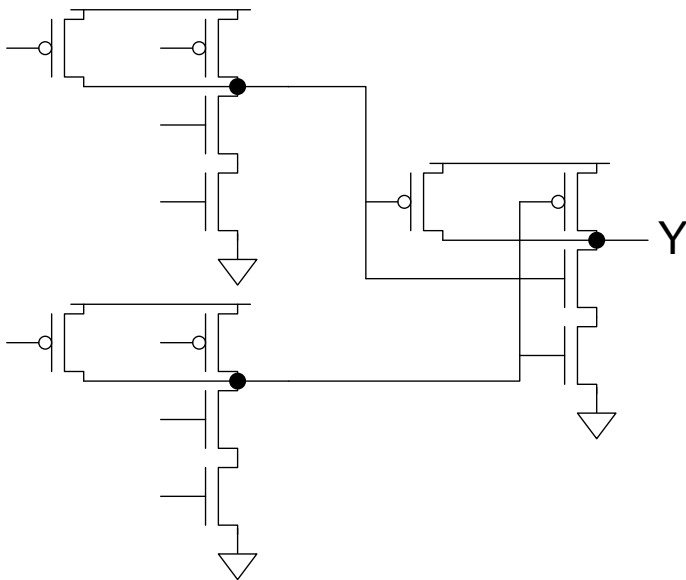
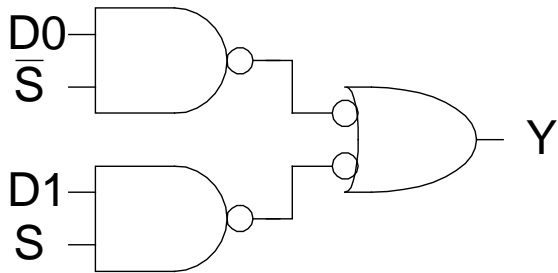
$$F = GBH = 20$$

$$\sqrt[N]{F} = 4.5$$

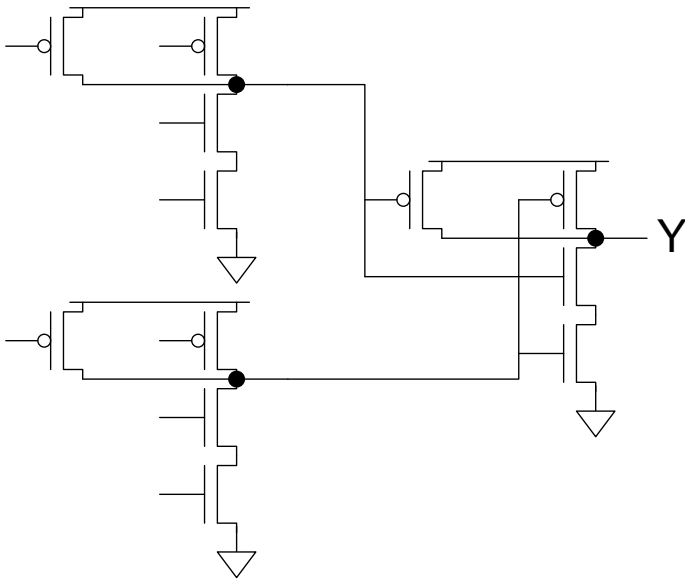
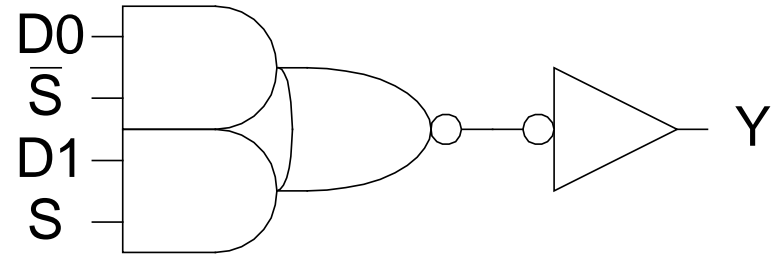
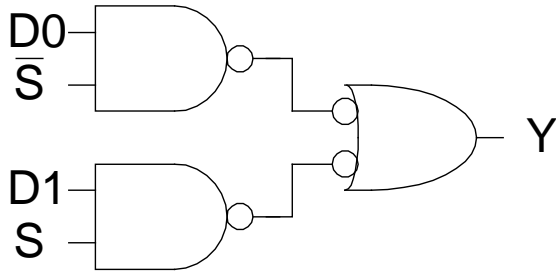
$$D = N\sqrt[N]{F} + P = 14\tau$$

➤ Ένας πολυπλέκτης έχει μέγιστη χωρητικότητα εισόδου 16 μονάδων σε κάθε είσοδο και πρέπει να οδηγεί ένα φορτίο 160 μονάδων

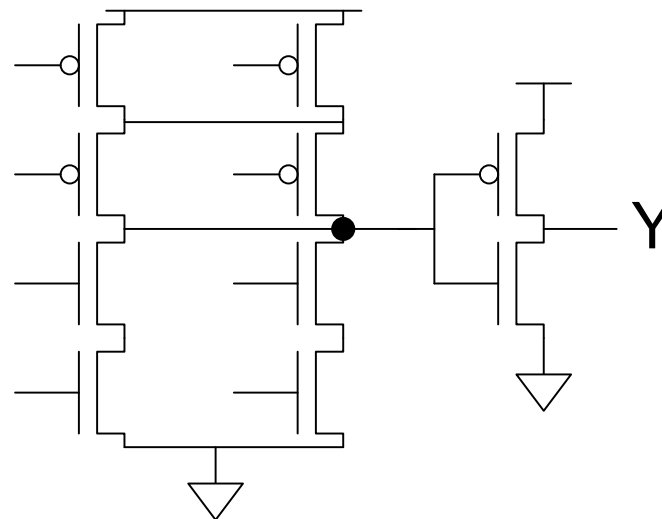
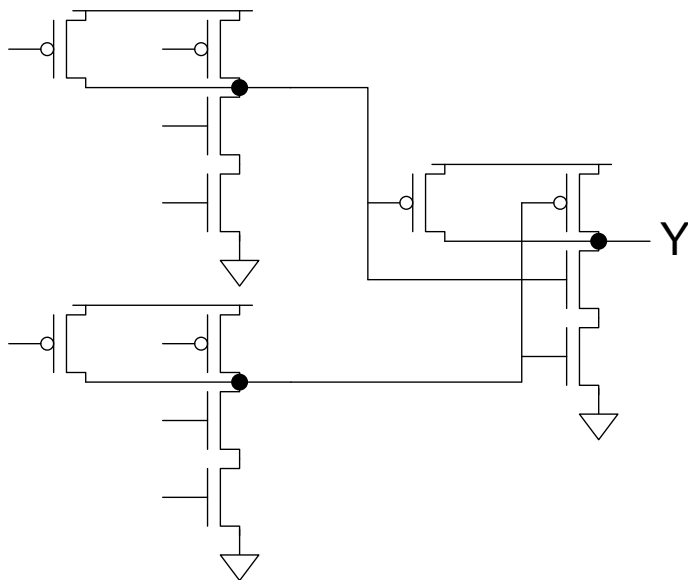
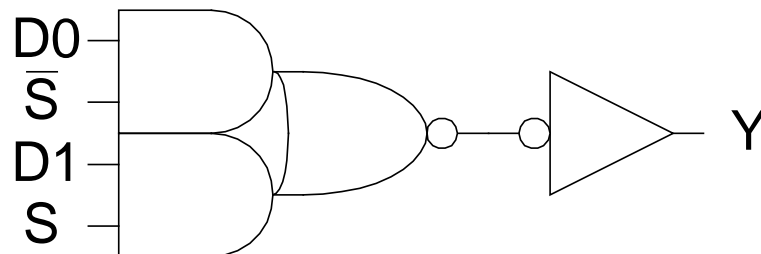
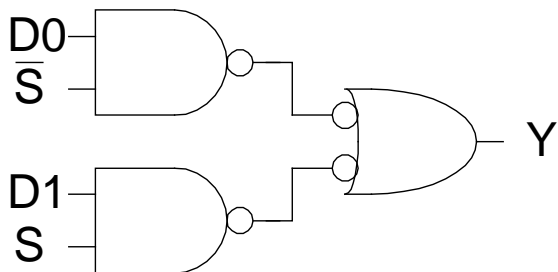


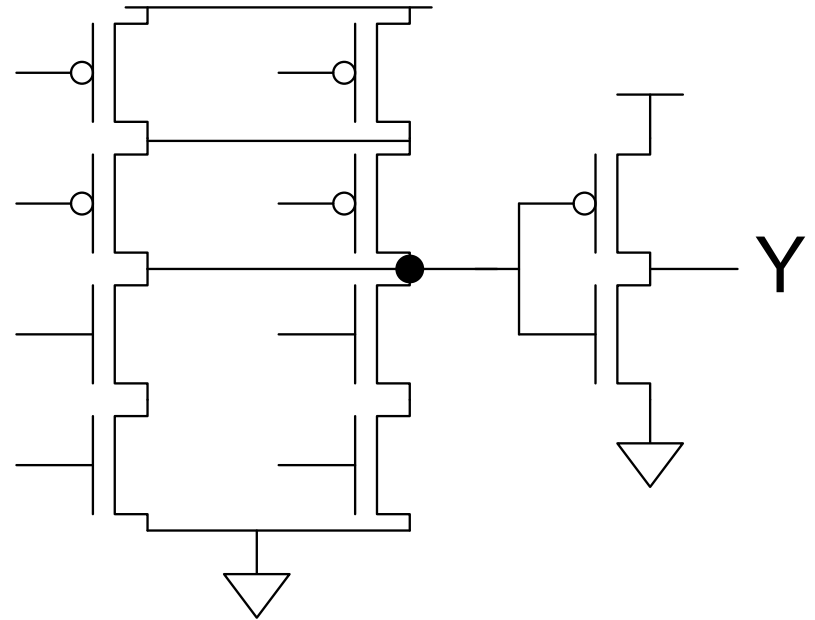
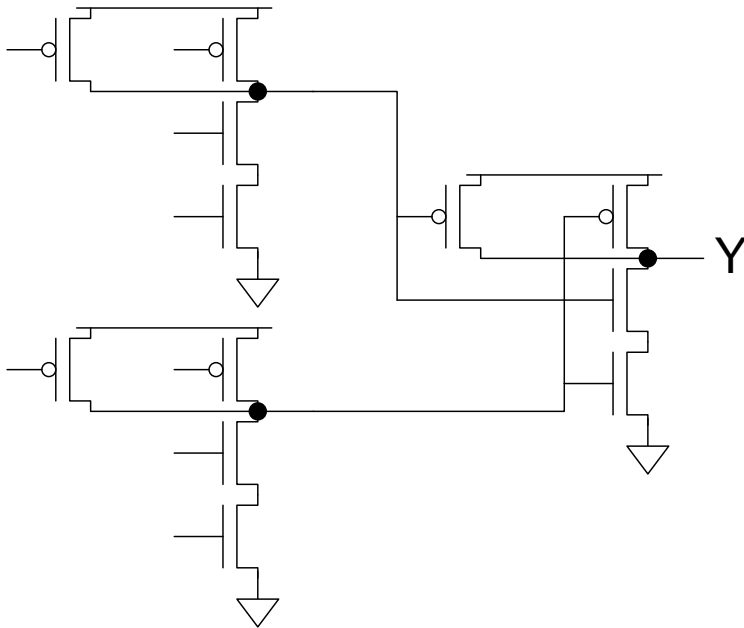


Compound Gates & Bubble Pushing – Παράδειγμα (3/5)

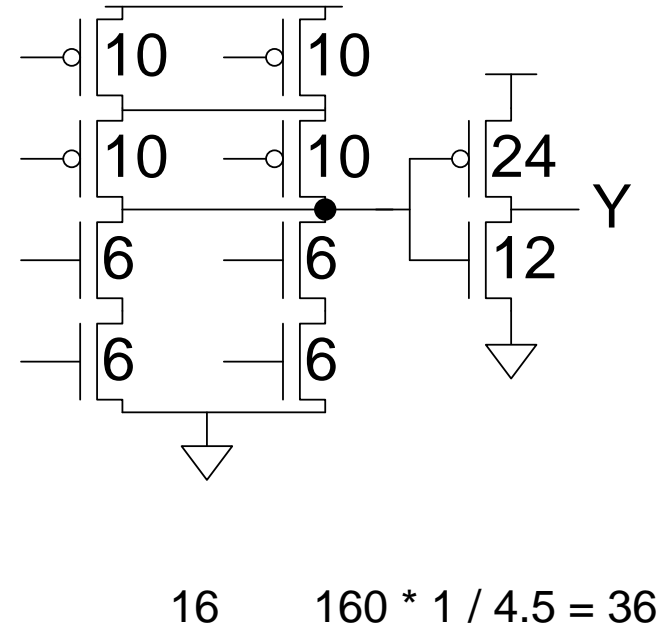
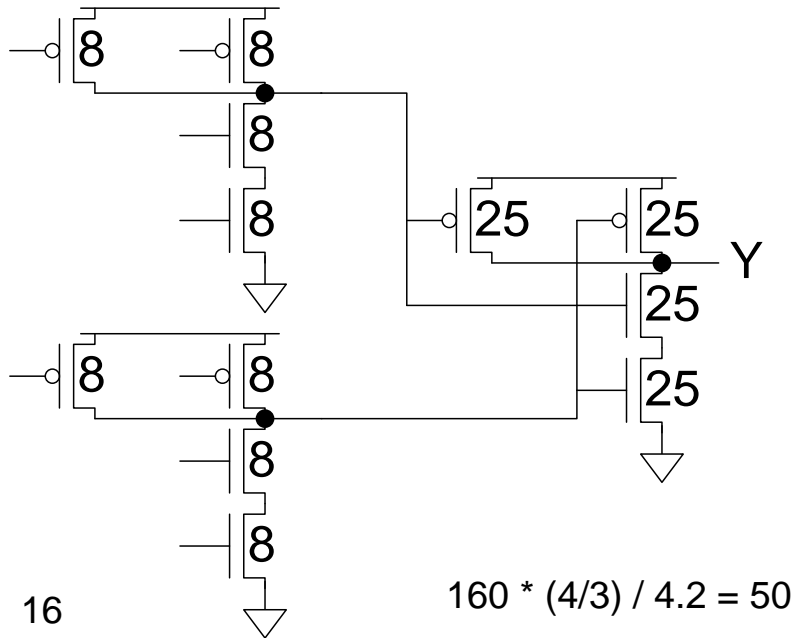


Compound Gates & Bubble Pushing – Παράδειγμα (3/5)



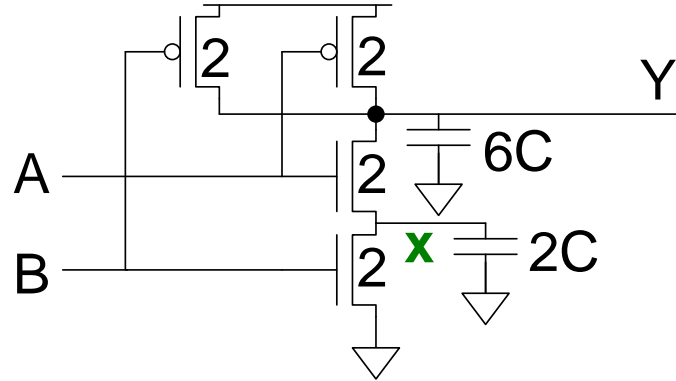


- Υπολογισμός διαστάσεων των τρανζίστορ ώστε να επιτυγχάνονται οι προηγούμενοι χρόνοι



➤ Υπολογισμός διαστάσεων των τρανζίστορ ώστε να επιτυγχάνονται οι προηγούμενοι χρόνοι

- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- Skewed Πύλες
- Βέλτιστος P/N λόγος



➤ Θεωρούμε την περίπτωση:

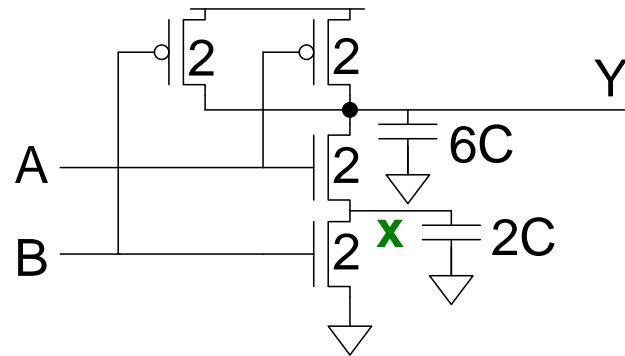
- μία είσοδος είναι σταθερή στο 1 & η άλλη μεταβάλλεται $0 \rightarrow 1$
- η έξοδος μεταβάλλεται $1 \rightarrow 0$

➤ Αν το B έρθει τελευταίο ($A=1, B = 1 \rightarrow 0$)

- Ο κόμβος x αρχικά θα είναι $V_{DD} - V_{t_n} \approx V_{DD}$
- Η καθυστέρηση είναι (*Elmore Delay*): $(R/2)(2C) + R(6C) = 7RC = 2.33\tau$
- $\tau = 3RC$

➤ Αν το B έρθει πρώτο ($B = 1, A = 1 \rightarrow 0$)

- Ο κόμβος x αρχικά θα είναι 0 – θα έχει εκφορτιστεί από το $A=1$
- Η καθυστέρηση είναι (*Elmore Delay*): $R(6C) = 6RC = 2\tau$



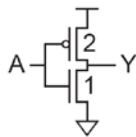
- Ως **Outer Είσοδοι** ορίζονται αυτές που είναι πιο κοντά στις γραμμές VDD και GND
 - Στο κύκλωμα η B
- Ως **Inner Είσοδοι** ορίζονται αυτές που είναι πιο κοντά στην έξοδο
 - Στο κύκλωμα η A
- Για βελτίωση της ταχύτητας συνδέουμε την πιο «καθυστερημένη» είσοδο στον ακροδέκτη της *inner*
 - Οι είσοδοι που ενεργοποιούνται νωρίτερα εκφορτίζουν τις εσωτερικές χωρητικότητες

- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- **Ασύμμετρες Πύλες**
- Skewed Πύλες
- Βέλτιστος P/N λόγος

Ασύμμετρες Πύλες (1/3)

Unit Inverter

$$Y = \bar{A}$$

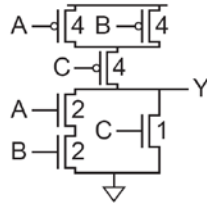


$$g_A = 3/3$$

$$\rho = 3/3$$

AOI21

$$Y = A \cdot B + C$$



$$g_A = 6/3$$

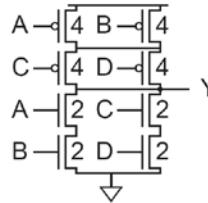
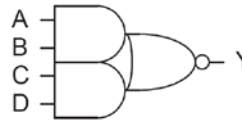
$$g_B = 6/3$$

$$g_C = 5/3$$

$$\rho = 7/3$$

AOI22

$$Y = A \cdot B + C \cdot D$$



$$g_A = 6/3$$

$$g_B = 6/3$$

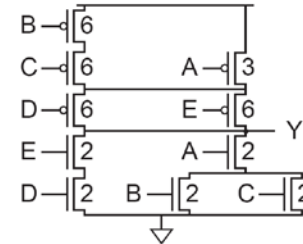
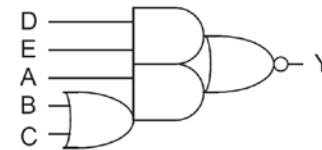
$$g_C = 6/3$$

$$g_D = 6/3$$

$$\rho = 12/3$$

Complex AOI

$$Y = A \cdot (B + C) + D \cdot E$$



$$g_A = 5/3$$

$$g_B = 8/3$$

$$g_C = 8/3$$

$$g_D = 8/3$$

$$g_E = 8/3$$

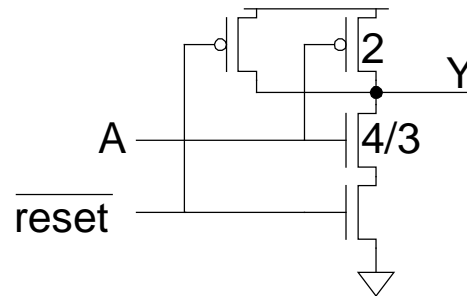
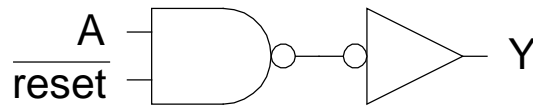
$$\rho = 16/3$$

➤ Ως ασύμμετρες πύλες ορίζονται οι πύλες όπου οι είσοδοι έχουν διαφορετικό logical effort

➤ Αυτό μπορεί να είναι ενδογενές όπως η AOI21 πύλη

➤ Όμως μπορεί και να επιβληθεί για λόγους ταχύτητας

Ασύμμετρες Πύλες (2/3)



- Οι ασύμμετρες πύλες «ευνοούν» τη μία είσοδο εις βάρος της άλλης
- Έστω ότι το reset συμβαίνει σπάνια
- Στόχος η σχεδίαση ώστε το κύκλωμα να αποκρίνεται γρήγορα σε σχέση με την είσοδο A
 - Με κόστος μεγαλύτερη καθυστέρηση όταν ενεργοποιείται η είσοδος reset

➤ Χρησιμοποιούμε μικρότερο nMOS τρανζίστορ στην κρίσιμη είσοδο A – είναι σημαντικό το μικρό τρανζίστορ να είναι κοντά στην έξοδο

–Μείωση χωρητικότητας

➤ Αυξάνουμε το μέγεθος του τρανζίστορ στη μη-κρίσιμη είσοδο – η τελική αντίσταση παραμένει η ίδια (ίδιο συνολικό ρεύμα – ίδια ικανότητα οδήγησης)

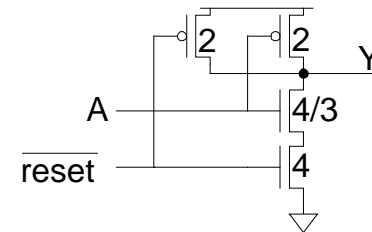
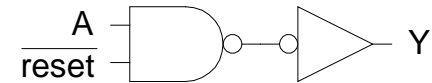
➤ $g_A = 10/9$, $g_B = 2$ αντί $4/3$ της συμμετρικής NAND

– $g_A < 4/3$, $g_B > 4/3$,

➤ $g_{total} = (g_A + g_B) / 2 = 28/18$

– $28/18 > 4/3$

➤ Οι ασύμμετρες πύλες προσεγγίζουν το $g = 1$ στην κρίσιμη είσοδο ($g_A = 10/9$)



➤ Χρησιμοποιούμε μικρότερο nMOS τρανζίστορ στην κρίσιμη είσοδο A – είναι σημαντικό το μικρό τρανζίστορ να είναι κοντά στην έξοδο

–Μείωση χωρητικότητας

➤ Αυξάνουμε το μέγεθος του τρανζίστορ στη μη-κρίσιμη είσοδο – η τελική αντίσταση παραμένει η ίδια (ίδιο συνολικό ρεύμα – ίδια ικανότητα οδήγησης)

➤ $g_A = 10/9$, $g_B = 2$ αντί $4/3$ της συμμετρικής NAND

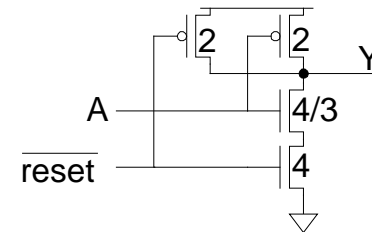
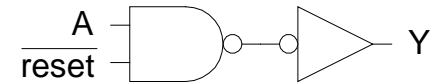
– $g_A < 4/3$, $g_B > 4/3$,

➤ $g_{total} = (g_A + g_B) / 2 = 28/18$

– $28/18 > 4/3$

➤ Οι ασύμμετρες πύλες προσεγγίζουν το $g = 1$ στην κρίσιμη είσοδο ($g_A = 10/9$)

–Αύξηση του logical effort για τις υπόλοιπες εισόδους



➤ Χρησιμοποιούμε μικρότερο nMOS τρανζίστορ στην κρίσιμη είσοδο A – είναι σημαντικό το μικρό τρανζίστορ να είναι κοντά στην έξοδο

–Μείωση χωρητικότητας

➤ Αυξάνουμε το μέγεθος του τρανζίστορ στη μη-κρίσιμη είσοδο – η τελική αντίσταση παραμένει η ίδια (ίδιο συνολικό ρεύμα – ίδια ικανότητα οδήγησης)

➤ $g_A = 10/9$, $g_B = 2$ αντί $4/3$ της συμμετρικής NAND

– $g_A < 4/3$, $g_B > 4/3$,

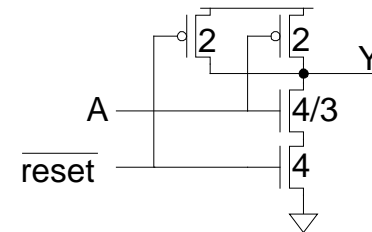
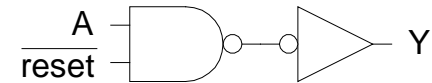
➤ $g_{total} = (g_A + g_B) / 2 = 28/18$

– $28/18 > 4/3$

➤ Οι ασύμμετρες πύλες προσεγγίζουν το $g = 1$ στην κρίσιμη είσοδο ($g_A = 10/9$)

–Αύξηση του logical effort για τις υπόλοιπες εισόδους

–Αύξηση του συνολικού logical effort

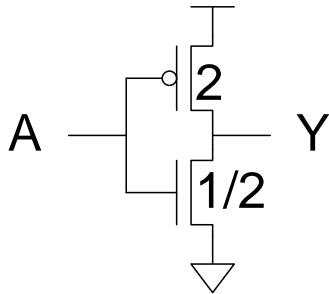


- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- **Skewed Πύλες**
- Βέλτιστος P/N λόγος

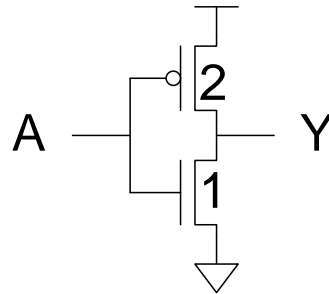
- Οι **skewed πύλες** «ευνοούν» τη θετική ή την αρνητική μετάβαση της εξόδου εις βάρος της άλλης
- Δεν πρέπει να συγχέονται οι στόχοι των ασύμμετρων και skewed πυλών
- Οι **ασύμμετρες πύλες** ευνοούν μια συγκεκριμένη είσοδο μειώνοντας το logical effort αυτής της εισόδου
 - Μπορούν επομένως να χρησιμοποιηθούν για τη βελτίωση της καθυστέρησης κρίσιμων μονοπατιών (critical paths)
- Οι **skewed πύλες** ευνοούν μια συγκεκριμένη μετάβαση μειώνοντας το logical effort για τη συγκεκριμένη μετάβαση
 - Προσφέρει δυνατότητες για νέες οικογένειες (pseudo nMOS, CMOS domino, precharged κυκλώματα)

Skewed Πύλες (2/2)

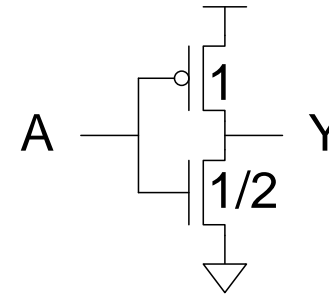
HI-skew
αντιστροφέας



Unskewed αντιστροφέας
(equal rise resistance)

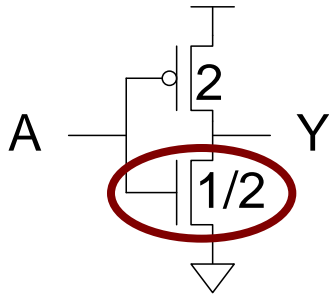


unskewed αντιστροφέας
(equal fall resistance)

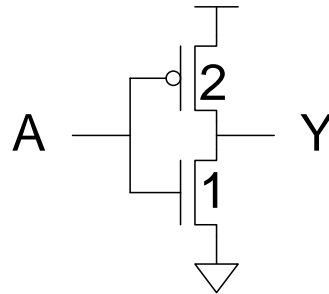


Skewed Πύλες (2/2)

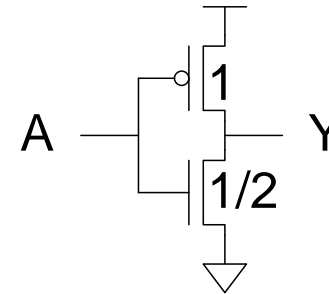
HI-skew
αντιστροφείας



Unskewed αντιστροφείας
(equal rise resistance)



unskewed αντιστροφείας
(equal fall resistance)

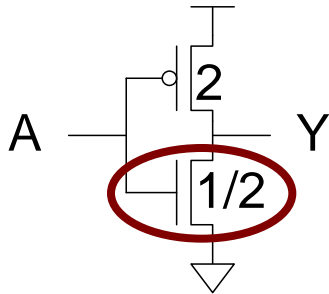


➤ Αν υποθέσουμε ότι η μετάβαση $0 \rightarrow 1$ σε έναν αντιστροφήα είναι η κρίσιμη

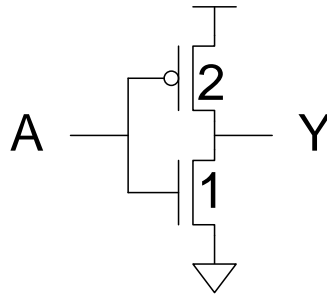
–Ελαττώνουμε το μέγεθος του μη κρίσιμου nMOS transistor

Skewed Πύλες (2/2)

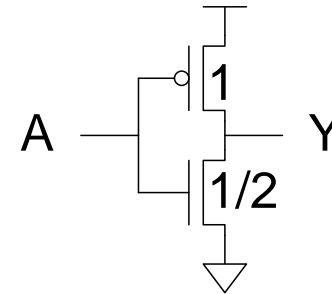
HI-skew
αντιστροφείας



Unskewed αντιστροφείας
(equal rise resistance)



unskewed αντιστροφείας
(equal fall resistance)



➤ Αν υποθέσουμε ότι η μετάβαση $0 \rightarrow 1$ σε έναν αντιστροφέα είναι η κρίσιμη

– Ελαττώνουμε το μέγεθος του μη κρίσιμου nMOS transistor

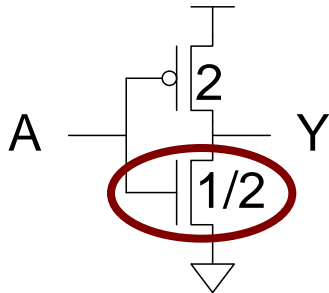
➤ Υπολογίζουμε το logical effort σε σχέση με τον unskewed αντιστροφέα με ίδια ενεργή (effective) αντίσταση για τη μετάβαση αυτή

$$-g_u =$$

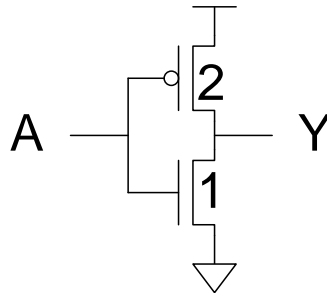
$$-g_d =$$

Skewed Πύλες (2/2)

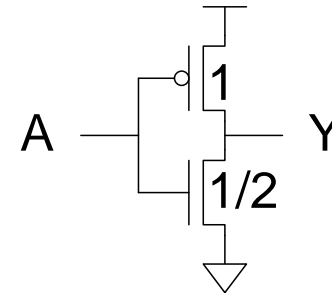
HI-skew
αντιστροφείας



Unskewed αντιστροφείας
(equal rise resistance)



unskewed αντιστροφείας
(equal fall resistance)



➤ Αν υποθέσουμε ότι η μετάβαση $0 \rightarrow 1$ σε έναν αντιστροφή είναι η κρίσιμη

-Ελαττώνουμε το μέγεθος του μη κρίσιμου nMOS transistor

➤ Υπολογίζουμε το logical effort σε σχέση με τον unskewed αντιστροφή με ίδια ενεργή (effective) αντίσταση για τη μετάβαση αυτή

$$-g_u = 2.5 / 3 = 5/6$$

$$-g_d = 2.5 / 1.5 = 5/3$$

HI- and LO-Skew

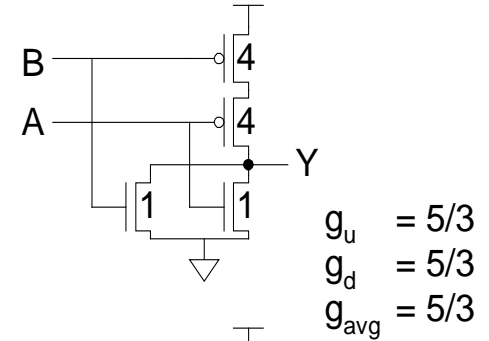
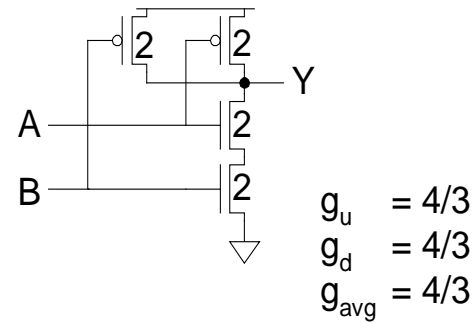
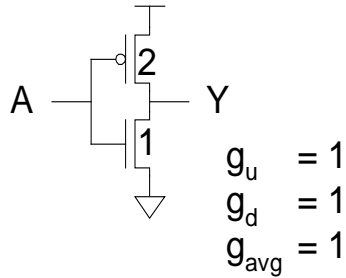
- Το logical effort για μια μετάβαση σε μια skewed πύλη είναι ο λόγος της χωρητ. εισόδου της πύλης προς τη χωρητ. εισόδου ενός unskewed αντιστροφέα που δίνει το ίδιο ρεύμα εξόδου για την ίδια μετάβαση
- Οι Skewed Πύλες μειώνουν το μέγεθος των μη κρίσιμων transistors
 - Οι HI-skew πύλες «ευνοούν» την $0 \rightarrow 1$ μετάβαση της εξόδου (μικρού πλάτους nMOS)
 - Οι LO-skew πύλες «ευνοούν» την $1 \rightarrow 0$ μετάβαση της εξόδου (μικρού πλάτους pMOS)
- Το logical effort είναι μικρότερο για τις «ευνοούμενες» μεταβάσεις αλλά μεγαλύτερο για τις άλλες.

Inverter

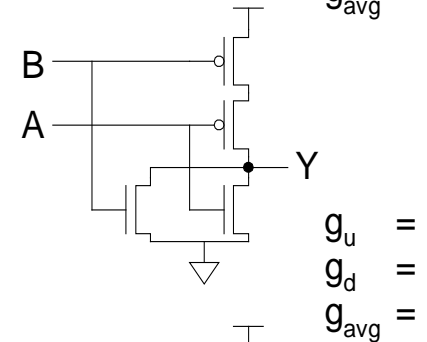
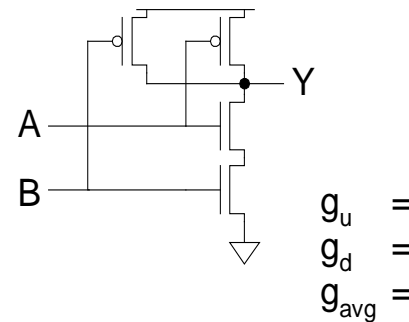
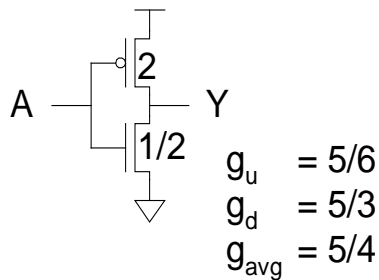
NAND2

NOR2

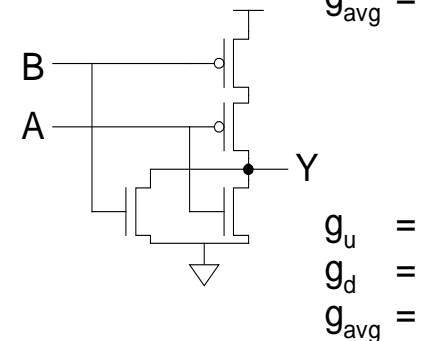
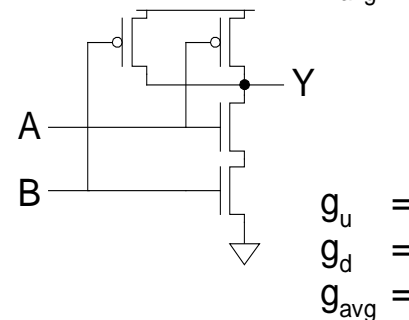
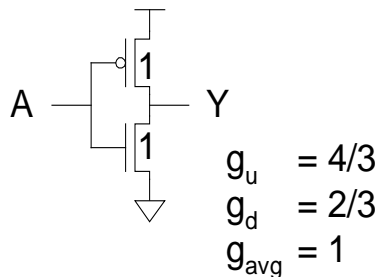
unskewed



HI-skew



LO-skew



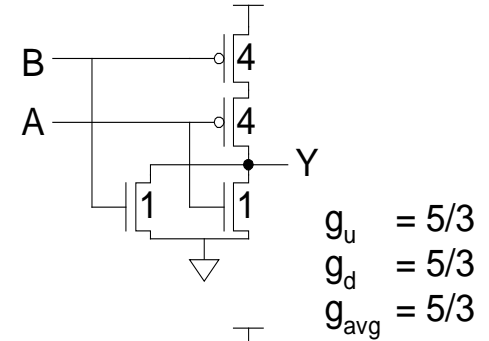
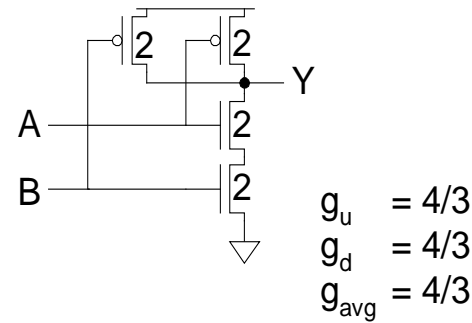
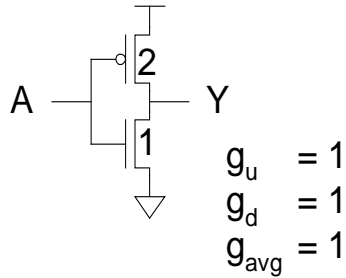
Κατάλογος Skewed Πυλών

Inverter

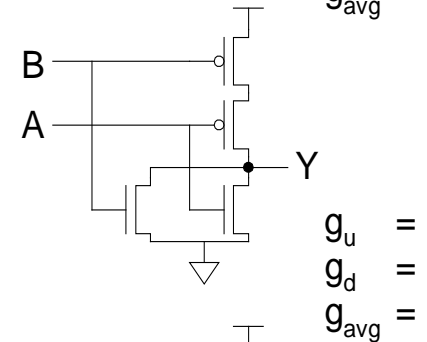
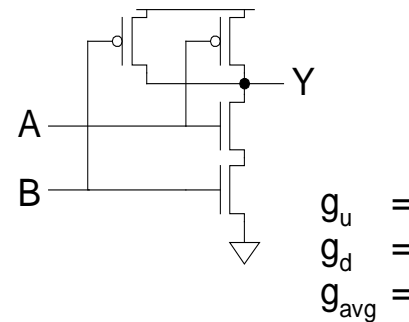
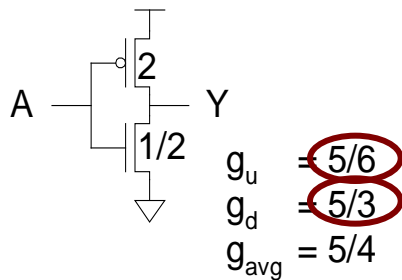
NAND2

NOR2

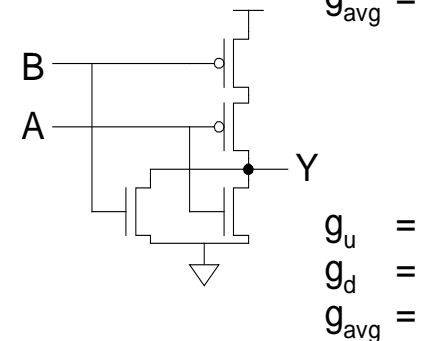
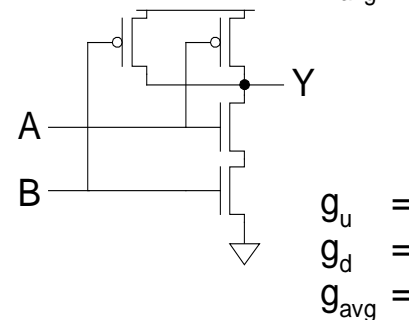
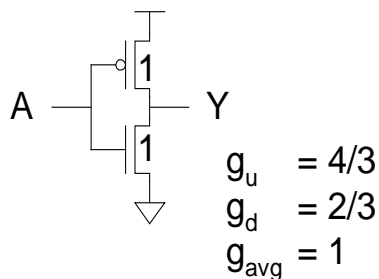
unskewed



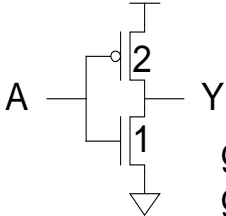
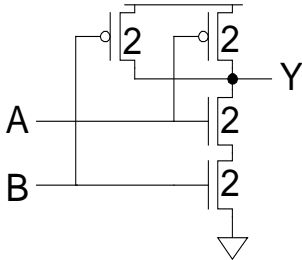
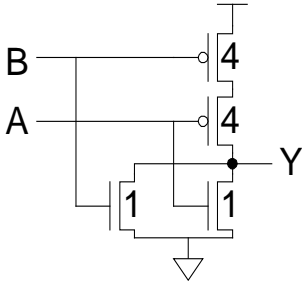
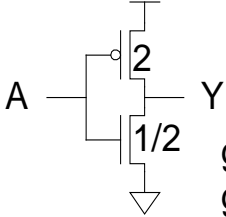
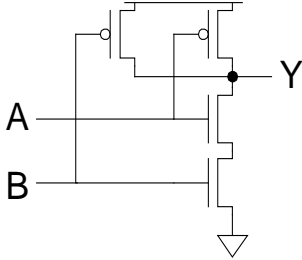
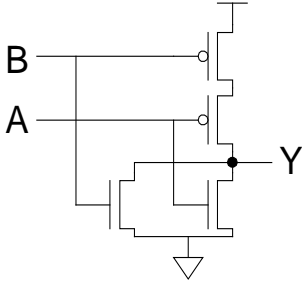
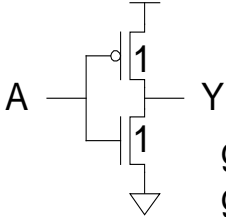
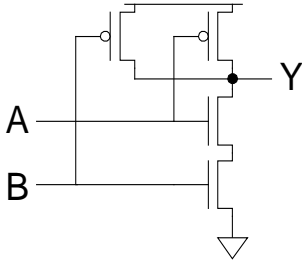
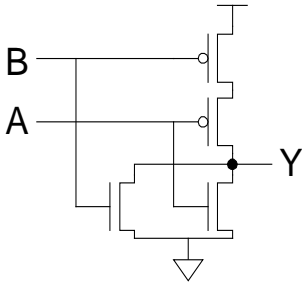
HI-skew

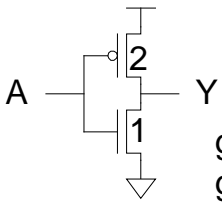
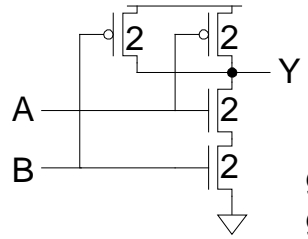
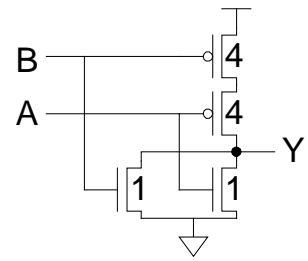
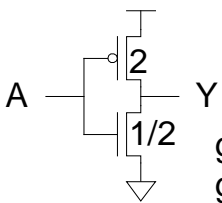
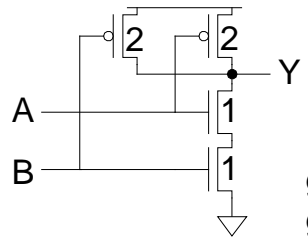
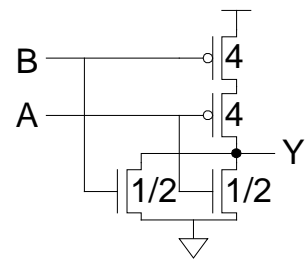
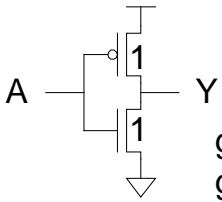
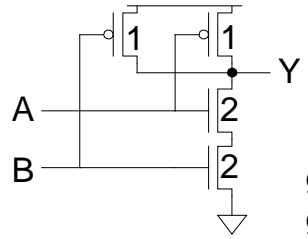
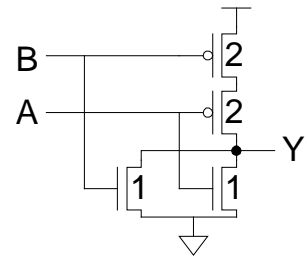


LO-skew

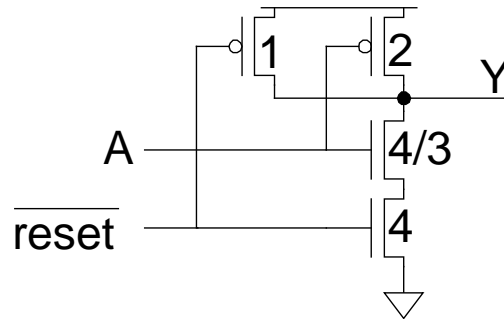
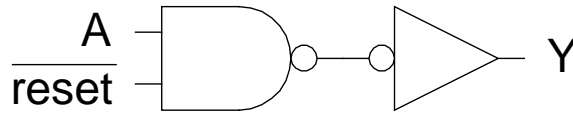


Κατάλογος Skewed Πυλών

	Inverter	NAND2	NOR2
unskewed	 $g_u = 1$ $g_d = 1$ $g_{avg} = 1$	 $g_u = 4/3$ $g_d = 4/3$ $g_{avg} = 4/3$	 $g_u = 5/3$ $g_d = 5/3$ $g_{avg} = 5/3$
HI-skew	 $g_u = 5/6$ $g_d = 5/3$ $g_{avg} = 5/4$	 $g_u =$ $g_d =$ $g_{avg} =$	 $g_u =$ $g_d =$ $g_{avg} =$
LO-skew	 $g_u = 4/3$ $g_d = 2/3$ $g_{avg} = 1$	 $g_u =$ $g_d =$ $g_{avg} =$	 $g_u =$ $g_d =$ $g_{avg} =$

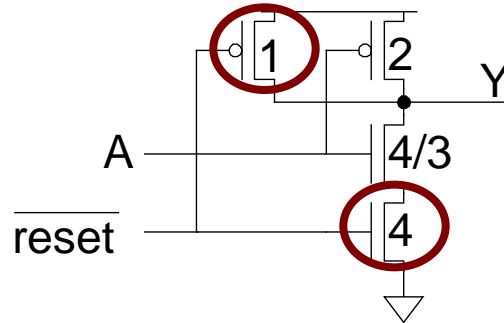
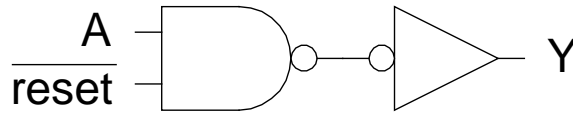
	Inverter	NAND2	NOR2
unskewed	 $g_u = 1$ $g_d = 1$ $g_{avg} = 1$	 $g_u = 4/3$ $g_d = 4/3$ $g_{avg} = 4/3$	 $g_u = 5/3$ $g_d = 5/3$ $g_{avg} = 5/3$
HI-skew	 $g_u = 5/6$ $g_d = 5/3$ $g_{avg} = 5/4$	 $g_u = 1$ $g_d = 2$ $g_{avg} = 3/2$	 $g_u = 3/2$ $g_d = 3$ $g_{avg} = 9/4$
LO-skew	 $g_u = 4/3$ $g_d = 2/3$ $g_{avg} = 1$	 $g_u = 2$ $g_d = 1$ $g_{avg} = 3/2$	 $g_u = 2$ $g_d = 1$ $g_{avg} = 3/2$

Ασύμμετρες Skew Πύλες



- Αν συνδυάσουμε τις Ασύμμετρες και τις Skewed Πύλες

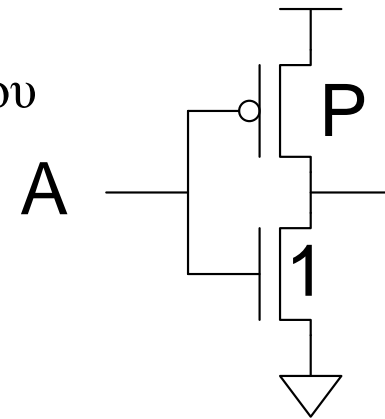
Ασύμμετρες Skew Πύλες



- Αν συνδυάσουμε τις Ασύμμετρες και τις Skewed Πύλες
- Τροποποιούμε το μέγεθος των μη-κρίσιμων transistors στην μη-σημαντική είσοδο
- Μειώνουμε την παρασιτική καθυστέρηση για την κρίσιμη είσοδο

- Εισαγωγή
- Bubble Pushing & Compound Πύλες
- Παράδειγμα Bubble Pushing, Compound Πύλες, Logical Effort
- Διάταξη Εισόδων (Input Ordering)
- Ασύμμετρες Πύλες
- Skewed Πύλες
- Βέλτιστος P/N λόγος

- Επιλέξαμε το λόγο P/N για την μοναδιαία αντίσταση ανερχόμενης και κατερχόμενης μετάβασης ($\mu = 2-3$ για έναν inverter)
- Εναλλακτικά: επιλογή του P/N για ελάχιστη κατά μέσο όρο καθυστέρηση
- Παρ.: αντιστροφείας
 - k λόγος για ίσους χρόνους ανόδου και καθόδου
 - $t_{pdf} = 1 * (P+1)$
 - $t_{pdr} = (k/P) * (P+1)$
 - $t_{pd} = (P+1)(1+k/P)/2$
 - $dt_{pd} / dP = (1 - k/P^2)/2 = 0$
 - Ελάχιστη καθυστέρηση τιμή του P $\approx \sqrt{k}$

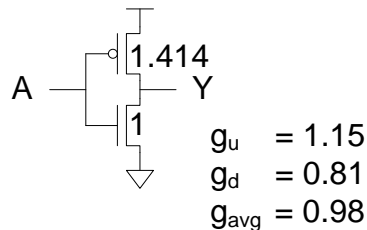


Λόγοι P/N

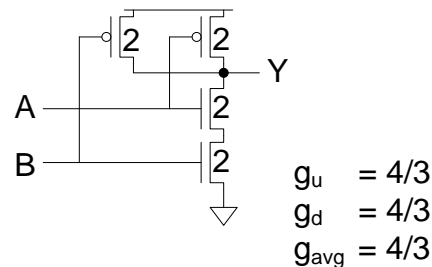
- Γενικά, ο βέλτιστος λόγος P/N είναι η τετραγωνική ρίζα του αντίστοιχου λόγου για ίσες καθυστερήσεις ανόδου και καθόδου
- Για τεχνολογίες όπου $\mu_n / \mu_p = 2$ οι βέλτιστοι λόγοι έχουν ως εξής

Αντιστροφέας

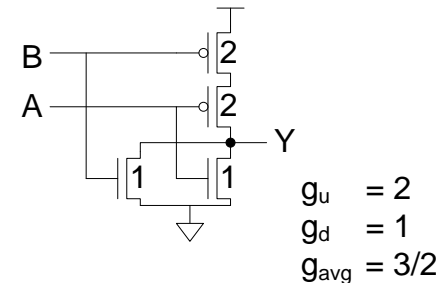
βέλτιστος
P/N λόγος



NAND2



NOR2



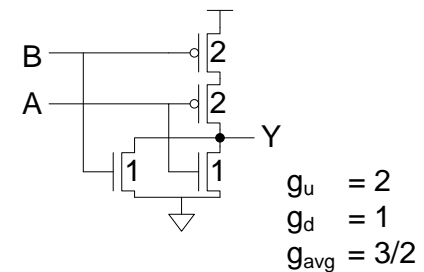
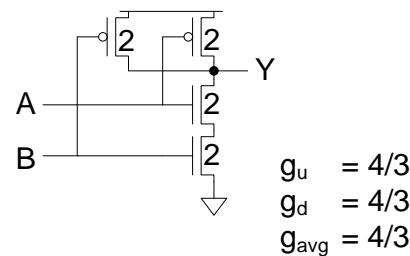
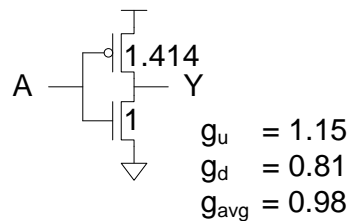
- Μειώνοντας το μέγεθος του pMOS από 2 σε 1.4 για τη NOT
 - βελτίωση της μέσης καθυστέρησης είναι μόνο 3%
- Όμως ελαττώνεται : επιφάνεια, χωρητικότητα, και δυναμική κατανάλωση
- Όμως λόγο των διαφορετικών χρόνων ανόδου και καθόδου, αν ενεργοποιείται η χειρότερη μετάβαση τότε κάποια μονοπάτια του κυκλώματος μπορεί είναι πιο αργά

Αντιστροφέας

NAND2

NOR2

βέλτιστος
P/N λόγος



- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4th Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,
Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) I».
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση
<https://eclass.upatras.gr/courses/EE891/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ