



ΠΑΝΕΠΙΣΤΗΜΙΟ  
ΠΑΤΡΩΝ  
UNIVERSITY OF PATRAS

**ΑΝΟΙΚΤΑ** ακαδημαϊκά  
μαθήματα ΠΠ

# Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Επιμέλεια:

Γεώργιος Θεοδωρίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 [1] ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



[1] <http://creativecommons.org/licenses/by-nc-sa/4.0/>

Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση  
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ  
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



# Ισχύς

- Ισχύς και Ενέργεια
- Δυναμική Κατανάλωση Ισχύος
- Στατική Κατανάλωση Ισχύος

➤ Η ενέργεια μεταφέρεται στο κύκλωμα από μία πηγή τάσης που είναι συνδεδεμένη στον ακροδέκτη (pin)  $V_{DD}$  του chip

➤ Στιγμιαία Ισχύς

$$P(t) = I(t)V(t)$$

➤ Ενέργεια

$$E = \int_0^T P(t) dt$$

➤ Μέση Ισχύς

$$P_{\text{avg}} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t) dt$$

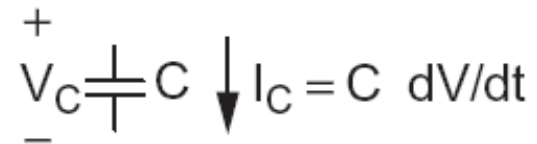
$$P_{VDD}(t) = I_{DD}(t)V_{DD}$$



$$P_R(t) = \frac{V_R^2(t)}{R} = I_R^2(t)R$$



$$\begin{aligned} E_C &= \int_0^{\infty} I(t)V(t) dt = \int_0^{\infty} C \frac{dV}{dt} V(t) dt \\ &= C \int_0^{V_C} V(t) dV = \frac{1}{2} CV_C^2 \end{aligned}$$





➤ Όταν η έξοδος γίνεται «1»

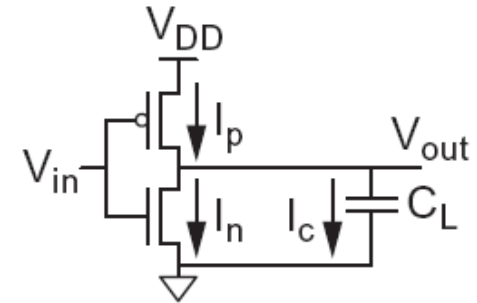
- Η ενέργεια που αποθηκεύεται στον πυκνωτή είναι

$$E_C = \frac{1}{2} C_L V_{DD}^2$$

- Όμως η ενέργεια που παρέχεται από την τροφοδοσία είναι

$$\begin{aligned} E_{VDD} &= \int_0^{\infty} I(t) V_{DD} dt = \int_0^{\infty} C_L \frac{dV}{dt} V_{DD} dt \\ &= C_L V_{DD} \int_0^{V_{DD}} dV = C_L V_{DD}^2 \end{aligned}$$

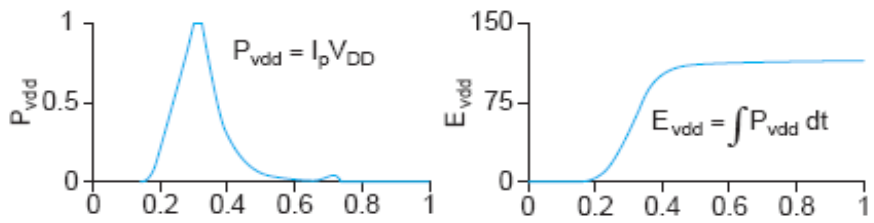
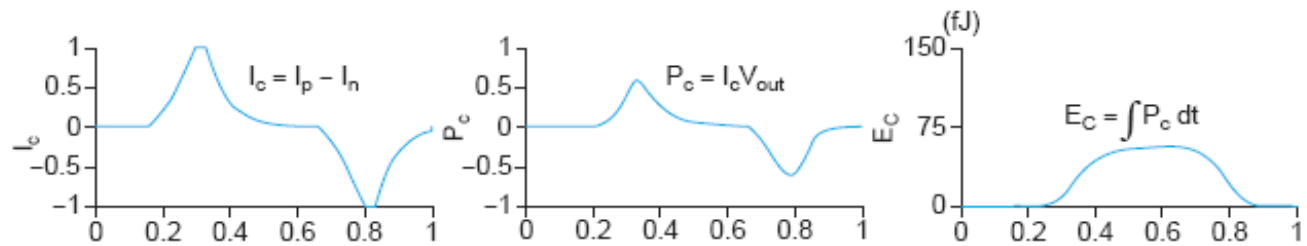
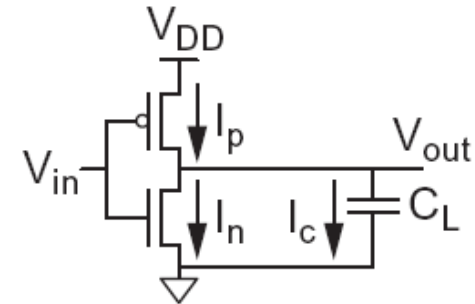
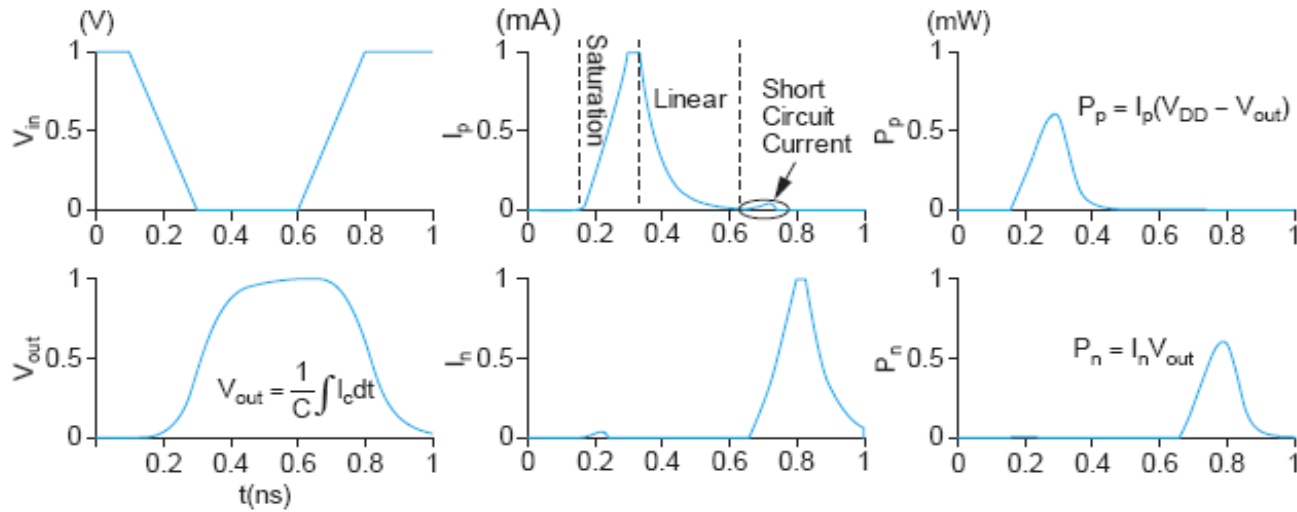
- Η μισή ενέργεια δαπανάται με μορφή θερμότητας στο pMOS και η υπόλοιπη αποθηκεύεται στον πυκνωτή



➤ Όταν η έξοδος γίνεται «0»

- Τα αποθηκευμένο ηλεκτρικό φορτίο του πυκνωτή διαχέεται στη γείωση (GND)
- Κατανάλωση ενέργειας με μορφή θερμότητας στο nMOS

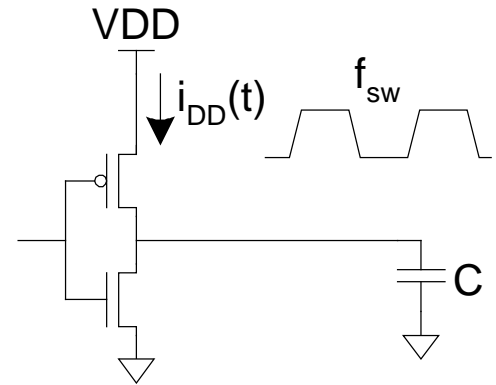
➤ Παράδειγμα:  $V_{DD} = 1.0 \text{ V}$ ,  $C_L = 150 \text{ fF}$ ,  $f = 1 \text{ GHz}$



- Ισχύς και Ενέργεια
- Δυναμική Κατανάλωση Ισχύος
- Στατική Κατανάλωση Ισχύος

# Ισχύς Μετάβασης (Switching Power)

$$\begin{aligned}
 P_{\text{switching}} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt \\
 &= \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt \\
 &= \frac{V_{DD}}{T} [T f_{\text{sw}} C V_{DD}] \\
 &= C V_{DD}^2 f_{\text{sw}}
 \end{aligned}$$



- Έστω  $f$  η συχνότητα του συστήματος
- Έστω  $f_{sw} = \alpha f$  η συχνότητα μεταβάσεων, όπου  $\alpha$  συντελεστής μεταβάσεων
  - Αν το σήμα είναι το ρολόι τότε  $\alpha = 1$
  - Αν το σήμα εκτελεί μία μετάβαση σε κάθε περίοδο ρολογιού, τότε  $\alpha = 1/2$
- Δυναμική κατανάλωση ισχύος  $P_{switching} = \alpha C V_{DD}^2 f$

## Ρεύματα Βραχυκυκλώματος (Short Circuit Current)

---

- Όταν μία πύλη εκτελεί μετάβαση, τότε για μικρό χρονικό διάστημα άγουν ταυτόχρονα nMOS και pMOS
- Δημιουργία μονοπατιού ρεύματος από το  $V_{DD}$  στο GND
- Δημιουργία ρεύματος βραχυκυκλώματος
- Η κατανάλωση ισχύος λόγω ρευμάτων βραχυκυκλώματος είναι <10% σε σχέση με τη κατανάλωση ισχύος λόγω φόρτισης/εκφόρτισης πυκνωτή εξόδου
  - Δεδομένου ότι οι χρόνοι ανόδου & καθόδου είναι ίσοι
- Εν γένει, η συνιστώσα αυτή αγνοείται

➤  $P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$

➤ **Δυναμική κατανάλωση ισχύος:**  $P_{\text{dynamic}} = P_{\text{switching}} + P_{\text{shortcircuit}}$

- Φόρτιση / εκφόρτιση πυκνωτή εξόδου
- Ρεύμα βραχυκυκλώματος

➤ **Στατική κατανάλωση ισχύος:**  $P_{\text{static}} = (I_{\text{sub}} + I_{\text{gate}} + I_{\text{junct}} + I_{\text{contention}}) V_{\text{DD}}$

- Subthreshold leakage
- Gate leakage
- Junction leakage
- Contention current

- Έστω κύκλωμα (chip) με  $10^9$  τρανζίστορ
  - **50M** τρανζίστορ για λογική
    - Μέσο πλάτος: 12  $\lambda$
    - Συντελεστής μεταβάσεων = 0.1
  - **950M** τρανζίστορ για μνήμη
    - Μέσο πλάτος : 4  $\lambda$
    - Συντελεστής μεταβάσεων = 0.02
  - 1.0 V 65 nm process
  - $C = 1 \text{ fF}/\mu\text{m}$  (gate) +  $0.8 \text{ fF}/\mu\text{m}$  (diffusion)
  
- Εκτιμήστε τη δυναμική κατανάλωση ισχύος σε συχνότητα 1 GHz.
  - Αγνοείστε τις χωρητικότητες των καλωδίων και τα ρεύματα βραχυκυκλώματος



$$C_{\text{logic}} = (50 \times 10^6)(12\lambda)(0.025 \mu\text{m} / \lambda)(1.8 \text{ fF} / \mu\text{m}) = 27 \text{ nF}$$

$$C_{\text{mem}} = (950 \times 10^6)(4\lambda)(0.025 \mu\text{m} / \lambda)(1.8 \text{ fF} / \mu\text{m}) = 171 \text{ nF}$$

$$P_{\text{dynamic}} = [0.1C_{\text{logic}} + 0.02C_{\text{mem}}](1.0)^2(1.0 \text{ GHz}) = 6.1 \text{ W}$$

$$P_{\text{switching}} = \alpha C V_{DD}^2 f$$

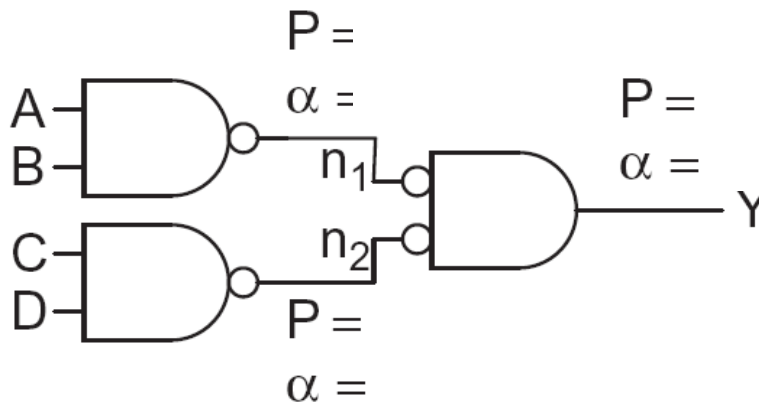
- Στόχοι βελτιστοποίησης (μείωση):
  - Συντελεστής μεταβάσεων
  - Χωρητικότητα
  - Τάση τροφοδοσίας
  - Συχνότητα

- Έστω  $P_i^1$  η πιθανότητα ο κόμβος  $i$  να έχει την τιμή «1». Επομένως,  
 $P_i^0 = 1 - P_i^1$
- Τότε ο συντελεστής μεταβάσεων είναι ίσος με  $\alpha_i = P_i^0 * P_i^1$
- Τυχαία δεδομένα έχουν  $P^1 = 0.5$  και  $\alpha = 0.25$
- Όμως τα δεδομένα δεν είναι συχνά τυχαία
- Δεδομένα που μεταδίδονται μέσω πυλών ANDs, ORs έχουν μικρό συντελεστή μεταβάσεων
  - Εξαρτάται από το κύκλωμα αλλά τυπικά  $\alpha \approx 0.1$

Gate	$P_Y$
AND2	$P_A P_B$
AND3	$P_A P_B P_C$
OR2	$1 - \bar{P}_A \bar{P}_B$
NAND2	$1 - P_A P_B$
NOR2	$\bar{P}_A \bar{P}_B$
XOR2	$P_A \bar{P}_B + \bar{P}_A P_B$

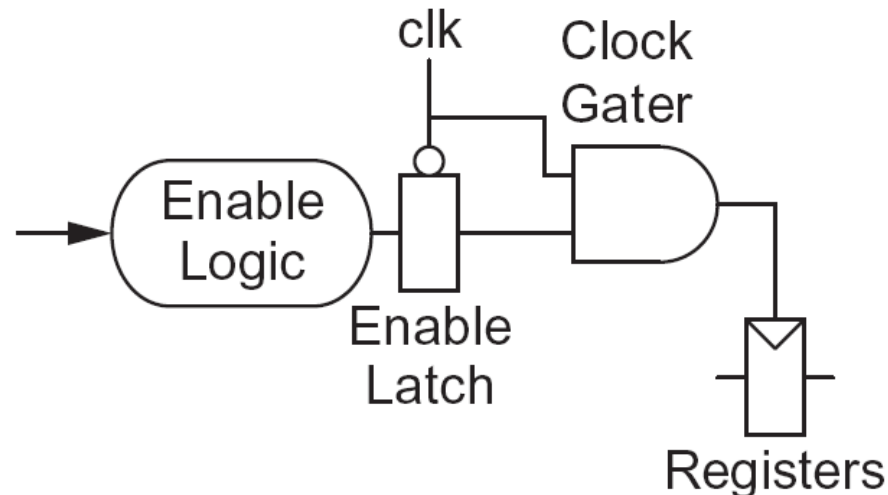
## Παράδειγμα

- Έστω μια πύλη AND 4 εισόδων που υλοποιείται σε επίπεδα πυλών
- Υπολογίστε το συντελεστή μετάβαση σε κάθε κόμβο αν για κάθε είσοδο ισχύει  $P^1 = 0.5$



## Απομόνωση ρολογιού μέσω πύλης (Clock Gating)

- Ένας από τους καλύτερους τρόπους για να μειωθεί η διακοπτική δραστηριότητα των κόμβων είναι να απομονωθεί το σήμα ρολογιού στα μη χρησιμοποιούμενα μέρη του κυκλώματος
  - Μειώνει τη κατανάλωση ρολογιού για το οποίο ισχύει  $\alpha = 1$
  - Αποτρέπει τις μεταβάσεις των κόμβων του υποκυκλώματος που απομονώθηκε
  - Απαιτείται προσοχή για να μην απομονωθεί λάθος υποκύκλωμα
  - Χρειάζεται επιπλέον κύκλωμα (Enable logic) για την ενεργοποίηση της τεχνικής, το οποίο και καταναλώνει ισχύ



## ➤ Χωρητικότητα πύλης (Gate capacitance)

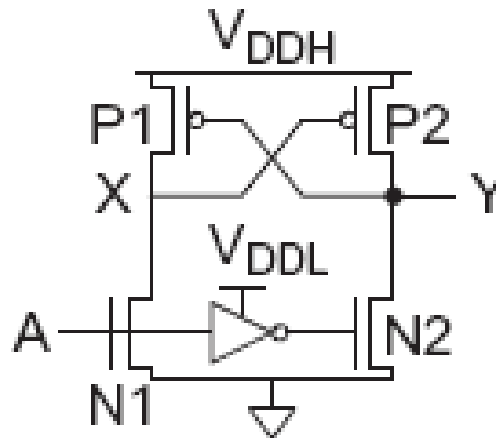
- Λιγότερες βαθμίδες λογικής
- Μικρότερες διαστάσεις πυλών

## ➤ Χωρητικότητα καλωδίων

- Καλό floorplanning ώστε οι αποστάσεις των υποκυκλωμάτων να είναι μικρές
- Οδήγηση καλωδίων μεγάλου μήκους με inverters ή buffers αντί για πολύπλοκες πύλες

## Τάση / Συχνότητα (1/2)

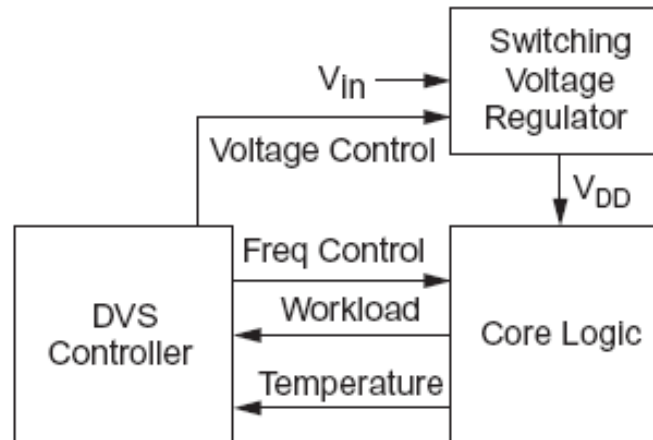
- Λειτουργία κάθε υποκυκλώματος με τη μικρότερη τάση και συχνότητα ικανοποιώντας τις προδιαγραφές
- **Περιοχές διαφορετικών τάσεων τροφοδοσίας (Voltage Domains)**
  - Παροχή διαφορετικών τάσεων τροφοδοσίας σε διαφορετικά υποκυκλώματα
  - Χρήση κυκλωμάτων μετατροπής στάθμης τάσης όταν διασταυρώνονται περιοχές με διαφορετικά  $V_{DD}$  (χαμηλού και υψηλού  $V_{DD}$ )





### ➤ Δυναμική κλιμάκωση τάσης (Dynamic Voltage Scaling)

- Προσαρμογή  $V_{DD}$  και  $f$  σύμφωνα με τις τρέχουσες υπολογιστικές ανάγκες (workload)
- Χρήση κυκλώματος ελέγχου (DVS controller) το οποίο παρακολουθεί σε πραγματικό χρόνο (real time)
  - Τις υπολογιστικές απαιτήσεις (comp. workload)
  - Μετρικές (π.χ. θερμοκρασία)
- και καθορίζει (ελέγχει) την τιμή
  - Τάσης
  - Συχνότητας



- Ισχύς και Ενέργεια
- Δυναμική Κατανάλωση Ισχύος
- Στατική Κατανάλωση Ισχύος

- Στατική ισχύς καταναλώνεται όταν το κύκλωμα είναι σε αδράνεια (δεν εκτελεί υπολογισμούς)
  - Ρεύματα διαρροής (Leakage currents) ρέουν από την τροφοδοσία στη γείωση
  - Στα κυκλώματα τύπου Ratioed (pseudo nMOS logic – κεφ. 9) υπάρχει πάντα κατά τη λειτουργία μονοπάτι ροής ρεύματος από την τροφοδοσία στη γείωση

- Έστω κύκλωμα (chip) με  $10^9$  τρανζίστορ
  - **50M τρανζίστορ για λογική**
    - Μέσο πλάτος: 12  $\lambda$
    - Συντελεστής μεταβάσεων = 0.1
  - **950M τρανζίστορ για μνήμη**
    - Μέσο πλάτος : 4  $\lambda$
    - Συντελεστής μεταβάσεων = 0.02
  - 1.0 V 65 nm process
  - $C = 1 \text{ fF}/\mu\text{m}$  (gate) +  $0.8 \text{ fF}/\mu\text{m}$  (diffusion)
- Υπολογίστε τη στατική κατανάλωση ισχύος
  - Subthreshold leakage
    - Normal  $V_t$ :            100 nA/ $\mu\text{m}$
    - High  $V_t$ :                10 nA/ $\mu\text{m}$
    - High  $V_t$  used in all memories and in 95% of logic gates
  - Gate leakage            5 nA/ $\mu\text{m}$
  - Junction leakage        negligible

$$W_{\text{normal-}V_t} = (50 \times 10^6)(12\lambda)(0.025 \mu\text{m} / \lambda)(0.05) = 0.75 \times 10^6 \mu\text{m}$$

$$W_{\text{high-}V_t} = \left[ (50 \times 10^6)(12\lambda)(0.95) + (950 \times 10^6)(4\lambda) \right] (0.025 \mu\text{m} / \lambda) = 109.25 \times 10^6 \mu\text{m}$$

$$I_{\text{sub}} = \left[ W_{\text{normal-}V_t} \times 100 \text{ nA}/\mu\text{m} + W_{\text{high-}V_t} \times 10 \text{ nA}/\mu\text{m} \right] / 2 = 584 \text{ mA}$$

$$I_{\text{gate}} = \left[ (W_{\text{normal-}V_t} + W_{\text{high-}V_t}) \times 5 \text{ nA}/\mu\text{m} \right] / 2 = 275 \text{ mA}$$

$$P_{\text{static}} = (584 \text{ mA} + 275 \text{ mA})(1.0 \text{ V}) = 859 \text{ mW}$$

# Διαρροή Υποστρώματος (Subthreshold Leakage)

➤ Για  $V_{ds} > 50 \text{ mV}$

$$I_{sub} \approx I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{DD}) - k_{\gamma} V_{sb}}{S}}$$

➤  $I_{off}$  = leakage at  $V_{gs} = 0$ ,  $V_{ds} = V_{DD}$

Τυπικές τιμές στα 65 nm

$$I_{off} = 100 \text{ nA}/\mu\text{m} \quad @ \quad V_t = 0.3 \text{ V}$$

$$I_{off} = 10 \text{ nA}/\mu\text{m} \quad @ \quad V_t = 0.4 \text{ V}$$

$$I_{off} = 1 \text{ nA}/\mu\text{m} \quad @ \quad V_t = 0.5 \text{ V}$$

$$\eta = 0.1$$

$$k_{\gamma} = 0.1$$

$$S = 100 \text{ mV/decade}$$

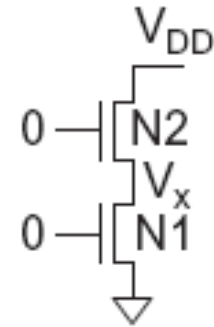
## Φαινόμενο Stack

➤ Εν σειρά συνδεδεμένα OFF τρανζίστορ έχουν μικρότερες διαρροές

- $V_x > 0$ , έτσι το N2 έχει αρνητική  $V_{gs}$

$$I_{sub} = \underbrace{I_{off} 10^{\frac{\eta(V_x - V_{DD})}{S}}}_{N2} = \underbrace{I_{off} 10^{\frac{-V_x + \eta((V_{DD} - V_x) - V_{DD}) - k_\gamma V_x}{S}}}_{N1}$$

$$V_x = \frac{\eta V_{DD}}{1 + 2\eta + k_\gamma}$$



- Το ρεύμα διαρροής μειώνεται ~10x σε 2-stack
- Το ρεύμα διαρροής μειώνεται επιπλέον με χρήση 3-stack

$$I_{sub} = I_{off} 10^{\frac{-\eta V_{DD} \left( \frac{1 + \eta + k_\gamma}{1 + 2\eta + k_\gamma} \right)}{S}} \approx I_{off} 10^{\frac{-\eta V_{DD}}{S}}$$

- Ρεύματα διαρροής και καθυστέρηση (Leakage & delay trade off)
  - Σκοπός: η μείωση των διαρροών ρεύματος σε sleep mode και η μικρή καθυστέρηση σε active mode
  
- Για μείωση διαρροών
  - Αύξηση  $V_t$ : πολλαπλά  $V_t$   
Χρήση χαμηλού Use low  $V_t$  μόνο στα κρίσιμα κυκλώματα
  
  - Αύξηση  $V_s$ : *stack effect*  
*Input vector control* in sleep
  
  - Μείωση  $V_b$   
*Reverse body bias* in sleep  
Or *forward body bias* in active mode



## Διαρροές Πύλης (Gate Leakage)

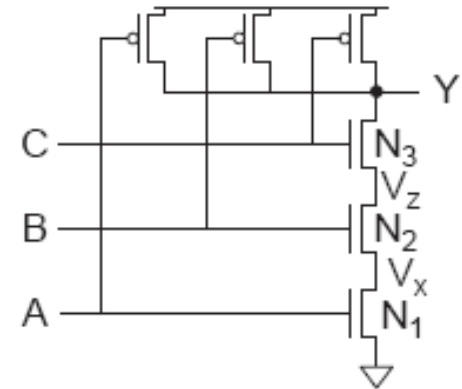
- Ισχυρή εξάρτηση από  $t_{ox}$  και  $V_{gs}$ 
  - Ασήμαντη συνεισφορά σε παλιές τεχνολογίες
  - Προσεγγίζει τις διαρροές υποστρώματος (subthreshold leakage) στα 65 nm και νεότερες τεχνολογίες
- Μία τάξη μικρότερο για το pMOS από ότι τονMOS
- Μείωση διαρροών σε επίπεδο τεχνολογίας χρησιμοποιώντας  $t_{ox} > 10.5 \text{ \AA}$ 
  - High-k gate dielectrics help
  - Κάποιες τεχνολογίες παρέχουν πολλαπλά  $t_{ox}$   
e.g. thicker oxide for 3.3 V I/O transistors
- Μείωση διαρροών σε επίπεδο κυκλώματος με μείωση της τάσης τροφοδοσίας  $V_{DD}$

# NAND3 Leakage Example

➤ 100 nm process

$$I_{gn} = 6.3 \text{ nA} \quad I_{gp} = 0$$

$$I_{offn} = 5.63 \text{ nA} \quad I_{offp} = 9.3 \text{ nA}$$



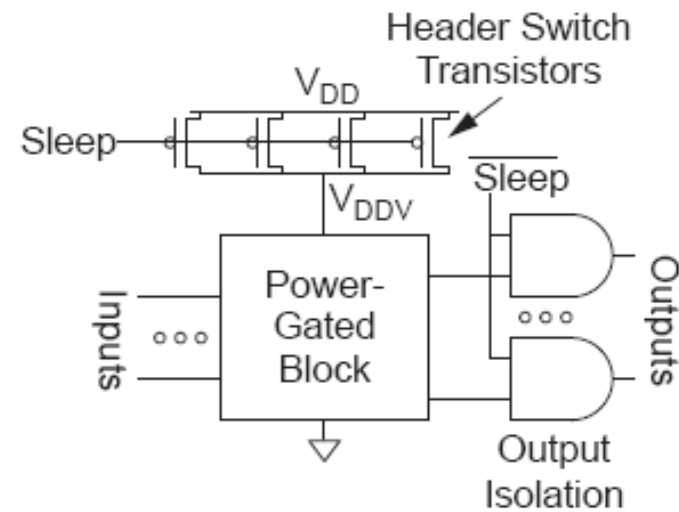
Input State (ABC)	$I_{sub}$	$I_{gate}$	$I_{total}$	$V_x$	$V_z$
000	0.4	0	0.4	stack effect	stack effect
001	0.7	0	0.7	stack effect	$V_{DD} - V_t$
010	0	1.3	1.3	intermediate	intermediate
011	3.8	0	10.1	$V_{DD} - V_t$	$V_{DD} - V_t$
100	0.7	6.3	7.0	0	stack effect
101	3.8	6.3	10.1	0	$V_{DD} - V_t$
110	5.6	12.6	18.2	0	0
111	28	18.9	46.9	0	0

## Διαρροή Επαφής (Junction Leakage)

---

- Οφείλεται στην ανάστροφη πόλωση των p-n επαφών
  - Μεταξύ διάχυσης και υποστρώματος ή πηγαδιού
- Σε συνηθισμένες διόδους η διαρροή αυτή είναι ασήμαντη
- Όμως το Band-to-band tunneling (BTBT) μπορεί να είναι σημαντικό
  - Ειδικά σε τρανζίστορ με μεγάλο  $V_t$  όπου οι άλλες μορφές διαρροών είναι μικρές
  - Χειρότερη περίπτωση όταν  $V_{db} = V_{DD}$
- Επιδύνωση του Gate-induced drain leakage (GIDL)
  - Worst for  $V_{gd} = -V_{DD}$  (or more negative)

- Μη παροχή τροφοδοσίας σε ανενεργά υποκυκλώματα για μείωση ρευμάτων διαρροής
  - Χρήση εικονικού  $V_{DD}$  ( $V_{DDV}$ )
  - Απομόνωση των εξόδων για την αποφυγή με έγκυρών λογικών επιπέδων στα επόμενα υποκυκλώματα
- Η μείωση της τάσης μέσω των sleep transistor μειώνει την ταχύτητα στην κανονική λειτουργία
  - Αύξηση του πλάτους του τρανζίστορ για τη απαλοιφή του φαινομένου
- Η ενεργοποίηση μεγάλων sleep transistor κοστίζει σε δυναμική κατανάλωση
  - Χρησιμοποιείται μόνο όταν το κύκλωμα θα είναι ανενεργό για μεγάλο χρονικό διάστημα



- Η ανάπτυξη της παρουσίασης βασίστηκε στις διαφάνειες του συγγράμματος «CMOS VLSI Design: A Circuits and Systems Perspective (4<sup>th</sup> Edition)», Neil H.E. Weste, David Money Harris, Pearson, 2011.
- Διαθέσιμες στη διαδικτυακή διεύθυνση  
<http://pages.hmc.edu/harris/cmosvlsi/4e/index.html>  
© 2011 David Money Harris

- Copyright Πανεπιστήμιο Πατρών,  
Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,  
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) I».  
Έκδοση: 1.0 Πάτρα 2015
- Διαθέσιμο στη διαδικτυακή διεύθυνση  
<https://eclass.upatras.gr/courses/EE891/>

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου των διδασκόντων καθηγητών.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο την αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση  
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ  
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ