



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

Επιμέλεια:

Γεώργιος Θεοδορίδης, Επίκουρος Καθηγητής

Ανδρέας Εμερετλής, Υποψήφιος Διδάκτορας

Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών

ΑΝΟΙΚΤΑ ακαδημαϊκά
μαθήματα **ΠΠ**

Άδειες Χρήσης

- Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Διατήρηση Σημειωμάτων

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Ανάπτυξη

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.

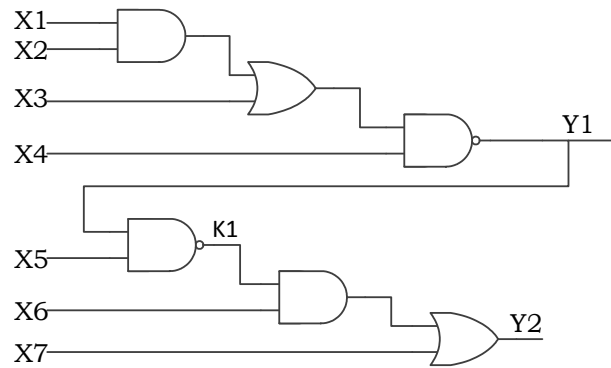


Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

ΦΡΟΝΤΙΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ VLSI I

ΑΣΚΗΣΗ 1

Για το παρακάτω κύκλωμα δώστε το σχεδιάγραμμα φυσικού σχεδιασμού (layout) σε CMOS στατική λογική χρησιμοποιώντας την τεχνική των μονοπατιών Euler (Euler paths). Μπορείτε για λόγους ευκρίνειας να δώσετε τον όλο φυσικό σχεδιασμό σε τμήματα (υπό - κυκλώματα).



ΛΥΣΗ

Όπως είναι γνωστό η CMOS στατική λογική, στην οποία πρέπει να υλοποιηθεί το παραπάνω κύκλωμα, υλοποιεί συναρτήσεις συμπληρωματικής λογικής. Επομένως, πρέπει να βρούμε κόμβους στο κύκλωμα (υποκυκλώματα) που η λογική τους συνάρτηση είναι συμπληρωματικής λογικής. Στο παραπάνω κύκλωμα υπάρχουν τρεις τέτοιοι κόμβοι που είναι οι Y_1 , K_1 , και Y_2 .

Το επόμενο βήμα είναι να βρούμε τις λογικές συναρτήσεις των παραπάνω κόμβων. Έτσι, έχουμε: $Y_1 = \overline{((X_1 \cdot X_2) + X_3) \cdot X_4}$, $K_1 = \overline{Y_1 \cdot X_5}$ και $Y_2 = \overline{(K_1 \cdot X_6) + X_7}$.

Στη συνέχεια, για κάθε κόμβο πρέπει να σχεδιάσουμε την υλοποίηση της λογικής του συνάρτησης σε επίπεδο τρανζίστορ. Δεδομένου της υλοποίησης του όλου κυκλώματος σε CMOS στατική λογική, το σχηματικό διάγραμμα σε επίπεδο τρανζίστορ θα αποτελείται από το n-block, το οποίο περιλαμβάνει μόνο nMOS τρανζίστορ και το p-block, που περιλαμβάνει μόνο pMOS τρανζίστορ.

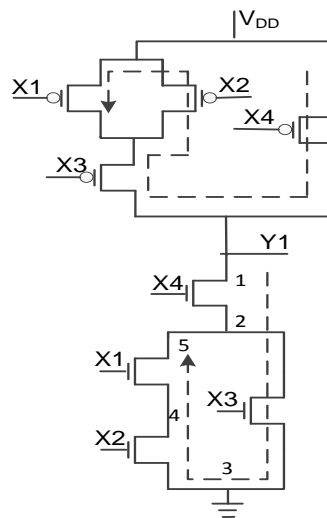
Όσον αφορά τη συνδεσμολογία των τρανζίστορ στο κάθε μπλοκ, υπάρχουν οι ακόλουθοι κανόνες.

Πρώτον, τα δύο μπλοκ είναι δικά, το οποίο σημαίνει ότι τρανζίστορ που είναι εν σειρά συνδεδεμένα στο ένα μπλοκ είναι συνδεδεμένα παράλληλα στο μπλοκ και το αντίστροφο (παράλληλα συνδεδεμένα τρανζίστορ στο ένα μπλοκ συνδέονται εν σειρά στο άλλο).

Δεύτερον, για να υλοποιήσουμε το n-block ακολουθούμε την εξής διαδικασία. Αν δύο ή περισσότερες μεταβλητές σχετίζονται με τη λογική πράξη AND, τότε τα αντίστοιχα τρανζίστορ συνδέονται εν σειρά. Επίσης, αν δύο ή περισσότερες μεταβλητές σχετίζονται με τη λογική πράξη OR, τότε τα αντίστοιχα τρανζίστορ συνδέονται παράλληλα.

Όσον αφορά την υλοποίηση του p-block, δεδομένης της υλοποίησης του n-block, αυτή προκύπτει άμεσα με βάση την αρχή του δυισμού, που περιγράφηκε παραπάνω.

Έτσι, με βάση τα παραπάνω η υλοποίηση σε επίπεδο τρανζίστορ του κόμβου Y1 που περιγράφεται από τη λογική συνάρτηση $Y_1 = ((X_1 \cdot X_2) + X_3) \cdot X_4$ έχει ως εξής:



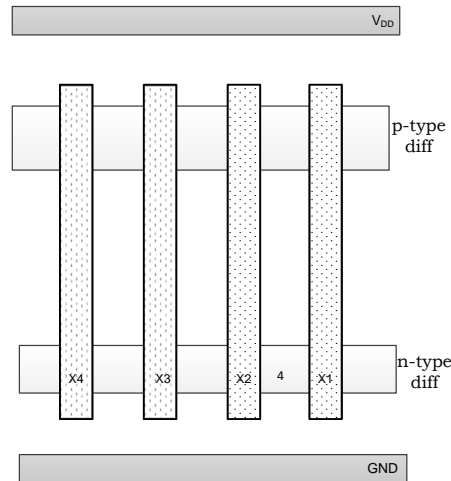
Σχ. 1. Υλοποίηση σε επίπεδο τρανζίστορ της λογικής συνάρτησης

$$Y_1 = ((X_1 \cdot X_2) + X_3) \cdot X_4$$

Στη συνέχεια, για να σχεδιάσουμε το layout πρέπει να βρούμε στο σχηματικό σε επίπεδο τρανζίστορ τα μονοπάτια Euler (Euler paths) σε κάθε μπλοκ. Ως μονοπάτι Euler σε ένα μπλοκ ορίζεται το μονοπάτι που διατρέχει όλα τα τρανζίστορ του μπλοκ περνώντας από το κάθε τρανζίστορ μία μόνο φορά. Για το σχεδιασμό του layout πρέπει να βρούμε δύο μονοπάτια (ένα για το n-block και ένα για το p-block) τα οποία να έχουν την ίδια διαδοχή μεταβλητών. Πρέπει να τονιστεί ότι μπορεί να υπάρχουν περισσότερα από ένα μονοπάτια Euler, αρκεί να χρησιμοποιήσουμε ένα από αυτά.

Δύο τέτοια μονοπάτια σημειώνονται με διακεκομμένη γραμμή στο Σχ. 1. Συγκεκριμένα για το n-block το μονοπάτι είναι $X_4 \rightarrow X_3 \rightarrow X_2 \rightarrow X_1$ δηλαδή, το μονοπάτι που διέρχεται από τα σημεία $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5$ (ομοίως και για το p-block). Στη συνέχεια, με βάση τα μονοπάτια ακολουθεί ο layout σχεδιασμός.

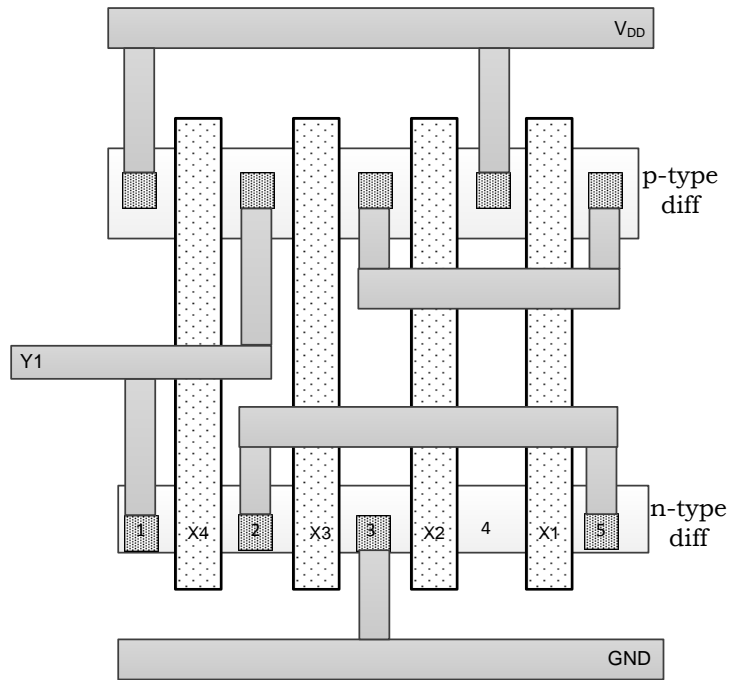
Η συνάρτηση $Y_1 = \overline{((X_1 \cdot X_2) + X_3)} \cdot X_4$ είναι τεσσάρων μεταβλητών συνεπώς, το κάθε μπλοκ θα περιέχει τέσσερα τρανζίστορ. Επίσης, λόγω της διαδοχής $X_4 \rightarrow X_3 \rightarrow X_2 \rightarrow X_1$, τα τρανζίστορ θα ονοματίζονται με αυτή τη διαδοχή από αριστερά προς τα δεξιά. Θυμηθείτε, ότι τρανζίστορ δημιουργείται όταν υπάρχει διασταύρωση πολυπυριτίου με διάχυση. Έτσι έχουμε το ακόλουθο σχηματικό.



Σχ. 2. Τρανζίστορ του n-block και p-block

Στη συνέχεια πρέπει να γίνουν οι συνδέσεις μεταξύ των τρανζίστορ. Για το σκοπό αυτό χρησιμοποιείται η διαδοχή των τρανζίστορ, όπως αυτή ορίζεται από το χρησιμοποιούμενο μονοπάτι Euler δηλαδή, $X_4 \rightarrow X_3 \rightarrow X_2 \rightarrow X_1$ (σημεία $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5$).

Διατρέχοντας το μονοπάτι στο Σχ. 1, το πρώτο σημείο είναι το σημείο 1, που αντιστοιχεί στον πάνω ακροδέκτη του τρανζίστορ X_4 και το οποίο πρέπει να συνδεθεί στην έξοδο. Επειδή, ο ακροδέκτης του τρανζίστορ αντιστοιχεί σε διάχυση τύπου n και η έξοδος Y_1 σε μέταλλο, χρησιμοποιείται μία επαφή (μέταλλο-διάχυση), όπως δείχνεται στο Σχ. 3. Επίσης, χρησιμοποιείται και μία μεταλλική γραμμή για την έξοδο του n-block.



Σχ. 3. Layout της συνάρτησης $Y_1 = \overline{((X_1 \cdot X_2) + X_3) \cdot X_4}$

Για το σημείο 2 του μονοπατιού (Σχ. 1) βλέπουμε ότι αυτό αντιστοιχεί σε μία κοινή σύνδεση ακροδεκτών των τρανζίστορ X4, X3, X1. Η κοινή σύνδεση των X4, X3 υλοποιείται άμεσα από την τοποθέτηση των τρανζίστορ X4, X3 διότι αυτά μοιράζονται μία κοινή περιοχή διάχυσης (Σχ.2, Σχ.3). Όμως, ο κοινός κόμβος (X4, X3) πρέπει να συνδεθεί με τον ακροδέκτη του X1 και η σύνδεση αυτή πρέπει να γίνει με μεταλλική γραμμή ώστε να μειωθεί η καθυστέρηση. Για το λόγο αυτό στο σημείο 2 του Σχ.3 χρησιμοποιείται μία επαφή (μέταλλο-διάχυση). Δεν κάνουμε τώρα τη σύνδεση του κόμβου (X4, X3) με τον ακροδέκτη του X1 αλλά περιμένουμε να βρούμε τον ακροδέκτη όπως θα διατρέχουμε το μονοπάτι.

Το επόμενο σημείο του μονοπατιού είναι το σημείο 3 (Σχ.1). Αυτό αντιστοιχεί στη σύνδεση των ακροδεκτών των τρανζίστορ X3, X4 με τη γείωση. Η κοινή σύνδεση των X3, X4 εξασφαλίζεται από το γεγονός ότι αυτά μοιράζονται κοινή περιοχή διάχυσης. Όσον αφορά τη σύνδεση με τη γείωση, αυτή επιτυγχάνεται με επαφή και μεταλλική γραμμή (Σχ.3).

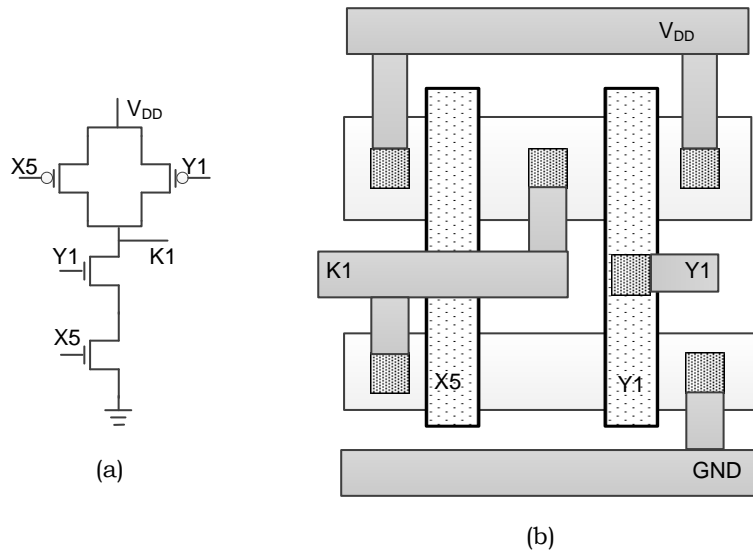
Στη συνέχεια, το επόμενο σημείο είναι το 4 (Σχ.1) που αντιστοιχεί στη σύνδεση των ακροδεκτών των X2, X1. Όπως, εξηγήθηκε προηγουμένως, αυτή η σύνδεση επιτυγχάνεται λόγω της περιοχής διάχυσης που μοιράζονται από κοινού τα X2, X1 (Σχ.3).

Τέλος, το τελευταίο σημείο του μονοπατιού είναι το 5 το οποίο πρέπει να συνδεθεί με τον κοινό κόμβο των X4, X3 (σημείο 2, Σχ.1). Όπως σημειώθηκε, στο 2 του Σχ.3

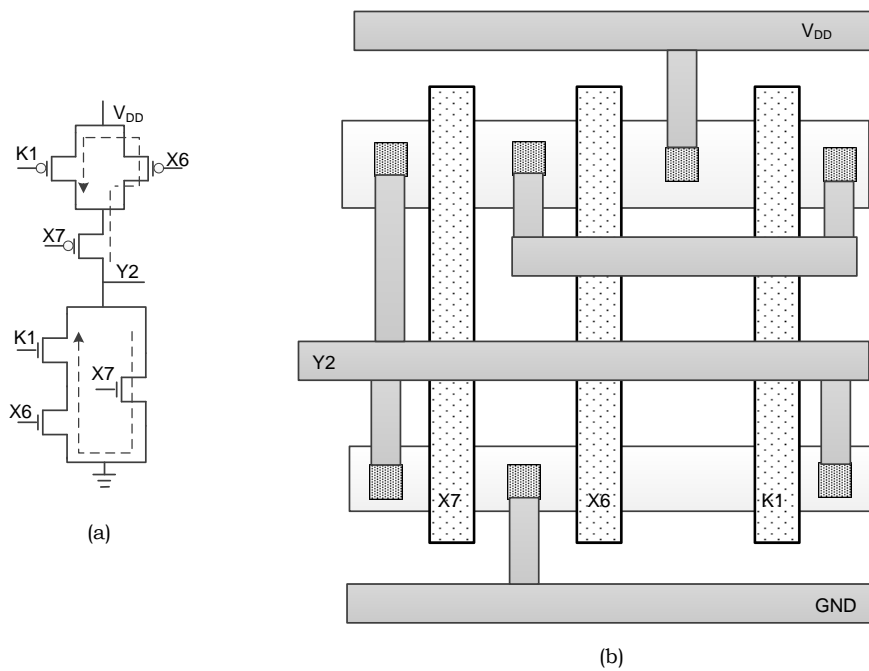
είχαμε τοποθετήσει μία επαφή για το σκοπό αυτό. Έτσι, κάνουμε την αντίστοιχη σύνδεση.

Η εξήγηση για τις συνδέσεις των τρανζίστορ του p-block είναι παρόμοια.

Με το ίδιο τρόπο υλοποιούνται και οι συναρτήσεις των κόμβων K1, Y2. Τα διαγράμματα σε επίπεδο τρανζίστορ και τα αντίστοιχα layouts παρουσιάζονται στα ακόλουθα σχήματα.



Σχ. 4: Υλοποίηση της συνάρτησης $K_1 = \overline{Y_1} \cdot X_5$. Επίπεδο τρανζίστορ (a), layout (b)



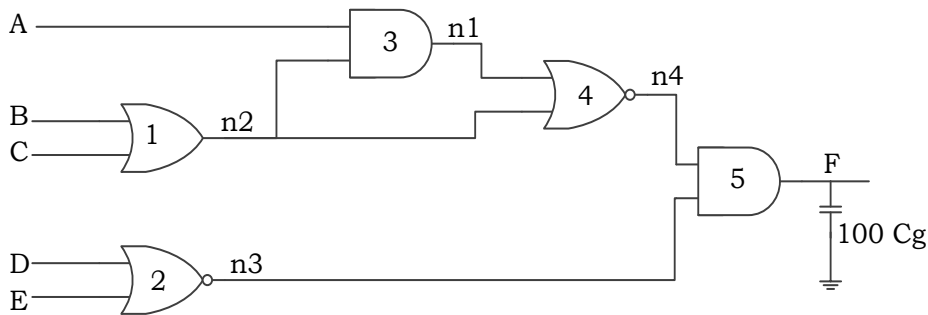
Σχ. 5: Υλοποίηση της συνάρτησης $Y_2 = \overline{(K_1 \cdot X_6)} + X_7$. Επίπεδο τρανζίστορ (a), layout (b)

Προσέξτε ότι και στα σχήματα Σχ.3 και Σχ.4 υπάρχουν επιπλέον επαφές μέταλλο-πολυπυρίτιο. Συγκεκριμένα, υπάρχει μία τέτοια επαφή στο τρανζίστορ Y1 του Σχ4. Ο λόγος είναι ότι το Y1 είναι έξοδος στο Σχ3 και έχει υλοποιηθεί με μέταλλο. Όμως στο Σχ. 4 είναι είσοδος δηλαδή, πολυπυρίτιο.

ΑΣΚΗΣΗ 2

Θεωρείστε το παρακάτω κύκλωμα όπου η πιθανότητα κάθε σήμα εισόδου να είναι σε υψηλή λογική στάθμη ισούται με $1/2$ ($p_A^1 = p_B^1 = p_C^1 = p_D^1 = p_E^1 = 1/2$) και ότι τα σήματα εισόδου είναι στατιστικά ανεξάρτητα. Θεωρείστε επίσης, ότι το σήμα εξόδου, F , οδηγεί φορτίο $C = 100C_g$, ενώ για τα εσωτερικά σήματα λάβετε υπόψη μόνο την χωρητικότητα πύλης του τρανζίστορ, C_g , υποθέτοντας $C_g = C_{nMOS} = C_{pMOS}$ και αγνοείστε όλες τις υπόλοιπες χωρητικότητες.

Για το κύκλωμα αυτό υπολογίστε τη δυναμική κατανάλωση ισχύος συναρτήσει της τάσης τροφοδοσίας V_{dd} και της συχνότητα λειτουργίας f , όταν είναι υλοποιημένο: **α) με στατική και β) με δυναμική CMOS λογική.**



ΛΥΣΗ

A. Όπως είναι γνωστό, η δυναμική κατανάλωση ισχύος, P_{dyn} , ενός κόμβου, i , δίνεται από τον παρακάτω τύπο

$$P_{dyn}^i = a C V_{dd}^2 f = p_i^1 p_i^0 C_i V_{dd}^2 f = p_i^1 (1 - p_i^1) C V_{dd}^2 f \quad (1)$$

όπου, a είναι ο συντελεστής διακοπτικής δραστηριότητας (ή συντελεστής μεταβάσεων), C_i είναι η χωρητικότητα του κόμβου, ενώ V_{dd} , και f είναι η τάση τροφοδοσίας και η συχνότητα λειτουργίας του κυκλώματος, αντίστοιχα.

Επίσης, ο συντελεστής μεταβάσεων, a , είναι ίσος με το γινόμενο $a = p_i^1 p_i^0$ όπου p_i^1 είναι η πιθανότητα ο κόμβος i να βρίσκεται σε υψηλή στάθμη και p_i^0 η πιθανότητα ο κόμβος i να βρίσκεται σε χαμηλή στάθμη.

Αναφορικά με τη δυναμική κατανάλωση ενός κυκλώματος, αυτή είναι ίση με το άθροισμα των δυναμικών καταναλώσεων των κόμβων αυτού. Επομένως, για το κύκλωμα του σχήματος πρέπει να βρούμε τη δυναμική κατανάλωση κάθε κόμβου και

να τις προσθέσουμε. Συγκεκριμένα, για κάθε κόμβο πρέπει να βρούμε το συντελεστή a και τη χωρητικότητα αυτού και να εφαρμόσουμε την (1).

Για να βρούμε το συντελεστή a πρέπει να υπολογίσουμε την πιθανότητα η λογική συνάρτηση του κόμβου να είναι σε λογικό «1». Ο υπολογισμός των πιθανοτήτων των βασικών πυλών για ανεξάρτητες εισόδους δίνεται από τον παρακάτω πίνακα, ο οποίος προκύπτει από την εφαρμογή βασικών γνώσεων της θεωρίας πιθανοτήτων.

	AND ($y=ab$)	NAND ($y=(\overline{ab})$)	OR ($y=a+b$)	NOR ($y=\overline{a+b}$)
p_y^1	$p_a^1 p_b^1$	$1 - (p_a^1 p_b^1)$	$p_a^1 + p_b^1 - p_a^1 p_b^1$	$1 - (p_a^1 + p_b^1 - p_a^1 p_b^1)$
p_y^0	$1 - (p_a^1 p_b^1)$	$p_a^1 p_b^1$	$1 - (p_a^1 + p_b^1 - p_a^1 p_b^1)$	$p_a^1 + p_b^1 - p_a^1 p_b^1$

Έτσι, χρησιμοποιώντας τον παραπάνω πίνακα, μπορούμε να υπολογίσουμε την πιθανότητα p_y^1 κάθε πύλης, αν ξέρουμε τις πιθανότητες των εισόδων της. Όμως, χρειάζεται ιδιαίτερη προσοχή διότι οι υπολογισμοί του παραπάνω πίνακα βασίζονται στη θεώρηση ότι οι εισοδοί a , b , της πύλης είναι στατικά ανεξάρτητες. Όμως, λόγω τη τοπολογίας του κυκλώματος, μπορεί να προκύψουν εξαρτήσεις ακόμη και στην περίπτωση που κύριες εισοδοί του κυκλώματος είναι στατικά ανεξάρτητες.

Συγκεκριμένα, αν σε μια πύλη μπορούμε να φτάσουμε από περισσότερα από ένα μονοπάτια που ξεκινούν από το ίδιο σημείο, τότε υπάρχει εξάρτηση μεταξύ των μονοπατιών. Επομένως, ο υπολογισμός της πιθανότητας της πύλης δε μπορεί να γίνει με χρήση του παραπάνω πίνακα, γιατί οι εισοδοί της πύλης δεν είναι πια ανεξάρτητες. Στην περίπτωση αυτή, ο κόμβος εξόδου της πύλης καλείται Reconvergent FanOut κόμβος (RFO κόμβος).

Για να υπολογιστεί η πιθανότητα ενός RFO κόμβου, πρέπει να βρούμε μια λογική συνάρτηση για τον κόμβο αυτό, όπου οι μεταβλητές αυτής να είναι στατιστικά ανεξάρτητα σήματα. Αυτό μπορεί να γίνει πηγαίνοντας προς τα πίσω μέχρι τη κυκλωματική βαθμίδα όπου αρχίζει η εξάρτηση και εκφράζοντας τον κόμβο συναρτήσει των μεταβλητών αυτής της κυκλωματικής βαθμίδας.

Συγκεκριμένα, για την περίπτωση μας, βλέπουμε ότι κόμβος $n4$ είναι ένας RFO διότι υπάρχουν δύο μονοπάτια που ξεκινούν από το κόμβο $n2$ και καταλήγουν στον $n4$. Τα μονοπάτια αυτά είναι: $n2 \rightarrow n1 \rightarrow n4$ και $n2 \rightarrow n4$. Επομένως, αν χρησιμοποιηθεί η

συνάρτηση $n_4 = \overline{n_1 + n_2}$ τότε ο υπολογισμός της πιθανότητας είναι λάθος, επειδή τα σήματα n_1 και n_2 δεν είναι πια ανεξάρτητα.

Στην περίπτωση αυτή, πρέπει να εκφράσουμε τον κόμβο με ανεξάρτητα σήματα (μεταβλητές). Έτσι, πηγαίνουμε προς τα πίσω μέχρι το λογικό επίπεδο που αρχίζει η εξάρτηση και βρίσκουμε τη λογική συνάρτηση. Στην προκειμένη περίπτωση έχουμε:
 $n_4 = \overline{n_1 + n_2} = \overline{An_2 + n_2} = \overline{n_2}$.

Έτσι, ο υπολογισμό του συντελεστή a σε κάθε κόμβο έχει ως εξής:

Κόμβος (i)	Λογική συνάρτηση	p_i^1	$a_i = p_i^1 (1 - p_i^1)$
n_2	$B+C$	$p_A^1 + p_B^1 - p_A^1 p_B^1 = \frac{3}{4}$	$\frac{3}{4} \frac{1}{4} = \frac{3}{16}$
n_1	An_2	$p_A^1 + p_{n_2}^1 = \frac{1}{2} \frac{3}{4} = \frac{3}{8}$	$\frac{3}{8} \frac{5}{8} = \frac{15}{64}$
n_3	$\overline{D+E}$	$1 - (p_D^1 + p_E^1 - p_D^1 p_E^1) =$ $1 - (\frac{1}{2} + \frac{1}{2} - \frac{1}{2} \frac{1}{2}) = \frac{1}{4}$	$\frac{1}{4} \frac{3}{4} = \frac{3}{16}$
n_4	$\overline{n_2}$	$1 - p_{n_2}^1 = \frac{1}{4}$	$\frac{1}{4} \frac{3}{4} = \frac{3}{16}$
f	$n_4 n_3$	$p_{n_4}^1 p_{n_3}^1 = \frac{1}{4} \frac{1}{4} = \frac{1}{16}$	$\frac{1}{16} \frac{15}{16} = \frac{15}{256}$

Όσον αφορά τη χωρητικότητα του κάθε κόμβου πρέπει να λάβουμε υπόψη την υλοποίηση του κυκλώματος (στατική ή δυναμική λογική) και το fanout αυτού. Συγκεκριμένα, αφού η υλοποίηση είναι σε στατική CMOS λογική, αν κόμβος οδηγεί μία πύλη τότε η χωρητικότητά του είναι ίση με $C_i = 2C_g$. Αναλυτικότερα, σε στατική λογική, η πύλη υλοποιείται από ένα n-block και p-block. Συνεπώς, κάθε είσοδος αυτής οδηγεί δύο τρανζίστορ (ένα nMOS και ένα pMOS). Στην περίπτωση που ο κόμβος έχει fanout k δηλαδή, οδηγεί k πύλες, τότε η χωρητικότητά του είναι $C_i = 2kC_g$.

Έτσι, με βάση τα παραπάνω έχουμε:

Κόμβος	Fanout	Χωρητικότητα
n ₁	1	2C _g
n ₂	2	4C _g
n ₃	1	2C _g
n ₄	1	2C _g

Αφού έχουν υπολογιστεί ο συντελεστής α και η χωρητικότητα C για κάθε κόμβο, εφαρμόζουμε την (1) για να υπολογίσουμε τη δυναμική κατανάλωση P_{dyn}^i ($i = n_1, n_2, n_3, n_4, f$) κάθε κόμβο. Τέλος, αθροίζουμε για τον υπολογισμό της δυναμικής κατανάλωσης του όλου κυκλώματος δηλαδή,

$$P_{dyn} = \sum P_{dyn}^i \quad (i = n_1, n_2, n_3, n_4, f).$$

B. Για την περίπτωση της υλοποίησης του κυκλώματος με δυναμική CMOS λογική, έχουμε τις παρακάτω διαφοροποιήσεις.

Πρώτον, λόγω της απουσίας του p-block, η χωρητικότητα του κάθε κόμβου είναι ίση με $C_i = kC_g$ όπου k το fanout του κόμβου.

Δεύτερον, λόγω της λειτουργίας των δυναμικών κυκλωμάτων, σε μια περίοδο ρολογιού ο κόμβος φορτίζεται σε υψηλή στάθμη (1^η ημι-περίοδος, φάση προφόρτισης) και ανάλογα με τις τιμές των εισόδων εκφορτίζεται στη 2^η ημι-περίοδο (φάση υπολογισμού). Άρα, ο κόμβος θα εκτελέσει μετάβαση αν κατά τη φάση του υπολογισμού εκφορτιστεί δηλαδή, αν στη φάση του υπολογισμού πάρει την τιμή «0». Επομένως, σε αυτή την περίπτωση ο συντελεστής είναι ίσος με $\alpha_i = p_i^0 = (1 - p_i^1)$.

Με βάση τα παραπάνω έχουμε:

Κόμβος (i)	Λογική συνάρτηση	p_i^1	$\alpha_i = (1 - p_i^1)$
n_2	$B+C$	$p_A^1 + p_B^1 - p_A^1 p_B^1 = \frac{3}{4}$	$\frac{1}{4}$
n_1	An_2	$p_A^1 + p_{n_2}^1 = \frac{1}{2} \frac{3}{4} = \frac{3}{8}$	$\frac{5}{8}$

n_3	$\overline{D + E}$	$1 - (p_D^1 + p_E^1 - p_D^1 p_E^1) =$ $1 - (\frac{1}{2} + \frac{1}{2} - \frac{1}{2} \frac{1}{2}) = \frac{1}{4}$	$\frac{3}{4}$
n_4	$\overline{n_2}$	$1 - p_{n_2}^1 = \frac{1}{4}$	$\frac{3}{4}$
f	$n_4 n_3$	$p_{n_4}^1 p_{n_3}^1 = \frac{1}{4} \frac{1}{4} = \frac{1}{16}$	$\frac{15}{16} = \frac{15}{256}$

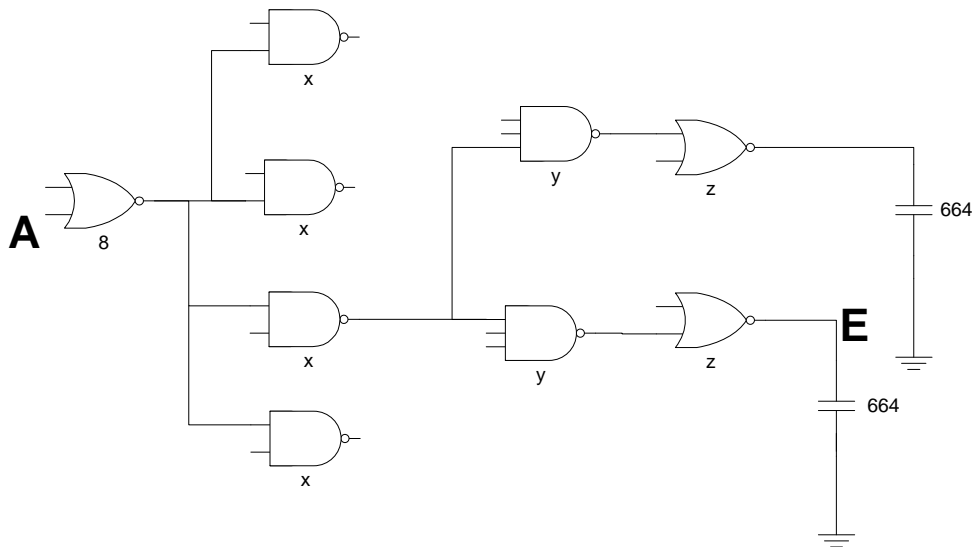
Κόμβος	Fanout	Χωρητικότητα
n_1	1	Cg
n_2	2	2Cg
n_3	1	Cg
n_4	1	Cg

ΑΣΚΗΣΗ 3

Δίνεται το κύκλωμα του παρακάτω σχήματος.

A. Εφαρμόστε τη μέθοδο του logical effort για να υπολογίσετε τις χωρητικότητες εισόδου των πυλών ώστε η καθυστέρηση του μονοπατιού $A \rightarrow E$ να είναι η ελάχιστη. Υπολογίστε την τιμή της βέλτιστης καθυστέρησης συναρτήσει του τ .

B. Μπορεί να μεταβληθεί ο αριθμός των σταδίων του κυκλώματος ώστε να βελτιωθεί η καθυστέρηση του; Αν ναι σχεδιάστε ένα ισοδύναμο κύκλωμα.



ΛΥΣΗ

A. Για να υπολογιστεί η βέλτιστη καθυστέρηση πρέπει να υπολογιστούν οι τιμές του λογικού φόρτου μονοπατιού (path logical effort), G , του φόρτου μονοπατιού, (path logical effort), F , του ηλεκτρικού φόρτου, (electrical effort), H , του συντελεστή διακλάδωσης (branching effort), B , και τη συνολικής παρασιτικής χωρητικότητας, P .

Οι σχέσεις για τον υπολογισμό των παραπάνω όρων είναι:

$$G = \prod g_i \tag{1}$$

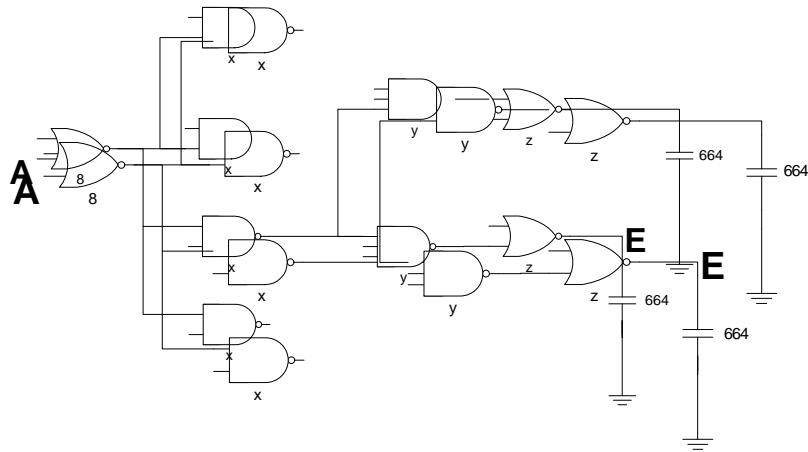
$$B = \prod b_i \tag{2}$$

$$H = C_{out} / C_{in} \tag{3}$$

$$F = G H B \tag{4}$$

$$P = \sum p_i \tag{5}$$

Σύμφωνα με τη θεωρία, οι τιμές των g_i , b_i , p_i αυτές δίνονται στο επόμενο σχήμα



$g1=5/3$	$g2=4/3$	$g3=5/3$	$g4=5/3$
$p1=2$	$p2=2$	$p3=3$	$p4=2$
$b1=4$	$b1=2$	$b3=1$	$b4=1$

Επομένως, έχουμε

$$G = \frac{5}{3} \times \frac{4}{3} \times \frac{5}{3} \times \frac{5}{3} = \frac{500}{81} \quad (6)$$

$$B = 4 \times 2 \times 1 \times 1 = 8 \quad (7)$$

$$H = \frac{664}{8} = 83 \quad (8)$$

$$F = \frac{500}{81} \times 83 \times 8 = 4098 \quad (9)$$

$$P = 2 + 2 + 3 + 2 = 9 \quad (10)$$

Για να πετύχουμε τη βέλτιστη καθυστέρηση, πρέπει ο φόρτος του μονοπατιού να ισομοιραστεί σε κάθε βαθμίδα (πύλη). Στην περίπτωση αυτή, ο φόρτος κάθε βαθμίδας είναι ίσος με \hat{f} . Όσον αφορά τη βέλτιστη καθυστέρηση, D , αυτής δίνεται από την ακόλουθη σχέση, όπου N το πλήθος των βαθμίδων (πυλών) του μονοπατιού. Στην περίπτωση μας $N=4$. Ο υπολογισμός των \hat{f} και D έχει ως εξής

$$\hat{f} = \sqrt[N]{F} = \sqrt[4]{4098} \cong 8 \quad (11)$$

$$D_2 = N \hat{f} + P = 4 \times 8 + 9 = 41\tau \quad (12)$$

Όσον αφορά τον υπολογισμό των χωρητικότητας των πυλών, πρέπει να υπολογιστεί η χωρητικότητα εισόδου κάθε πύλης, C_{in} . Όπως είναι γνωστό, η χωρητικότητα εισόδου υπολογίζεται με την ακόλουθη σχέση

$$C_{in}^i = \frac{C_{out}^i \times g_i}{f} \quad (13)$$

Εφαρμόζοντας στο κύκλωμα της άσκησης, έχουμε

$$C_{in}^{NOR2} = \frac{C_{out}^{NOR2} \times g_{NOR2}}{f} = \frac{664 \times (5/3)}{8} = 138,33C \quad (14)$$

$$C_{in}^{NAND3} = \frac{C_{out}^{NAND3} \times g_{NAND3}}{f} = \frac{138,33C \times (5/3)}{8} = 28,8C \quad (15)$$

$$C_{in}^{NAND2} = \frac{C_{out}^{NAND2} \times g_{NAND2}}{f} = \frac{(2 \times 28,8C) \times (5/3)}{8} = 9,6C \quad (16)$$

$$C_{in}^{NOR2} = \frac{C_{out}^{NOR2} \times g_{NOR2}}{f} = \frac{(4 \times 9,6) \times (5/3)}{8} = 8C \quad (17)$$

Προσέξτε ότι η χωρητικότητα εξόδου της NAND2 δεν είναι 28,8C, που είναι η χωρητικότητα εισόδου της NAND3, αλλά τρεις φορές αυτή επειδή η NAND2 οδηγεί τρεις NAND3. Το ίδιο ισχύει και για τη χωρητικότητα εξόδου της NOR2.

Επίσης, παρόλο που δίνεται η χωρητικότητα εισόδου της NOR2, καλό είναι να υπολογίζετε και αυτή ώστε να επιβεβαιώνεται η ορθότητα των υπολογισμών όλων των υπολοίπων χωρητικοτήτων. Στην περίπτωση που η τιμή που υπολογίστηκε είναι διαφορετική από αυτή της εκφώνησης τότε κάπου έχει γίνει λάθος.

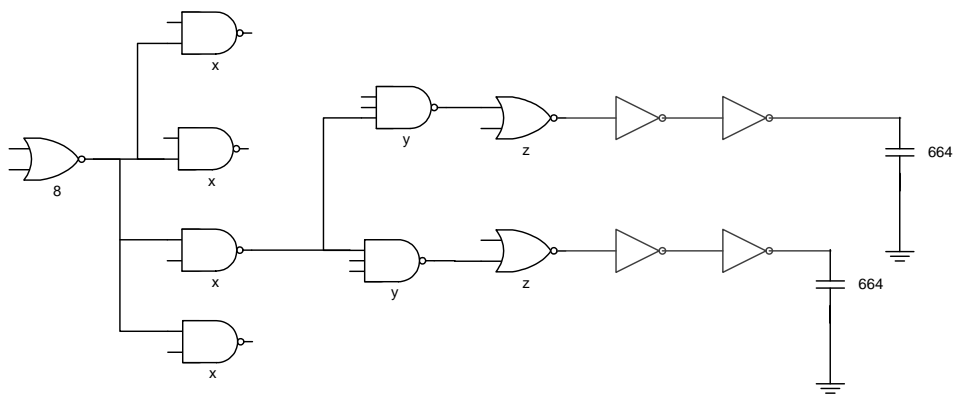
B. Όπως είναι γνωστό, ο βέλτιστος αριθμός σταδίων, k , για να επιτευχθεί η ελάχιστη καθυστέρηση δίνεται από τη σχέση

$$k = \log_4 F \quad (18)$$

Εφαρμόζοντας για τις τιμές του ερωτήματος A έχουμε

$$k = \log_4 4098 = \frac{\log_{10} 4098}{\log_{10} 4} \cong 6 \quad (18)$$

Άρα, πρέπει να τροποποιήσουμε το αρχικό κύκλωμα ώστε να περιλαμβάνει 6 στάδια. Αυτό μπορεί να επιτευχθεί εισάγοντας δύο αντιστροφείς στην έξοδο, όπως φαίνεται παρακάτω



Πρέπει πάντοτε να δίνετε προσοχή ώστε μετά την προσθήκη των αντιστροφέων να μην αλλοιώνεται η αρχική λογική συνάρτηση εξόδου του κυκλώματος. Άρτιο πλήθος επιπλέον αντιστροφέων δε δημιουργεί πρόβλημα. Όμως σε περίπτωση χρήσης περιττού πλήθους αντιστροφέων πρέπει να λαμβάνεται υπόψη ότι η τιμή της εξόδου του νέου κυκλώματος είναι το συμπλήρωμα της τιμή του αρχικού.

ΑΣΚΗΣΗ 4

Σχεδιάστε μία γρήγορη OR έξι εισόδων (OR6) με τους τρεις παρακάτω τρόπους και δώστε τις χωρητικότητες των τρανζίστορ

- A.** Στατική CMOS λογική
- B.** Pseudo nMOS λογική
- Γ.** Footed domino με HI-skew αντιστροφή.

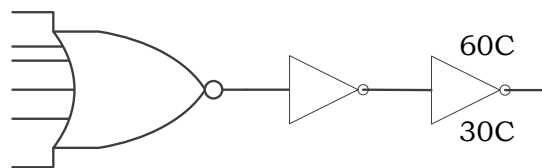
Κάθε είσοδος οδηγεί φορτίο 30C και η έξοδος οδηγεί έναν αντιστροφή φορτίου 90C.

ΛΥΣΗ

A.

1η υλοποίηση

Το κύκλωμα που καλούμαστε να σχεδιάσουμε είναι το ακόλουθο



Σχ.1. 1^η υλοποίηση σε στατική CMOS λογική

Παρατηρείστε ότι λόγω της υλοποίησης σε στατική CMOS λογική, η OR υλοποιείται ως (NOR-INV).

Στην περίπτωση αυτή, όπως είναι γνωστό από τη θεωρία, έχουμε: $g_{NOR6} = 13/3$, $g_{INV} = 1$, $p_{NOR6} = 6$ και $p_{INV} = 1$.

Για να υπολογιστεί η βέλτιστη καθυστέρηση πρέπει να υπολογιστούν οι τιμές του λογικού φόρτου μονοπατιού (path logical effort), G , του φόρτου μονοπατιού, (path logical effort), F , του ηλεκτρικού φόρτου, (electrical effort), H , του συντελεστή διακλάδωσης (branching effort), B , και τη συνολικής παρασιτικής χωρητικότητας, P .

Οι σχέσεις για τον υπολογισμό των παραπάνω όρων είναι:

$$G = \prod g_i \tag{1}$$

$$B = \prod b_i \tag{2}$$

$$H = C_{out} / C_{in} \tag{3}$$

$$F = G H B \tag{4}$$

$$P = \sum p_i \quad (5)$$

όπου i οι πύλες του μονοπατιού. Εδώ έχουμε ένα μονοπάτι που είναι το $NOR6 \rightarrow INV$. Συνεπώς, έχουμε

$$G_1 = g_{NOR6} \times g_{INV} = 13/3 \quad (6)$$

$$B = 1 \times 1 = 1 \quad (7)$$

$$H = 90 / 30 = 3 \quad (8)$$

$$F = (13/3) \times 1 \times 3 = 13 \quad (9)$$

$$P = 6 + 1 = 7 \quad (10)$$

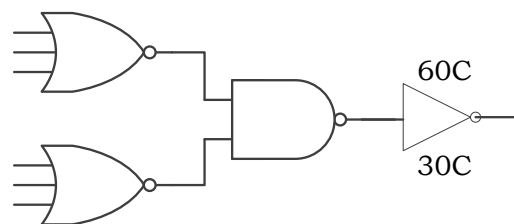
Για να πετύχουμε τη βέλτιστη καθυστέρηση, πρέπει ο φόρτος του μονοπατιού να ισομοιραστεί σε κάθε βαθμίδα (πύλη). Στην περίπτωση αυτή, ο φόρτος κάθε βαθμίδας είναι ίσος με \hat{f} . Όσον αφορά τη βέλτιστη καθυστέρηση, D , αυτής δίνεται από την ακόλουθη σχέση, όπου N το πλήθος των βαθμίδων (πυλών) του μονοπατιού. Στην περίπτωση μας $N=2$. Προσέξτε ο τελευταίος αντιστροφέας είναι φορτίο και όχι τμήμα του κυκλώματος. Ο υπολογισμός των \hat{f} και D έχει ως εξής

$$\hat{f} = \sqrt[N]{F} = \sqrt[2]{13} \cong 3,6 \quad (11)$$

$$D_1 = N \hat{f} + P = 2 \times 3,6 + 7 = 14,2\tau \quad (12)$$

2η υλοποίηση

Όπως είναι γνωστό, κάθε πύλη πολλών εισόδων μπορεί να υλοποιηθεί με ένα δικτύωμα από πύλες λιγότερων εισόδων εφαρμόζοντας βασικές γνώσεις της άλγεβρας Boole. Στην περίπτωση μας η OR6 μπορεί να υλοποιηθεί με τον παρακάτω τρόπο όπου το κρίσιμο μονοπάτι (critical path) είναι $NOR \rightarrow NAND$.



Σχ.1. 1^η υλοποίηση σε στατική CMOS λογική

Εφαρμόζοντας την παραπάνω διαδικασία έχουμε

$$G_2 = g_{NOR3} \times g_{NAND2} = 7/3 \times 4/3 = 28/9 \quad (13)$$

$$B = 1 \times 1 = 1 \quad (14)$$

$$H = 90/30 = 3 \quad (15)$$

$$F = (28/9) \times 1 \times 3 = 28/3 \quad (16)$$

$$P = 3 + 2 = 5 \quad (17)$$

$$\hat{f} = \sqrt[3]{F} = \sqrt[3]{(28/3)} \cong 3,05 \quad (18)$$

$$D_2 = N \hat{f} + P = 2 \times 3,05 + 5 = 11,1\tau \quad (19)$$

Παρατηρούμε ότι η καθυστέρηση της 2^{ης} υλοποίησης, D_2 , είναι μικρότερη από αυτή της 1^{ης} υλοποίησης. Επομένως, επιλέγουμε τη 2^η υλοποίηση.

Όσον αφορά τον υπολογισμό των διαστάσεων των τρανζίστορ, πρέπει να υπολογιστεί η χωρητικότητα εισόδου κάθε πύλης, C_{in} , και στη συνέχεια από την τοπολογία (αρχιτεκτονική) αυτής να υπολογιστούν οι διαστάσεις των τρανζίστορ. Όπως είναι γνωστό, η χωρητικότητα εισόδου υπολογίζεται με την ακόλουθη σχέση

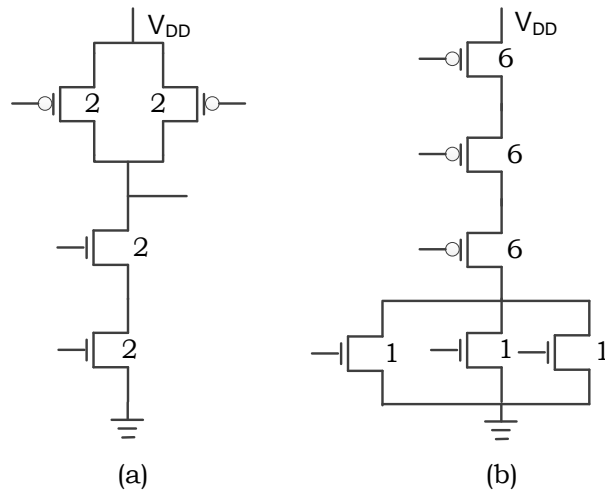
$$C_{in}^i = \frac{C_{out}^i \times g_i}{\hat{f}} \quad (20)$$

Εφαρμόζοντας στο κύκλωμα του Σχ.2, έχουμε

$$C_{in}^{NAND2} = \frac{90C \times 4/3}{3.05} \cong 40C \quad (21)$$

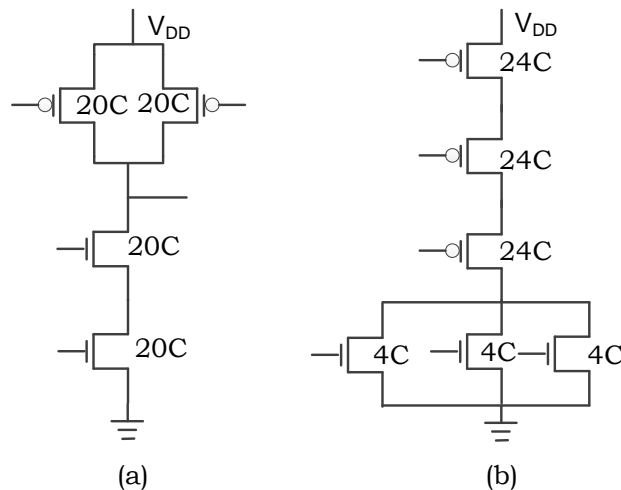
ενώ από την εκφώνηση έχουμε $C_{in}^{NOR3} = 30C$.

Οι υλοποιήσεις σε επίπεδο τρανζίστορ των πυλών NAND2 και NOR3 δίνονται στο Σχ.3. Προσέξτε, ότι οι αριθμοί στα τρανζίστορ δεν αφορούν πραγματικές τιμές πλάτους, W , αυτών, αλλά αναλογίες πλάτους.



Σχ.3. υλοποιήσεις σε επίπεδο τρανζίστορ: NAND2 (a), NOR3 (b)

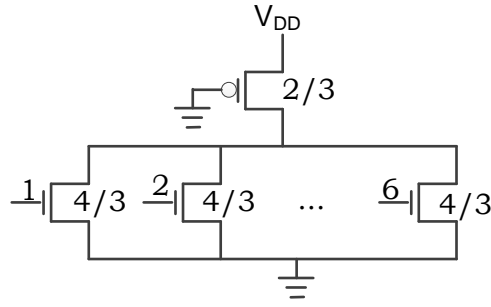
Επομένως, λαμβάνοντας υπόψη τις τιμές $C_{in}^{NAND2} = 40C$, $C_{in}^{NOR3} = 30C$ και τις αναλογίες των τρανζίστορ του Σχ.3, οι πραγματικές διαστάσεις (πλάτη) των πυλών μπορούν να υπολογιστούν εύκολα. Οι τιμές αυτές δείχνονται στο Σχ.4



Σχ.4. Διαστάσεις τρανζίστορ: NAND2 (a), NOR3 (b)

B.

Στην περίπτωση αυτή το κύκλωμα είναι ίδιο με αυτό του Σχ.1, με τη διαφορά ότι η NOR6 είναι υλοποιημένη σε pseudo-nMOS λογική, της οποίας η υλοποίηση σε επίπεδο τρανζίστορ δίνετε στο ακόλουθο σχήμα. Στο σχήμα δείχνονται επίσης και οι αναλογίες των πλατών των τρανζίστορ σύμφωνα με τις αρχές αυτής της λογικής οικογένειας. Συγκεκριμένα, $W_p/W_n=(2/3)/(4/3)$.



Σχ.5. NOR6 σε pseudo-nMOS λογική

Ο λογικός φόρτος για την κατερχόμενη μετάβαση, g_d , είναι ίσος με $g_d = \frac{\text{χωρητ. εισόδου}}{\text{χωρητ. αντιστρ. αναφοράς}} = \frac{4/3}{3} = \frac{4}{9}$. Επίσης, ισχύει ότι $g_u = 3g_d$, όπου g_u ο λογικός φόρτος ανερχόμενης μετάβασης. Επιπλέον, ο συνολικός φόρτος είναι ίσος με $g = (g_u + g_d)/2$ δηλαδή, $g = 8/9$.

Επίσης, η παρασιτική χωρητικότητα, p_d , για την κατερχόμενη μετάβαση είναι ίση με $p_d = \frac{\text{χωρητ. εξόδου}}{\text{χωρητ. αντιστρ. αναφοράς}} = \frac{(4/3) \times 6 + 2/3}{3} = \frac{26}{9}$. Επιπλέον, ισχύουν ότι $p_u = 3p_d$ και $p = (p_u + p_d)/2$. Έτσι, έχουμε ότι $p = 52/9 = 5.7$.

Τώρα είμαι σε θέση να υπολογίσουμε τις ποσότητες G, B, F και D για το μονοπάτι NOR→INV. Οι υπολογισμοί έχουν ως εξής:”

$$G = g_{NOR6} \times g_{INV} = 8/9 \times 1 = 8/9 \quad (22)$$

$$B = 1 \times 1 = 1 \quad (23)$$

$$H = 90/30 = 3 \quad (24)$$

$$F = (8/9) \times 1 \times 3 = 8/3 \quad (25)$$

$$P = 5.7 + 1 = 6.7 \quad (26)$$

$$\hat{f} = \sqrt[N]{F} = \sqrt[2]{(8/3)} \cong 1,63 \quad (27)$$

$$D = N \hat{f} + P = 2 \times 1,63 + 6.7 \cong 10\tau \quad (28)$$

Παρατηρούμε ότι η υλοποίηση με pseudo-nMOS λογική είναι ταχύτερη από την υλοποίηση με CMOS λογική (ερώτημα Α), όπως αναμενόταν, αλλά η pseudo-nMOS λογική έχει το μεγάλο πρόβλημα της υψηλής κατανάλωσης ισχύος.

Όσον αφορά τις διαστάσεις των τρανζίστορ έχουμε τα ακόλουθα

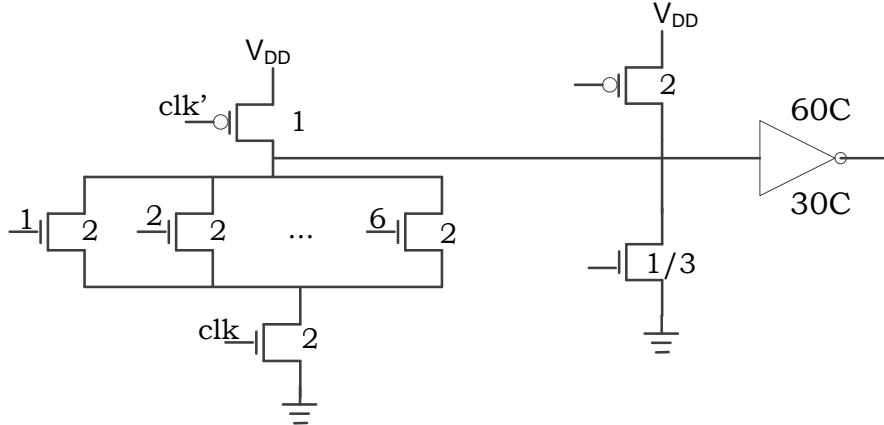
$$C_{in}^{INV} = \frac{90C \times 1}{1.63} \cong 55C \quad (29)$$

που οδηγεί σε $W_n^{INV} = 18C$ και $W_p^{INV} = 37C$.

Αναφορικά με τις διαστάσεις των τρανζίστορ της NOR6 έχουμε ότι η χωρητικότητα εισόδου είναι σύμφωνα με την εκφώνηση ίση με $30C$. Επομένως, το κάθε nMOS έχει χωρητικότητα $30C$. Επίσης, με βάση το Σχ. 5, έχουμε ότι $\frac{W_p}{W_n} = \frac{2/3}{4/3}$, επομένως, το pMOS έχει χωρητικότητα ίση με $15C$.

Γ.

Στην περίπτωση αυτή το αντίστοιχο κύκλωμα είναι αυτό του Σχ.6, όπου σημειώνονται επίσης και οι αναλογίες των πλατών των τρανζίστορ. Το πρώτο τμήμα αντιστοιχεί σε μία NOR6 και το δεύτερο σε ένα HI-skew αντιστροφέα. Παρατηρείστε ότι ο domino αντιστροφέας είναι HI-skew και επομένως, η το πλάτος του nMOS έχει ελαττωθεί από την τυπική τιμή και ο λόγος W_p/W_n αντιστροφέα δεν ισούται με 2.



Σχ.6. Υλοποίηση με footed domino λογική

Με βάση το Σ.χ6 έχουμε ότι το κρίσιμο μονοπάτι είναι το $OR6 \rightarrow INV$. Επίσης, έχουμε ότι $g_{OR6} = 2/3$ και $p_{OR6} = \frac{2 \times 6 + 1}{3} = \frac{13}{3}$. Επιπλέον, όπως είναι γνωστό από τη θεωρία, για το HI-skew αντιστροφέα έχουμε ότι $g_{INV} = 5/6$ και $p_{INV} = 5/6$. Με βάση τις τιμές αυτές μπορούμε να υπολογίσουμε τη βέλτιστη καθυστέρηση

$$G = g_{OR6} \times g_{INV} = (2/3) \times (5/6) = 10/18 \quad (30)$$

$$B = 1 \times 1 = 1 \quad (31)$$

$$H = 90 / 30 = 3 \quad (32)$$

$$F = (10 / 18) \times 1 \times 3 = 5 / 3 \quad (33)$$

$$P = (13 / 3) + (5 / 6) \quad (34)$$

$$\hat{f} = \sqrt[3]{F} = \sqrt[3]{(5 / 3)} \cong 1,29 \quad (35)$$

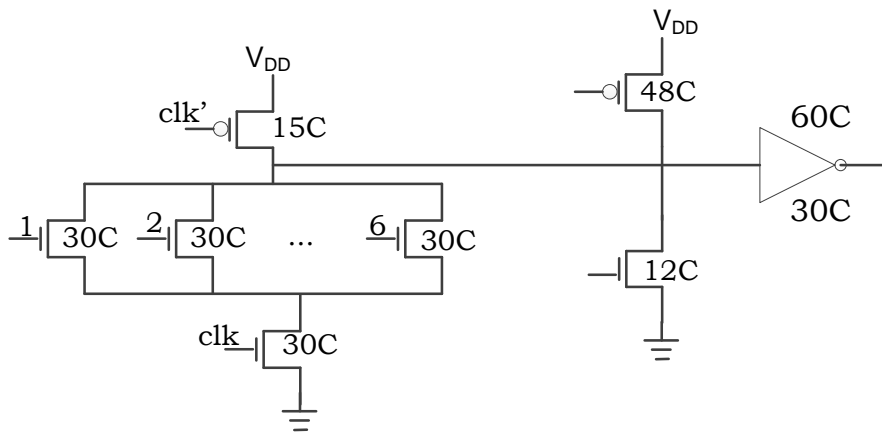
$$D = 2 \hat{f} + P = 7,75\tau \quad (36)$$

Όσον αφορά τις διαστάσεις των τρανζίστορ έχουμε τα ακόλουθα

$$C_{in}^{INV} = \frac{90C \times (5 / 6)}{1,29} \cong 59C \quad (37)$$

Άρα, η συνολική χωρητικότητα εισόδου του HI-skew αντιστροφέα είναι ίση με 58C. Επίσης, λαμβάνοντας υπόψη το Σχ. 6, όπου $W_p/W_n=4$ συνεπάγεται ότι $W_p=48C$ και $W_n=12C$.

Αναφορικά με τις διαστάσεις των τρανζίστορ της NOR6 έχουμε ότι η χωρητικότητα εισόδου είναι σύμφωνα με την εκφώνηση ίση με 30C. Επίσης, Λόγω των αναλογιών των διαστάσεων του Σχ. 6 έχουμε ότι η χωρητικότητα του nMOS με είσοδο clock είναι ίση με 15C και του αντίστοιχου pMOS ίση με 15C, όπως δείχνεται στο επόμενο σχήμα.



Σχ.6. Υλοποίηση με footed domino λογική – Χωρητικότητες τρανζίστορ

Σημείωμα Αναφοράς

Copyright Πανεπιστήμιο Πατρών, Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) I»

Έκδοση: 1.0 Πάτρα 2015

Διαθέσιμο στη διαδικτυακή διεύθυνση: <https://eclass.upatras.gr/courses/EE891/>

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

