



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΠΑΤΡΩΝ
UNIVERSITY OF PATRAS

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

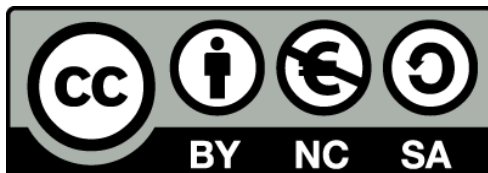
2^η Εργαστηριακή Άσκηση

**Μελέτη των Παρασιτικών Χωρητικοτήτων και
της Καθυστέρησης στα Κυκλώματα CMOS**

ΑΝΟΙΚΤΑ ακαδημαϊκά **ΠΠ**
μαθήματα

Άδειες Χρήσης

- Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Διατήρηση Σημειωμάτων

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Ανάπτυξη

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



1 Εισαγωγή

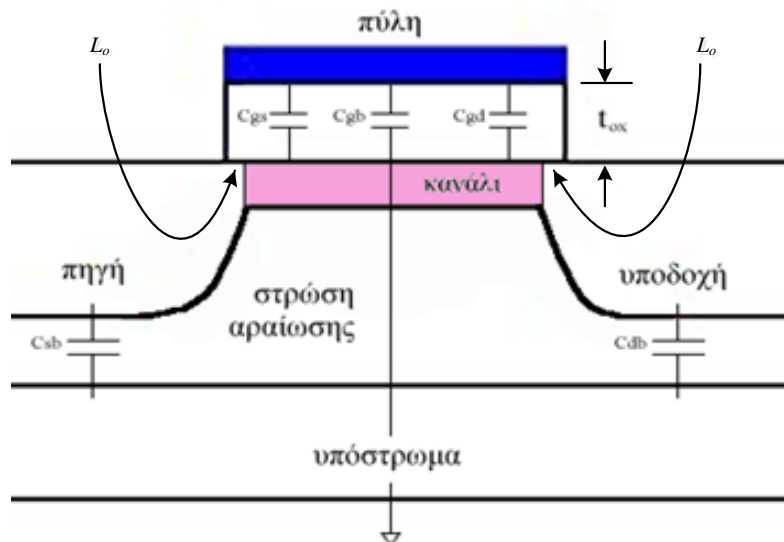
Αντικείμενο της άσκησης αυτής είναι η μελέτη ορισμένων σημαντικών χαρακτηριστικών των κυκλωμάτων τεχνολογίας CMOS. Αρχικά θα μελετηθούν οι παρασιτικές χωρητικότητες που συναντώνται στα κυκλώματα αυτά. Στη συνέχεια θα μελετηθούν οι παράγοντες που επηρεάζουν την χρονική καθυστέρηση τους.

2 Παρασιτικές Χωρητικότητες Κυκλώματος CMOS

Η απόκριση των κυκλωμάτων τεχνολογίας CMOS εξαρτάται σε μεγάλο βαθμό από τις παρασιτικές χωρητικότητες των MOS στοιχείων καθώς και από τις χωρητικότητες των διασυνδέσεων που δημιουργούνται από τα καλώδια μετάλλου, πολυκρυσταλλικού πυριτίου και διάχυσης. Το συνολικό χωρητικό φορτίο μιας πύλης τεχνολογίας CMOS προκύπτει από το άθροισμα των παρακάτω χωρητικοτήτων:

- χωρητικότητα πύλης των εισόδων που συνδέονται στην έξοδο
- χωρητικότητα διάχυσης των περιοχών υποδοχής που συνδέονται στην έξοδο
- χωρητικότητα διασυνδέσεων

Οι παρασιτικές χωρητικότητες ενός στοιχείου MOS φαίνονται στο Σχ. 1.



Σχ. 1 Παρασιτικές χωρητικότητες MOS στοιχείου

Η συνολική χωρητικότητα της πύλης ενός MOS στοιχείου δίνεται ως εξής:

$$C_g = C_{gb} + C_{gs} + C_{gd} + C_{Lo}$$

Στο Σχ. 1 μπορεί να παρατηρηθεί ότι υπάρχει επικάλυψη της πηγής και της υποδοχής από την πύλη, η οποία δημιουργεί την παρασιτική χωρητικότητα επικάλυψης (C_{Lo}). Η χωρητικότητα αυτή είναι ανεξάρτητη από την τάση στην πύλη του στοιχείου και δίνεται ως εξής:

$$C_{Lo} = C_{gb} + C_{gs-Lo} + C_{gd-Lo} = 2 C_{ox} W L_o$$

όπου L_o είναι το μήκος της περιοχής επικάλυψης και $C_{ox} = \epsilon_{ox} / t_{ox}$.

Οι υπόλοιπες χωρητικότητες που συνθέτουν τη χωρητικότητα πύλης είναι αποτέλεσμα της αλληλεπίδρασης μεταξύ της τάσης πύλης και του φορτίου του καναλιού και εξαρτώνται από την τάση στην πύλη του στοιχείου. Επομένως, όταν το στοιχείο βρίσκεται στην αποκοπή τότε δεν έχει

δημιουργηθεί κανάλι που να δυνδέει την πηγή με την υποδοχή κάτω από την επιφάνεια της πύλης, με αποτέλεσμα $C_{gs} = C_{gd} = 0$. Στην περίπτωση αυτή η χωρητικότητα μεταξύ πύλης και υποστρώματος είναι:

$$C_{gb} = C_{ox} WL$$

Όταν το στοιχείο λειτουργεί στη γραμμική περιοχή, το κανάλι εκτείνεται μεταξύ της πηγής και της υποδοχής. Έτσι το υπόστρωμα απομονώνεται από το ηλεκτρικό πεδίο της πύλης με αποτέλεσμα $C_{gb} = 0$. Η κατανομημένη χωρητικότητα μεταξύ της πηγής και της υποδοχής μπορεί σε αυτή την περίπτωση να προσεγγιστεί ως εξής:

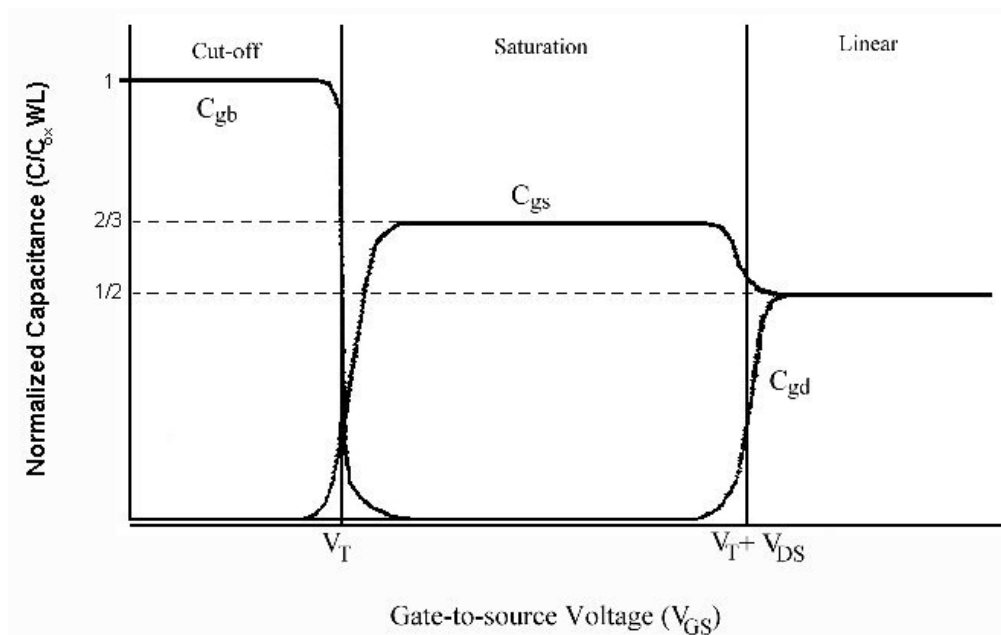
$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} WL$$

Όταν το στοιχείο λειτουργεί στον κόρο το κανάλι δεν εκτείνεται μέχρι την υποδοχή, οπότε $C_{gd} = 0$. Η πηγή συνεχίζει να είναι συνδεδεμένη με την επιφάνεια της πύλης μέσω του καναλιού, οπότε το υπόστρωμα παραμένει απομονωμένο με αποτέλεσμα $C_{gb} = 0$. Τέλος, η χωρητικότητα μεταξύ πύλης και πηγής αυξάνεται στην τιμή:

$$C_{gs} = \frac{2}{3} C_{ox} WL$$

Σε στοιχεία με μικρό μήκος καναλιού η χωρητικότητα μεταξύ πύλης και πηγής αυξάνεται περισσότερο ($0.9 C_{ox} WL$).

Η επίδραση της περιοχής λειτουργίας του στοιχείου στην χωρητικότητα πύλης φαίνεται στο παρακάτω σχήμα.



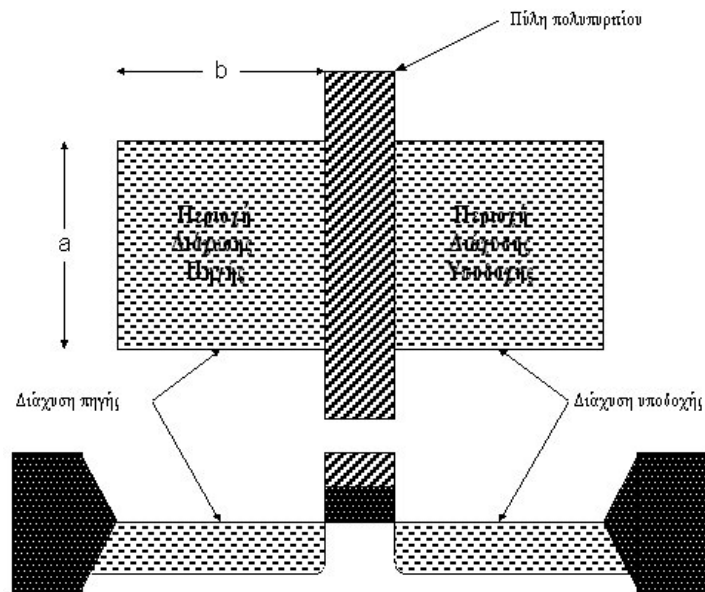
Σχ. 2 Χωρητικότητες MOS στοιχείου σε όλες τις περιοχές λειτουργίας

Οι περιοχές διάχυσης έχουν χωρητικότητα με το υπόστρωμα η οποία είναι ανάλογη της ολικής επιφάνειας της βάσης όπως και της επιφάνειας των περιφερειακών πλευρών τους. Λαμβάνοντας υπόψη το Σχ. 3 η συνολική χωρητικότητα διάχυσης δίνεται ως εξής:

$$C_d = C_{ja} a b + C_{jp} (2a + 2b)$$

όπου C_{ja} η χωρητικότητα βάσης ανά μm^2 , C_{jp} η χωρητικότητα περιφέρειας ανά μm , a το πλάτος περιοχής διάχυσης σε μm και b το μήκος περιοχής διάχυσης σε μm .

Στην παραπάνω έκφραση ο πρώτος όρος του αθροίσματος μοντελοποιεί τη χωρητικότητα του εμβαδού της βάσης, ενώ ο δεύτερος την χωρητικότητα της περιφέρειας.

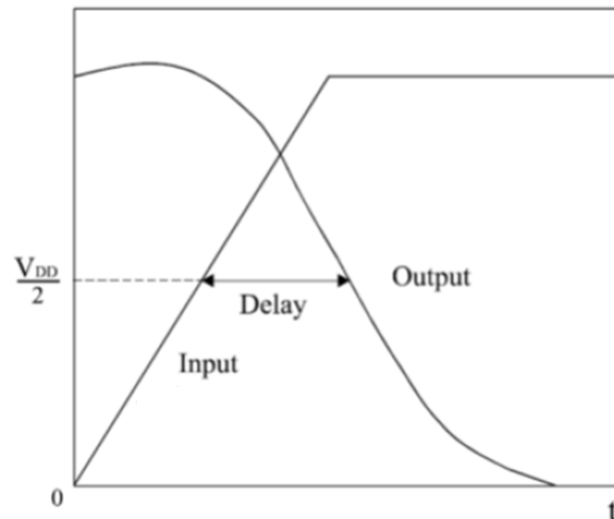


Σχ. 3 Χωρητικότητες διάχυσης

Οι χωρητικότητες διασυνδέσεων μεταξύ μετάλλου και πολυπυριτίου καθώς και του υποστρώματος μπορούν να προσεγγιστούν με το μοντέλο των παράλληλων πλακών $C = (\epsilon/t) A$, όπου A η επιφάνεια των πλακών, t το πάχος του μονωτικού υλικού και ϵ η διηλεκτρική σταθερά του μονωτικού. Το μοντέλο αυτό είναι προσεγγιστικό αφού δεν λαμβάνει υπόψη τα παρασιτικά ηλεκτρικά πεδία του αγωγού.

3 Παράγοντες που επηρεάζουν την καθυστέρηση των κυκλωμάτων CMOS

Έχουν αναπτυχθεί αρκετά αναλυτικά και εμπειρικά μοντέλα για την κατανόηση των παραμέτρων που επηρεάζουν την καθυστέρηση απόκρισης στα κυκλώματα τεχνολογίας CMOS. Η ταχύτητα μετάβασης μιας πύλης καθορίζεται από το χρόνο που απαιτείται για την φόρτιση ή την εκφόρτιση του χωρητικού της φορτίου. Ο χρόνος καθυστέρησης σε μια πύλη ορίζεται συνήθως ως η διαφορά του χρόνου μεταξύ του 50% της στάθμης εισόδου και του 50% της στάθμης εξόδου (Σχ. 4). Αυτή η χρονική διαφορά αντιστοιχεί στο χρόνο που απαιτείται για μια λογική μεταβολή να περάσει από την είσοδο στην έξοδο.



Σχ. 4 Κυματομορφή απόκρισης CMOS αντιστροφέα

Οι βασικότεροι παράγοντες που επηρεάζουν την καθυστέρηση απόκρισης μιας πύλης τεχνολογίας CMOS είναι οι εξής:

- το χωρητικό φορτίο της εξόδου
- η κλίση της κυματομορφής εισόδου
- η ικανότητα ρεύματος των στοιχείων μέσω των οποίων γίνεται η φόρτιση ή η εκφόρτιση του χωρητικού φορτίου
- η τάση τροφοδοσίας

Η επίδραση του χωρητικού φορτίου στην καθυστέρηση είναι προφανής, αφού απαιτείται κάποιος χρόνος για την φόρτιση και την εκφόρτισή του. Έτσι η καθυστέρηση μιας πύλης αυξάνεται όταν αυξάνεται το χωρητικό της φορτίο, το οποίο αποτελείται από τη χωρητικότητα των εισόδων των επόμενων πύλων, της εξόδου της πύλης που μελετάται και των διασυνδέσεων. Συνήθως η κυματομορφή εισόδου στα κυκλώματα CMOS δεν είναι βηματική συνάρτηση του χρόνου, αλλά έχει κάποια κλίση. Όταν η είσοδος αλλάζει πολύ γρήγορα η καθυστέρηση της πύλης προσδιορίζεται από το ρυθμό με τον οποίο τα στοιχεία φορτίζουν ή εκφορτίζουν το χωρητικό φορτίο της πύλης. Στην περίπτωση που η είσοδος αλλάζει αργά αυτό έχει ως συνέπεια την ύπαρξη επιπλέον καθυστέρησης.

Η καθυστέρηση είναι αντιστρόφως ανάλογη με την ικανότητα ρεύματος (κέρδος) των στοιχείων διαμέσου των οποίων γίνεται η φόρτιση ή η εκφόρτιση του χωρητικού φορτίου, και με την τάση τροφοδοσίας. Οι παραπάνω εξαρτήσεις φαίνονται και στις επόμενες αναλυτικές σχέσεις για τον υπολογισμό της καθυστέρησης ενός αντιστροφέα τεχνολογίας CMOS, για κατερχόμενη έξοδο:

$$Delay = Delay(step) + \frac{T_{in}}{6}(1 - 2n)$$

όπου T_{in} ο χρόνος ανόδου της εισόδου, $n = V_m / V_{DD}$ και $Delay(step)$ η καθυστέρηση για βηματική είσοδο, δηλαδή είσοδο με μηδενικό χρόνο ανόδου.

$$Delay(step) = \frac{C_L / \beta_n}{V_{DD}(1 - n)} \left[\frac{2n}{1 - n} + \ln \left(\frac{2(1 - n) - V_{out}}{V_{out}} \right) \right]$$

όπου C_L το χωρητικό φορτίο.

Το παραπάνω μοντέλο υπολογισμού δεν είναι ακριβές για κυκλώματα με στοιχεία τα οποία έχουν μικρό μήκος καναλιού, αφού δεν λαμβάνει υπόψη τα φαινόμενα δεύτερης τάξης που συμβαίνουν στα στοιχεία αυτά. Ωστόσο, δείχνει την εξάρτηση της καθυστέρησης από τους σημαντικότερους παράγοντες που την επηρεάζουν.

Η καθυστέρηση πιο σύνθετων πυλών μπορεί να προσεγγιστεί από την κατασκευή ενός “ισοδύναμου” αντιστροφέα. Το κέρδος των στοιχείων NMOS και PMOS του αντιστροφέα αυτού θα πρέπει να αντικατοπτρίζει τα αντίστοιχα κέρδη των τμημάτων N και P λογικής της σύνθετης πύλης.

Επιμέρους παράγοντες που επηρεάζουν την καθυστέρηση απόκρισης και δεν περιλαμβάνονται στο παραπάνω μοντέλο υπολογισμού, είναι η ικανότητα ρεύματος των στοιχείων βραχυκυκλώματος (το σύνολο των στοιχείων που δημιουργούν αγώγιμο μονοπάτι από την τροφοδοσία στη γείωση κατά την διάρκεια της μετάβασης της εισόδου), και η παρασιτική χωρητικότητα μεταξύ της εισόδου και της εξόδου (coupling capacitance).

Το ρεύμα που διέρχεται από τα στοιχεία βραχυκυκλώματος κατά την διάρκεια μετάβασης της εισόδου εμποδίζει την φόρτιση ή την εκφόρτιση του κόμβου εξόδου, με αποτέλεσμα την αύξηση της καθυστέρησης. Στην περίπτωση του αντιστροφέα με ανερχόμενη είσοδο το στοιχείο βραχυκυκλώματος είναι το PMOS, ενώ για κατερχόμενη είσοδο το NMOS στοιχείο. Η παρασιτική χωρητικότητα μεταξύ της εισόδου και της εξόδου αναγκάζει την έξοδο να υπερβεί την τάση τροφοδοσίας στην περίπτωση ανερχόμενης εισόδου (ή να πάρει αρνητική τιμή στην περίπτωση κατερχόμενης εισόδου) στην αρχή της μεταβολής της, προκαλώντας επιπλέον καθυστέρηση.

4 Πειραματική Μελέτη

Η τεχνολογία που θα χρησιμοποιηθεί για τον σχεδιασμό των λογικών πυλών στις υποενότητες που ακολουθούν είναι η cmos12rul. Το μήκος καναλιού των τρανζίστορ είναι $L_n = L_p = 2\lambda = 1,2 \mu\text{m}$, τα πλάτη διαχύσεων $W_n = 3,6 \mu\text{m}$ και $W_p = 7,2 \mu\text{m}$, το πλάτος λωρίδων μετάλλου τροφοδοσίας, γείωσης και διασυνδέσεων $3,6 \mu\text{m}$.

Βάσει του παραπάνω αρχείου τεχνολογίας δίνεται ο παρακάτω πίνακας με τις παρασιτικές χωρητικότητες των τρανζίστορ και το μήκος επικάλυψης L_o .

Πίνακας 1. Παρασιτικές χωρητικότητες τεχνολογίας CMOS $1,2 \mu\text{m}$

Description	Surface value (aF/ μm^2)	Description	Surface value (aF/ μm^2)
Metal on Substrate (body)	29	Metal on polysilicon	53
Metal2 on metal	35	N diffusion in P-substrate	360
P diffusion in N-well	340	Polysilicon on Oxide	1500
Polysilicon on substrate (body)	63	L_o (beak dimension) (μm)	0,08(N) -0,03(P)
P diffusion line for perimetric capacitance. (aF/ μm)	220	N diffusion line for perimetric capacitance. (aF/ μm)	350

4.1 Μελέτη Παρασιτικών Χωρητικότητων

- Χρησιμοποιώντας την τεχνολογία και τα μεγέθη που δίνονται παραπάνω σχεδιάστε μια πύλη NAND τεσσάρων εισόδων. Προσομοιώστε την πύλη και διαπιστώστε την ορθή λειτουργία της.
- Κάνοντας διπλό κλικ σε έναν κόμβο του κυκλώματος εμφανίζονται τα χαρακτηριστικά του. Πραγματοποιώντας αυτή τη διαδικασία μετρήστε τη χωρητικότητα των κόμβων εισόδου και εξόδου.
- Σχεδιάστε μια πύλη AND τεσσάρων εισόδων συνδέοντας έναν αντιστροφέα στην έξοδο της NAND. Μετρήστε τη χωρητικότητα εξόδου της πύλης NAND και της AND. Σε ποιές χωρητικότητες οφείλεται η μεταβολή;

4.2 Μελέτη Παραγόντων Καθυστέρησης

- a) Στην αρχική πύλη NAND εφαρμόστε παλμούς με χρόνο ανόδου 0,001 ns στις τρεις εισόδους και 1 ns στην τέταρτη. Χρησιμοποιείστε χρόνο 2 ns όπου όλες οι εισοδοί θα έχουν μηδενική τάση και διάρκεια 15 ns. Μετρείστε την καθυστέρηση της πύλης από την τέταρτη είσοδο. Μέσω ποιών στοιχείων γίνεται η εκφόρτιση της χωρητικότητας εξόδου;
- b) Εφαρμόστε στην πύλη κατερχόμενες εισόδους με αμετάβλητα τα υπόλοιπα χαρακτηριστικά και μετρείστε την καθυστέρηση. Ως προς ποιές εισόδους έχει νόημα η μέτρηση της καθυστέρησης της πύλης; Διαμέσου ποιών στοιχείων γίνεται η αλλαγή στην έξοδο της πύλης; Που οφείλεται η μεταβολή της καθυστέρησης;
- c) Συνδέστε τον αντιστροφέα στην έξοδο της NAND και επαναλάβετε τα δύο προηγούμενα ερωτήματα. Σχολιάστε τις μεταβολές που παρατηρείτε.
- d) Αλλάξτε την τιμή της τάσης τροφοδοσίας σε 3.5, 2.5, 1.8 και 1.2 V και μετρείστε την καθυστέρηση στις περιπτώσεις των δύο πυλών. Η αλλαγή αυτή μπορεί να πραγματοποιηθεί μέσω την επιλογής των “Simulation parameters” από την καρτέλα “Simulate”.

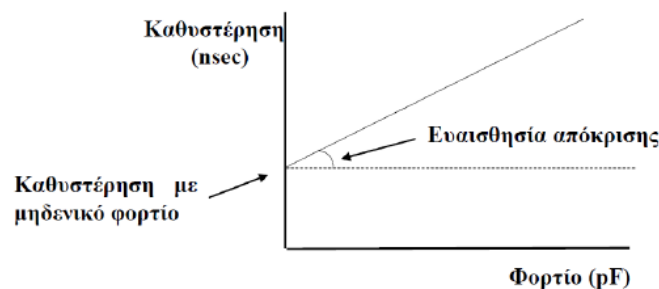
5 Ερωτήσεις

5.1 Μελέτη Παρασιτικών Χωρητικότητων

- Υπολογίστε με βάση τη θεωρία και τα στοιχεία του Πίνακα 1 το σύνολο της χωρητικότητας της εισόδου της πύλης. Θεωρείστε ότι τα PMOS τρανζίστορ λειτουργούν στην αποκοπή και τα NMOS στον κόρο. Δείξτε αναλυτικά και εξηγήστε τους υπολογισμούς.
- Συγκρίνετε την τιμή που υπολογίσατε θεωρητικά με την μετρούμενη και εξηγήστε τις διαφορές που παρατηρείται.

5.2 Μελέτη Παραγόντων καθυστέρησης

- Στην αρχική πύλη NAND χρησιμοποιείτε τις διεγέρσεις του ερωτήματος 4.2a αλλάζοντας τον αρχικό χρόνο ηρεμίας της τέταρτης εισόδου σε 3 ns. Μετρείστε την καθυστέρηση της πύλης από την τέταρτη είσοδο και σχολιάστε τη μεταβολή σε σχέση με την προηγούμενη περίπτωση.
- Σχεδιάστε ένα διάγραμμα που να δείχνει την εξάρτηση της καθυστέρησης των πυλών NAND και AND από την τάση τροφοδοσίας για την περίπτωση του ερωτήματος 4.2d. Σχολιάστε την καμπύλη που σχεδιάσατε.
- Υπολογίστε την ευαισθησία των πυλών NAND και AND ως προς την τέταρτη είσοδο χρησιμοποιώντας χρόνο ανόδου και καθόδου για την είσοδο αυτή ίσο με 1ns (τυπική τιμή), και διαφορετικά φορτία στην έξοδο (παραμετρική ανάλυση). Η ευαισθησία δίνεται σε ns/pF και είναι η κλίση της ευθείας που δημιουργείται αν σχεδιάσουμε ένα διάγραμμα της καθυστέρησης σε συνάρτηση με το φορτίο εξόδου. Αυτό πρέπει να γίνει για ανερχόμενη και κατερχόμενη έξοδο. Χρησιμοποιείτε σταθερή στάθμη τάσης στις υπόλοιπες εισόδους ίση με την τάση τροφοδοσίας.



Σχ. 5 Διάγραμμα καθυστέρησης συναρτήσει του φορτίου εξόδου

Σημείωμα Αναφοράς

Copyright Πανεπιστήμιο Πατρών, Γεώργιος Θεοδωρίδης, Οδυσσέας Κουφοπαύλου,
«Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) I»

Έκδοση: 1.0 Πάτρα 2015

Διαθέσιμο στη διαδικτυακή διεύθυνση: <https://eclass.upatras.gr/courses/EE891/>

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ