

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) II

Εκφωνήσεις Projects Εαρινού Εξαμήνου 2025-2026

1. Sklansky Adder 32-bit (Ομάδα 0)
2. Modulo 6, Modulo 7, Modulo 12, Modulo 13 Adders (Ομάδα 1)
3. Sklansky Adder 16-bit με ένα επιπλέον στάδιο carry increment (Flagged Prefix Adder) (Ομάδα 3)
4. Wallace multiplier 8-bit (Ομάδα 4)
5. Kogge-Stone Adder 32-bit (Ομάδα 5)
6. Booth multiplier 8-bit (Ομάδα 7)
7. Conditional-sum adder 8-bits (Ομάδα 8)
8. Variable length carry increment Adder 16-bit (Ομάδα 9)
9. Knowles Adder 32-bit (Ομάδα 10)
10. Modulo 5, Modulo 9, Modulo 14, Modulo 15 Adders (Ομάδα 11)
11. Unsigned array multiplier 16-bit (Ομάδα 12)
12. Ladner-Fisher Adder 32-bit (Ομάδα 13)
13. Signed multiplier 8-bit (Ομάδα 14)
14. Carry-Skip Adder 32-bit με μεταβλητό αριθμό propagate ομάδων (Ομάδα 15)
15. Brent-Kung Adder 32-bit (Ομάδα 16)
16. Han-Carlson Adder 32-bit (Ομάδα 17)
17. Shift/Add multiplication 10-bit (Ομάδα 18)
18. Knowles Adder 16-bit με ένα επιπλέον στάδιο carry increment (Flagged Prefix Adder) (Ομάδα 19)
19. Kogge-Stone Adder 16-bit με ένα επιπλέον στάδιο carry increment (Flagged Prefix Adder) (Ομάδα 2)
20. Signed multiplier 8-bit (Ομάδα 21)
21. Carry Look Ahead Adder 16-bit (Ομάδα 22)
22. Υπολογισμός της αριθμητικής έκφρασης $Y = 7*A + B - 4$ χρησιμοποιώντας αναπαράσταση συμπληρώματος ως προς δύο και 8-bits για την αναπαράσταση του αποτελέσματος. Υποθέστε ότι αρκούν 5-bits για την αναπαράσταση των A, B. (Ομάδα 23)
23. Υπολογισμός της αριθμητικής έκφρασης $Y = 15*A + (B/2) - 4$ χρησιμοποιώντας αναπαράσταση συμπληρώματος ως προς δύο και 8-bits για την αναπαράσταση του αποτελέσματος. Υποθέστε ότι αρκούν 5-bits για την αναπαράσταση των A, B. (Ομάδα 6)

🚧 Οι εργασίες θα υλοποιηθούν ομαδικά.

🚧 Υλοποίηση σε γλώσσα περιγραφής υλικού VHDL. Θα εκτιμηθεί η παραμετρική σχεδίαση του κώδικα με χρήση *generic* και *for generate* εντολών όπου είναι δυνατόν. Το κύκλωμα σας θα περιέχει registers στις εισόδους και εξόδους. Σύνθεση από genus με χρήση 45 και 7 nm βιβλιοθηκών (σύγκριση area, timing, power) καθώς και Innonus flow για το κύκλωμα των 45nm (floorplan, placement, CTS). Δημιουργία Testbench που να φανερώνει την ορθή λειτουργία του κυκλώματος, Xcelium flow με το sdf file που προκύπτει από το genus και LEC έλεγχο.

🚧 Παραδίδεται μια αναφορά μαζί τον κώδικα VHDL και πραγματοποιείται παρουσίαση της σχεδίασης σε powerpoint. Στην αναφορά θα πρέπει να συμπεριληφθούν screenshots από το ModelSim που θα δείχνουν την σωστή λειτουργία του κυκλώματος, από το Genus που θα δείχνουν την σύνθεση του κυκλώματος, και από το placement του Innonus. Επίσης θέλουμε τις μετρήσεις από τα report του genus, screenshot από το Xcelium run καθώς και από τον

επιτυχή LEC έλεγχο.

Πληροφορίες και μπλοκ διαγράμματα μπορείτε να βρείτε στα:

a. Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS-VLSI, N.H. Weste, K.Eshraghian

- b.** Computer Arithmetic Algorithms, *Israel Koren*
- c.** Computer Arithmetic: Algorithms and Hardware Designs, *Behrooz, Parhami*