



Πανεπιστήμιο Πατρών



**Τμήμα Ηλεκτρολόγων Μηχανικών και
Τεχνολογίας Υπολογιστών**

**Εργαστήριο Σχεδίασης Ολοκληρωμένων
Κυκλωμάτων**

**Σχεδιασμός Ολοκληρωμένων
Κυκλωμάτων VLSI-II**

Εαρινό Εξάμηνο 2026

Εργαστηριακή Άσκηση 5

Στόχος της Άσκησης

Στόχος της άσκησης είναι η σχεδίαση και υλοποίηση ενός πλήρως συνδυαστικού δικτύου ταξινόμησης (Bitonic Sorter) σε VHDL. Το κύκλωμα θα δέχεται 8 μη-προσημασμένους (unsigned) αριθμούς των 8-bit και θα τους ταξινομεί σε αύξουσα σειρά, εκτελώντας την ταξινόμηση σε έναν (1) μόνο κύκλο.

Περιγραφή Υλοποίησης:

- Το κύκλωμα πρέπει να σχεδιαστεί ΑΥΣΤΗΡΑ με δομική περιγραφή (Structural VHDL) και ταυτόχρονες εντολές (Concurrent VHDL). Απαγορεύεται η χρήση FSM, process με ρολόι ή αθροιστών.
- Η βασική δομική μονάδα του κυκλώματος θα πρέπει να δέχεται δύο 8-bit εισόδους και να τις κατευθύνει σε δύο 8-bit εξόδους (μία για τη μεγαλύτερη και μία για τη μικρότερη τιμή), συγκρίνοντάς τες.
- Η συνολική διασύνδεση του δικτύου πρέπει να ακολουθεί την αρχιτεκτονική του σχήματος που σας δίνεται (λειτουργεί σε 6 επίπεδα/stages). Για την αποδοτική συγγραφή του κώδικα και τη δημιουργία των επιμέρους βαθμίδων του δικτύου, απαιτείται η χρήση της εντολής FOR GENERATE.
- Στις εισόδους και τις εξόδους του συνολικού δικτύου πρέπει να τοποθετηθούν κατάλληλοι καταχωρητές (Registers), ώστε να μπορέσει να υπολογιστεί σωστά το χρονικό μονοπάτι (critical path) κατά τη λογική σύνθεση.

Ζητούμενα Άσκησης (VLSI Flow):

Μετά τη συγγραφή του VHDL κώδικα, θα πρέπει να εκτελεστούν τα παρακάτω βήματα χρησιμοποιώντας τα εργαλεία της Cadence:

- Λειτουργική Προσομοίωση (Simulation): Χρησιμοποιήστε το εργαλείο Xcelium. Ως testbench δώστε στην είσοδο τους αριθμούς που απεικονίζονται στο σχήμα (10, 20, 5, 9, 3, 8, 12, 14) και επιβεβαιώστε την ορθή λειτουργία της ταξινόμησης στα waveforms.
- Λογική Σύνθεση (Synthesis): Εκτελέστε λογική σύνθεση του κυκλώματος με το εργαλείο Genus για δύο διαφορετικές τεχνολογίες: 45 nm και 7 nm.
- Έλεγχος Ισοδυναμίας (LEC): Επιβεβαιώστε τη λογική ισοδυναμία μεταξύ του αρχικού RTL κώδικα και του παραγόμενου Netlist.
- Φυσική Σχεδίαση (Place & Route): Εισάγετε το netlist στο εργαλείο Innovus και υλοποιήστε το τελικό layout.

