



Πανεπιστήμιο Πατρών



***Τμήμα Ηλεκτρολόγων Μηχανικών και
Τεχνολογίας Υπολογιστών***

Εργαστήριο Σχεδίασης Ολοκληρωμένων Κυκλωμάτων

Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI-II

Εαρινό Εξάμηνο 2026

Εργαστηριακή Άσκηση 2

Ασκήσεις προς παράδοση

Άσκηση 1: Hamming Distance

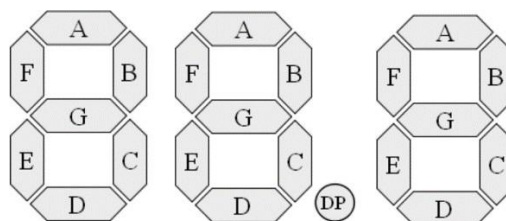
Χρησιμοποιώντας συντρέχουσες εντολές, σχεδιάστε ένα κύκλωμα που θα μετρά την απόσταση Hamming μεταξύ δύο 8-bit εισόδων και θα επιστρέφει την τιμή της. Η απόσταση Hamming είναι το πλήθος των ψηφίων που διαφέρουν (bit προς bit) οι δύο εισοδοί. Τα σήματα εισόδου και εξόδου είναι τύπου `std_logic/std_logic_vector`. Δώστε το block διάγραμμα του κυκλώματος.

Άσκηση 2: Κύκλωμα απεικόνισης δεκαδικών με ένα ψηφίο υποδιαστολής σε seven-segment display

Στόχος είναι να υλοποιηθεί ένα κύκλωμα το οποίο θα δέχεται ως είσοδο ένα δεκαδικό αριθμό με ένα δεκαδικό ψηφίο και τον απεικονίζει σε ένα σύστημα seven-segment display. Το συγκεκριμένο seven-segment display θα έχει ιδιαίτερες σχεδιαστικές απαιτήσεις. Δεν θα μπορεί να απεικονίσει αριθμούς μεγαλύτερους από 25. Σε περίπτωση που έρθει αριθμός μεγαλύτερος από 25 θα απεικονίζει το **E**, που σημαίνει error. Οι εισοδοί και οι έξοδοι του συστήματος θα είναι:

inputNO	Είσοδος – Ακέραιο Μέρος Αριθμού	5 bit
inputNO_DECIMAL	Είσοδος – Δεκαδικό ψηφίο αριθμού εισόδου	4 bit
dp	Έξοδος – Υποδιαστολή	1 bit
sseg_MON	Έξοδος – Seven-Segment Display για τις Μονάδες	7 bit
sseg_DEK	Έξοδος – Seven-Segment Display για τις Δεκάδες	7 bit
sseg_DECIMAL	Έξοδος – Seven-Segment Display για το Δεκαδικό Ψηφίο	7 bit

Το seven-segment display θα έχει την παρακάτω μορφή:



Το bit υποδιαστολής θα ενεργοποιείται αυτόματα αν δοθεί είσοδος στο δεκαδικό ψηφίο. Αν είναι 0, τότε είναι απενεργοποιημένη. Σε περίπτωση λάθους, η έξοδος θα είναι **E** στο

seven-segment display των μονάδων. Για δική σας ευκολία, μπορείτε να θεωρήσετε ότι το MSB των σημάτων sseg είναι το A, το αμέσως δεξιότερο το B κ.ο.κ.

Άσκηση 3: Υπολογισμός απόλυτης τιμής

Περιγράψτε σε VHDL ένα κύκλωμα που δέχεται δύο 8-bit εισόδους τύπου `std_logic_vector` a, b και υπολογίζει την απόλυτη τιμή τους $|a-b|$. Οι αριθμοί a, b να χειριστούν ως μη προσημασμένοι αριθμοί.

Άσκηση 4: Κύκλωμα σύγκρισης

Περιγράψτε σε VHDL ένα κύκλωμα σύγκρισης το οποίο έχει δύο 4-bit εισόδους A και B και τρεις εξόδους EQUAL, GREATER, LESS που παίρνουν τις τιμές ως εξής: EQUAL=1 όταν A=B, GREATER=1 όταν A>B και LESS=1 όταν A<B. Δώστε δύο λύσεις:

A) χρησιμοποιώντας μόνο τους τελεστές “=” και “>”,

B) χρησιμοποιώντας μόνο τους τελεστές “=”, “-” και “&”.

Σημείωση: Χειριστείτε τους αριθμούς A και B ως μη προσημασμένους.

Χρησιμοποιείτε και τη βιβλιοθήκη `unsigned` (use `ieee.std_logic_unsigned.all`;))

Επίσης, τα σήματα εισόδου και εξόδου είναι τύπου `std_logic_vector` και `std_logic`, αντίστοιχα.

Σύνθεση και Ανάλυση Υλοποίησης

Για τις **Ασκήσεις 1, 3 και 4A** απαιτείται επιπλέον:

- Υλοποίηση σε structural μορφή, με χρήση components για την τοποθέτηση καταχωρητών (registers) στις εισόδους και στις εξόδους του κυκλώματος.
- Πραγματοποίηση σύνθεσης (synthesis) με χρήση του εργαλείου Genus.
- Εξαγωγή μετρήσεων και δημιουργία αναφορών:
 - `report_timing`
 - `report_power`
 - `report_area`
- Χρήση βιβλιοθηκών τεχνολογίας 45 nm και 7 nm.