



Πανεπιστήμιο Πατρών



**Τμήμα Ηλεκτρολόγων Μηχανικών και
Τεχνολογίας Υπολογιστών**

**Εργαστήριο Σχεδίασης Ολοκληρωμένων
Κυκλωμάτων**

**Σχεδιασμός Ολοκληρωμένων
Κυκλωμάτων VLSI-II**

Εαρινό Εξάμηνο 2026

Εργαστηριακή Άσκηση 1

Ασκήσεις προς παράδοση

Άσκηση 1: Κωδικοποιητής προτεραιότητας

Στο ακόλουθο σχήμα δίνεται το διάγραμμα ενός κωδικοποιητή προτεραιότητας επτά επιπέδων, το οποίο έχει ένα σήμα εισόδου 7 ψηφίων και ένα σήμα εξόδου 3 ψηφίων. Το κύκλωμα πρέπει να κωδικοποιεί τη διεύθυνση του υψηλότερης τάξης ψηφίου της εισόδου που είναι ενεργό (δηλαδή '1').

Παράδειγμα:

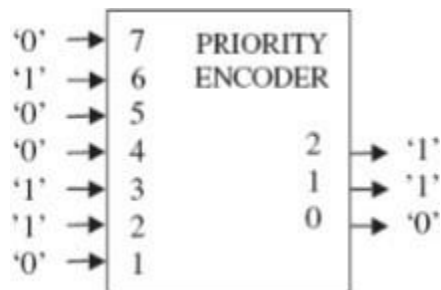
A. όταν η είσοδος είναι "0010110", τότε η έξοδος είναι "101". Για την είσοδο το MSB είναι το αριστερότερο ψηφίο.

B. όταν η είσοδος είναι "0000001" τότε η έξοδος είναι "001".

Το "000" στην έξοδο θα πρέπει να υποδεικνύει ότι κανένα ψηφίο της εισόδου δεν είναι ίσο με '1'.

Θεωρείτε ότι όλα τα σήματα εισόδου / εξόδου ως `std_logic` και `std_logic_vector`.

Συνθέστε και προσομοιώστε τη λύση σας. Παρουσιάστε ενδεικτικές περιπτώσεις λειτουργίας.



Άσκηση 2: Κύκλωμα μετατροπής κώδικα

Περιγράψτε σε VHDL τρία κύκλωμα που θα κάνουν μετατροπή από κώδικα Binary σε Excess-3, Aiken και Gray. Προτείνετε λύσεις:

A) με χρήση τελεστών,

B) με χρήση της εντολής WITH,

Γ) με χρήση της εντολής WHEN.

Σύνθεση και Ανάλυση Υλοποίησης

Μετά την υλοποίηση των παραπάνω κυκλωμάτων σε VHDL, να πραγματοποιηθεί λογική σύνθεση χρησιμοποιώντας το εργαλείο **Cadence Genus**.

Η σύνθεση θα πρέπει να πραγματοποιηθεί για δύο διαφορετικές τεχνολογίες:

- 45 nm
- 7 nm

Για κάθε τεχνολογικό κόμβο να παρουσιαστούν:

- τα αποτελέσματα χρονισμού (timing / critical path delay),
- το συνολικό εμβαδόν υλοποίησης (area),
- σύγκριση των αποτελεσμάτων μεταξύ των δύο τεχνολογιών.

Επιπλέον, να εξαχθεί και να παρουσιαστεί το **schematic της τελικής υλοποίησης μετά το optimization** του εργαλείου σύνθεσης.