

Instructions for Innovus LAB 3

- Αφού έχετε περάσει το κύκλωμά σας από σύνθεση (genus flow), θα έχει παραχθεί ένα verilog αρχείο (.v) με το κύκλωμα σας που είναι mapped πλέον στα cells της τεχνολογίας και ένα constraints αρχείο (.sdc) με τα constraints που έχει δημιουργήσει το genus για το παραγόμενο κύκλωμα και το clock. Οι εντολές στο σκριπτ που παράγουν τα δύο αρχεία και πρέπει να γίνουν uncomment είναι
 - write_hdl και write_sdc
- Το Innovus ξεκινάει με την εντολή innovus στο terminal ανοίγοντας και το gui.
- File->Import Design
 - Netlist
 - Verilog Files->add->Το .v αρχείο που προέκυψε από το genus.
 - Technology/Physical Libraries
 - LEF Files->add->Τα .lef αρχεία ΞΕΚΙΝΩΝΤΑΣ ΑΠΟ ΤΟ gsclib045_tech.lef. Θα τα βρείτε στον φάκελο με path /eda/tech/vlsi2/Genus_LAB/Genus_CUI_RAK/LEF
 - Power
 - Power Nets: VDD
 - Ground Nets: VSS
 - Analysis Configuration->Create Analysis Configuration
 - Library Sets->right click->New.
 - ✓ Name->min_timing
 - ✓ Timing Library Files->add->fast.lib
 - ✓ Θα βρείτε τα .lib στον φάκελο με path /eda/tech/vlsi2/Genus_LAB/Genus_CUI_RAK/LIB
 - Library Sets->right click->New.
 - ✓ Name->max_timing
 - ✓ Timing Library Files->add->slow.lib
 - ✓ Θα βρείτε τα .lib στον φάκελο με path /eda/tech/vlsi2/Genus_LAB/Genus_CUI_RAK/LIB
 - Delay Corners->right click->New

- ✓ Name->max_delay
 - ✓ Library Set->max_timing
 - Delay Corners->right click->New
 - ✓ Name->min_delay
 - ✓ Library Set->min_timing
 - Constraint Modes->right click->New
 - ✓ Name->con
 - SDC Constraint Files->add->To .sdc file που προέκυψε από το genus.
 - Analysis Views->right click->New
 - ✓ Name->worst_case
 - ✓ Delay Corner->max_delay
 - Analysis Views->right click->New
 - ✓ Name->best_case
 - ✓ Delay Corner->min_delay
 - Setup Analysis Views->right click->New
 - ✓ worst_case
 - Holdup Analysis Views->right click->New
 - ✓ best_case
 - Save & Close->OK
- Floorplan on the toolbar->Specify Floorplan
 - Core to Left/Right/Top/Bottom->Στο Width/Height ορίζονται το πλάτος και το ύψος του αρχικού box, οπότε καθορίστε ανάλογες τιμές.
- Power->Power Planning->Add Ring
 - Nets-> Write: VDD VSS
 - Top/Bottom-> πχ M5
 - Left/Right-> πχ M6
 - Width, Spacing, Offset-> Πρέπει τα ring να είναι μεταξύ του αρχικού chip και των ορίων που ορίσατε να καταλαμβάνει το κύκλωμά σας. Σε διαφορετική περίπτωση θα σας βγάζει error.
- Power->Power Planning->Add Stripes
 - Nets-> Write: VDD VSS
 - Layer->M6

- Width/Spacing->Όπως και στα Rings
- Number of Sets->1 (μικρά κυκλώματα)
- Start->Τέτοιο ώστε VDD και VSS να είναι στο κέντρο του design.
- Route->Special Route
 - Nets-> Write: VDD VSS
 - OK
- Edit->Pin Editor
 - Επιλέγετε με την σειρά τις εισόδους/εξόδους από το Pin Group
 - Assign location ενεργοποιεί το Side/Edge->Επιλέγετε το σημείο τοποθέτησης πάνω στο chip (Top/...)
 - Spread-> From Center
 - Spacing->Ορίζετε ένα spacing μεταξύ των pins.
- Place->Place Standard Cell
- Για να τοποθετήσετε dummy cells στο κύκλωμα σας γράφετε την εντολή στο terminal->addFiller –cell FILL1
- Για να πάρετε το report timing γράφετε στο terminal->report_timing. Σε περίπτωση που δεν έχετε προσθέσει clock γράφετε report_timing –unconstrained

Instructions for Innovus LAB 4

- Τα πρώτα βήματα μέχρι και την προσθήκη των stripes είναι ακριβώς τα ίδια. **Τα .lef είναι διαφορετικά από το lab3 και είναι στο path:**
/eda/tech/gsclib045_all_v4.7/gsclib045/lef/
- Πριν το placement των standard cell χρειάζεται να τρέξετε στο command window την εντολή
 - setOptMode -opt_enable_podv2_clock_opt_flow true
- Αντί για το placement και την είσοδο των pins από το gui του innovus μπορείτε να υλοποιήσετε τις διαδικασίες αυτές με τις εντολές
 - setPlaceMode -place_global_place_io_pins true
 - place_opt_design
- Για την δημιουργία του clock tree (CTS: clock tree synthesis) χρειάζεται να τρέξετε τις εξής εντολές

- add_ndr -width {Metal1 0.12 Metal2 0.14 Metal3 0.14 Metal4 0.14 Metal5 0.14 Metal6 0.14 Metal7 0.14 Metal8 0.14 Metal9 0.14 } -spacing {Metal1 0.12 Metal2 0.14 Metal3 0.14 Metal4 0.14 Metal5 0.14 Metal6 0.14 Metal7 0.14 Metal8 0.14 Metal9 0.14 } -name 2w2s
- create_route_type -name clkroute -non_default_rule 2w2s -bottom_preferred_layer Metal5 -top_preferred_layer Metal6
- set_ccopt_property route_type clkroute -net_type trunk
- set_ccopt_property route_type clkroute -net_type leaf
- set_ccopt_property buffer_cells {CLKBUF8 CLKBUF12}
- set_ccopt_property inverter_cells {CLKINV8 CLKINV12}
- set_ccopt_property clock_gating_cells TLATNTSCA*
- create_ccopt_clock_tree_spec -file ccopt.spec
- source ccopt.spec
- clock_opt_design -cts
- Στην συνέχεια ακολουθεί το post CTS optimization με την εντολή
 - optDesign -postCTS -setup -hold
- Στην συνέχεια ακολουθεί το routing του design με την εντολή
 - routeDesign
- Τέλος ακολουθεί το post route optimization και η προσθήκη των filler cells
 - addFiller -cell FILL1
 - optDesign -postRoute -setup -hold
- Στο τελικό αποτέλεσμα μπορείτε να κάνετε verification στο geometry, connectivity, DRC.

LAB 5 Xcelium and LEC

- Για το LEC, το σκριπτ με τις εντολές υπάρχει στο eclass.
- Για το Xcelium, η εντολή είναι: xrun -v slow_vdd1v0_basicCells.v GENUS.v Testbench.v -mess -access +rwc -timescale 1ns/1ps -gui
 - Genus.v: το netlist verilog αρχείο που προκύπτει από το genus
 - Testbench.v: το testbench που θα υλοποιήσετε με δομή παρόμοια με αυτή που υπάρχει στο eclass (το .sdf που υπάρχει στο testbench είναι το .sdf που προκύπτει από το genus). Το .sdf προκύπτει προσθέτοντας στο genus script την εντολή


```
write_sdf -setuphold split \
          -recrem split \
          > ${_OUTPUTS_PATH}/${DESIGN}_m.sdf
```
 - Θα πρέπει όλα τα αρχεία .v να είναι στον ίδιο φάκελο. Το slow_vdd1v0_basicCells.v υπάρχει στο path:


```
/eda/tech/gsclib045_all_v4.7/gsclib045/verilog/
```