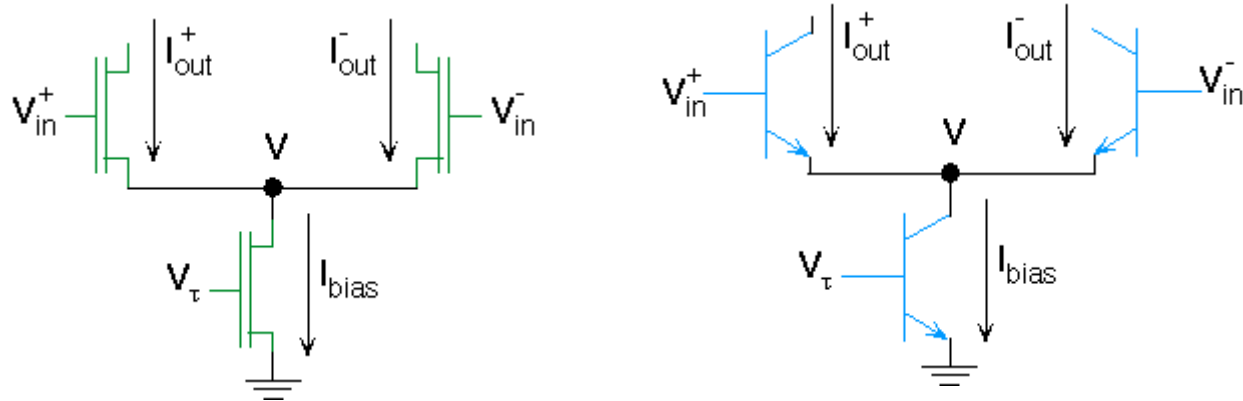


ΔΙΑΦΟΡΙΚΟΙ ΚΑΙ ΠΟΛΥΒΑΘΜΙΟΙ ΕΝΙΣΧΥΤΕΣ

ΔΙΑΛΕΞΗ 2

Το διαφορικό ζεύγος

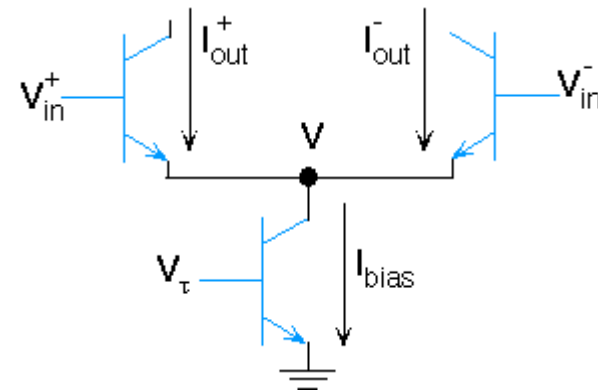


- Το κάτω τρανζίστορ (I_{bias}) καθορίζει το ρεύμα του κυκλώματος
- Τα δυο πάνω τρανζίστορ συναγωνίζονται για το ποιο θα πάρει αυτό το ρεύμα

Ανάλυση του διαφορικού ζεύγους BJT

$$I_c = I_{co} e^{V_{BE}/U_T} \rightarrow \begin{aligned} I_{out}^+ &= I_{co} e^{(V_{in}^+ - V)/U_T} \\ I_{out}^- &= I_{co} e^{(V_{in}^- - V)/U_T} \end{aligned}$$

Αγνοώ το ρεύμα βάσης



$$I_{bias} = I_{co} (e^{V_{in}^+/U_T} + e^{V_{in}^-/U_T}) e^{V/U_T}$$

$$\text{BJT: } I_{bias} = I_{co} e^{V_\tau/U_T}$$

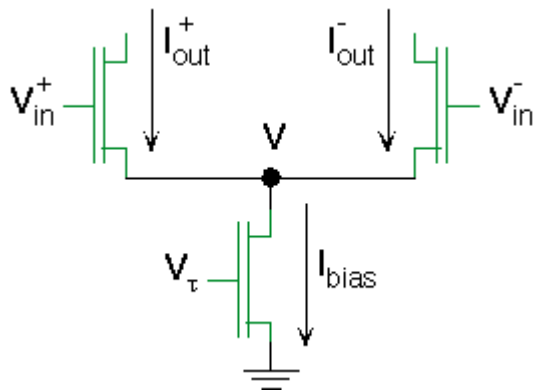
$$V = V_\tau - U_T \ln(e^{V_{in}^+/U_T} + e^{V_{in}^-/U_T})$$

$$I_{out}^+ = I_{bias} \frac{1}{1 + e^{(V_{in}^- - V_{in}^+)/U_T}}$$

$$I_{out}^- = I_{bias} \frac{1}{1 + e^{(V_{in}^+ - V_{in}^-)/U_T}}$$

$$I_{out}^+ - I_{out}^- = I_{bias} \tanh\left(\frac{(V_{in}^+ - V_{in}^-)}{2 U_T}\right)$$

Ανάλυση του διαφορικού ζεύγους



$$I_{out}^+ = I_0 e^{\kappa V_{in}^+ / U_T} e^{V / U_T}$$

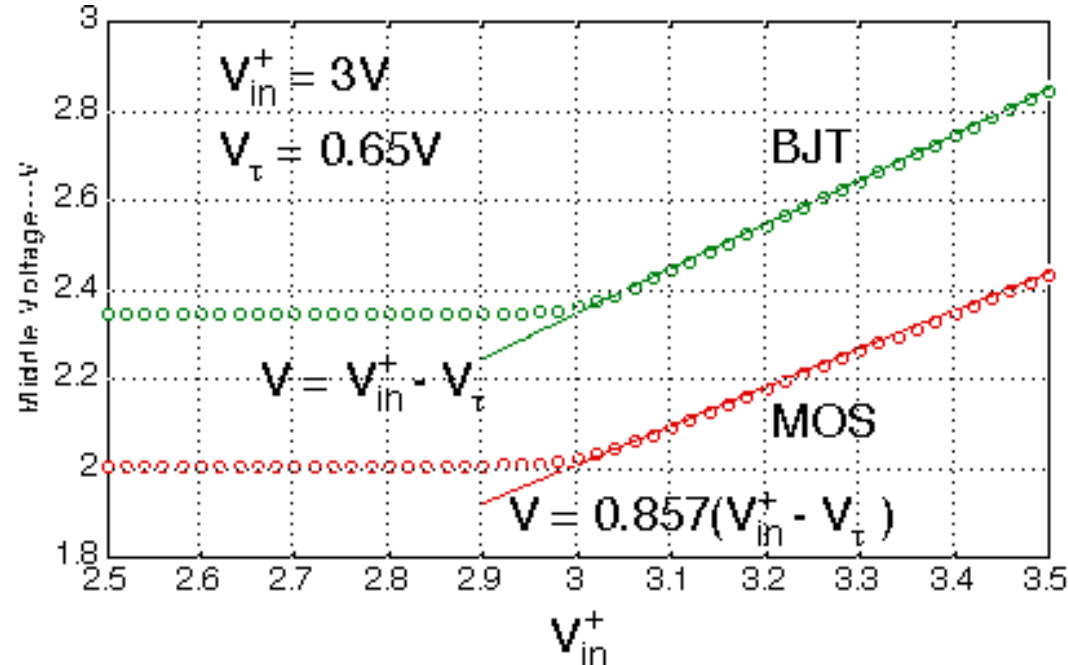
$$I_{out}^- = I_0 e^{\kappa V_{in}^- / U_T} e^{V / U_T}$$

$$I_{out}^+ + I_{out}^- = I_{bias}$$

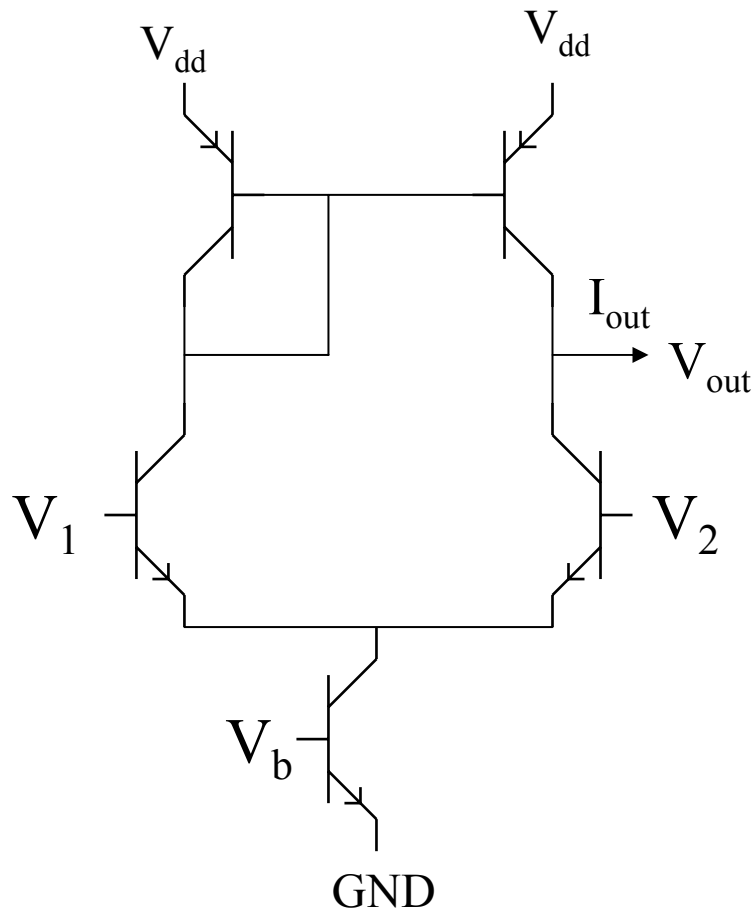
$$\text{MOS: } I_{bias} = I_0 e^{\kappa V_{\tau} / U_T}$$

$$V = \kappa V_{\tau} - U_T \ln \left(e^{\kappa V_{in}^+ / U_T} + e^{\kappa V_{in}^- / U_T} \right)$$

$$\sim \max(\kappa V_{in}^+ / U_T, \kappa V_{in}^- / U_T)$$



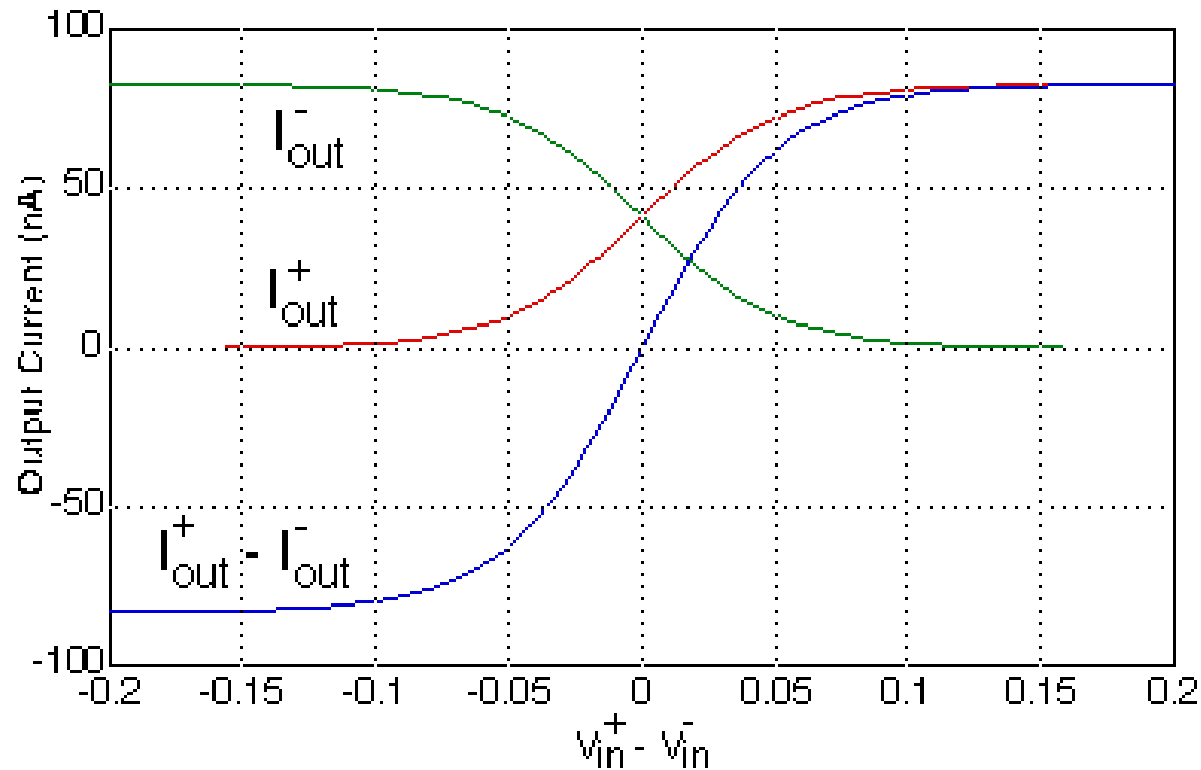
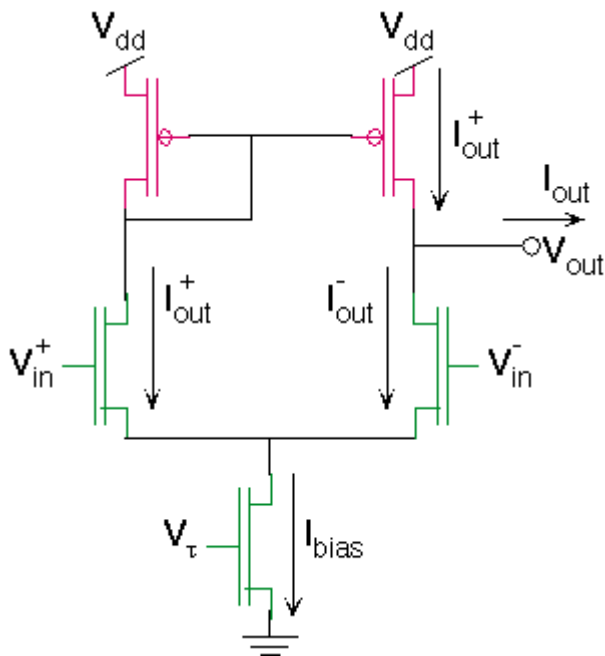
Ο ΒJT διαφορικός ενισχυτής



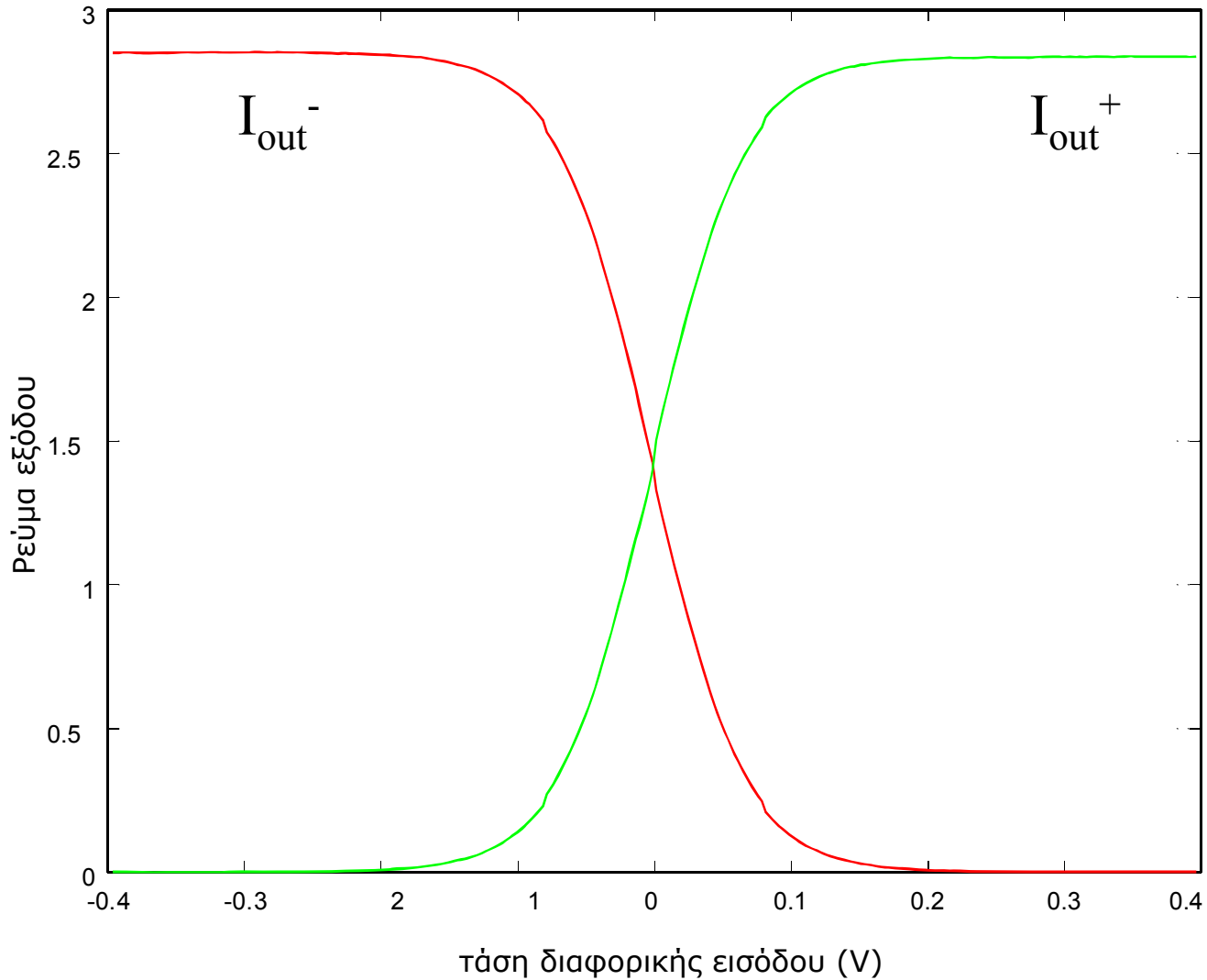
Σταθεροποιημένη τάση εξόδου:
Στην έξοδο → ρεύμα

Μηδενικό ρεύμα εξόδου:
στη έξοδο → τάση

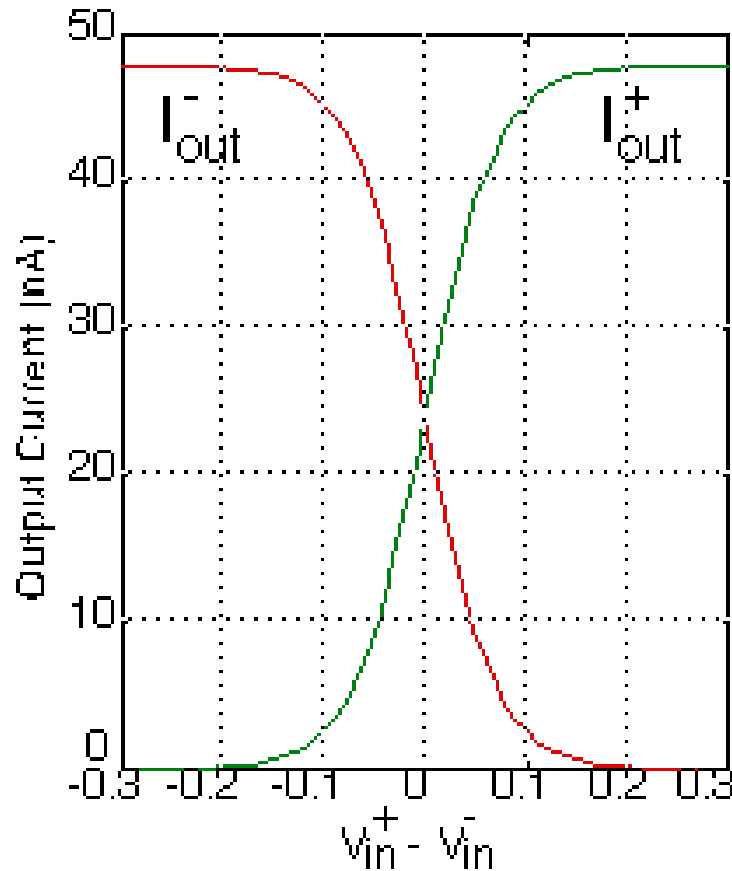
Ο βασικός διαφορικός ενισχυτής



Ρεύματα διαφορικού ζεύγους



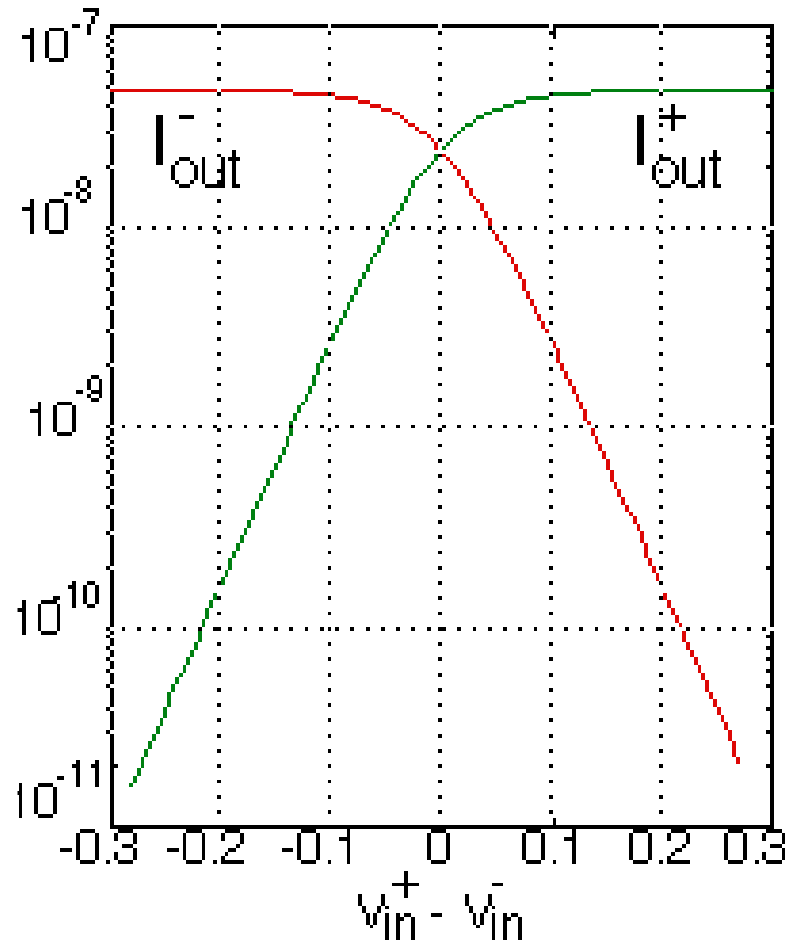
Ρεύματα ακροδεκτών τρανζίστορ (1/2)



$$\begin{aligned}
 I_{out}^+ &= I_{bias} \frac{e^{\kappa V_{in}^+ / U_T}}{e^{\kappa V_{in}^+ / U_T} + e^{\kappa V_{in}^- / U_T}} \\
 &= I_{bias} \frac{1}{1 + e^{\kappa (V_{in}^- - V_{in}^+) / U_T}} \\
 I_{out}^- &= I_{bias} \frac{1}{1 + e^{\kappa (V_{in}^+ - V_{in}^-) / U_T}}
 \end{aligned}$$

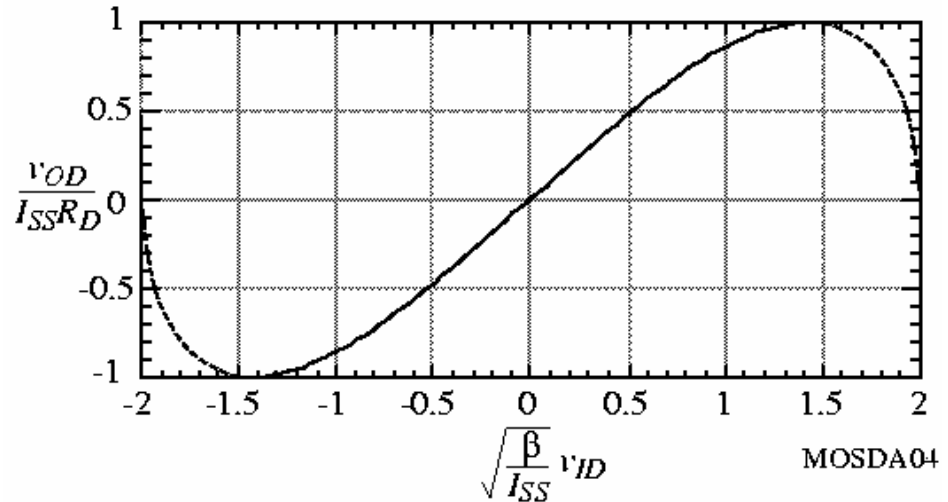
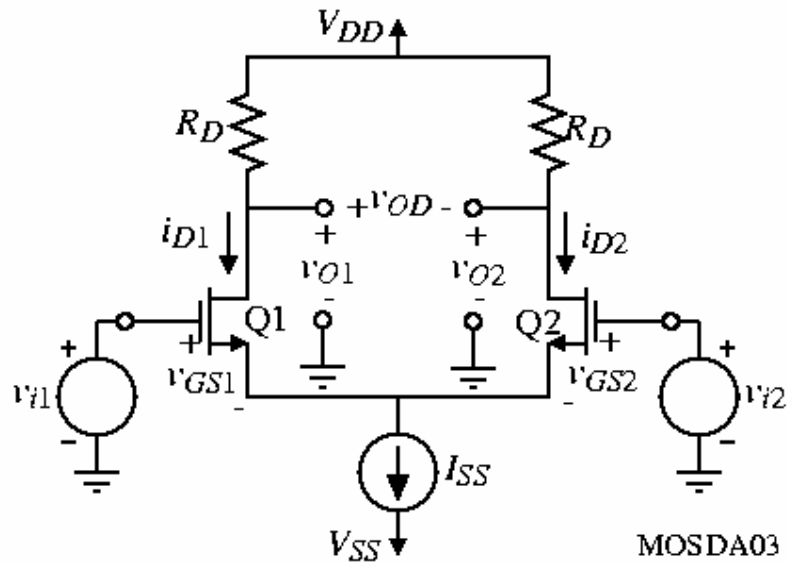
Ρεύματα ακροδεκτών τρανζίστορ (2/2)

$$\begin{aligned} I_{out}^+ &= I_{bias} \frac{e^{\kappa V_{in}^+ / U_T}}{e^{\kappa V_{in}^+ / U_T} + e^{\kappa V_{in}^- / U_T}} \\ &= I_{bias} \frac{1}{1 + e^{\kappa (V_{in}^- - V_{in}^+) / U_T}} \\ I_{out}^- &= I_{bias} \frac{1}{1 + e^{\kappa (V_{in}^+ - V_{in}^-) / U_T}} \end{aligned}$$



MOS ανάλυση μεγάλου σήματος (1/2)

- Πάνω από την τάση κατωφλίου



$$v_{ID} = v_{GS1} - v_{GS2} = \left(\frac{2i_{D1}}{\beta}\right)^{1/2} - \left(\frac{2i_{D2}}{\beta}\right)^{1/2}$$

$$I_{SS} = i_{D1} + i_{D2}$$

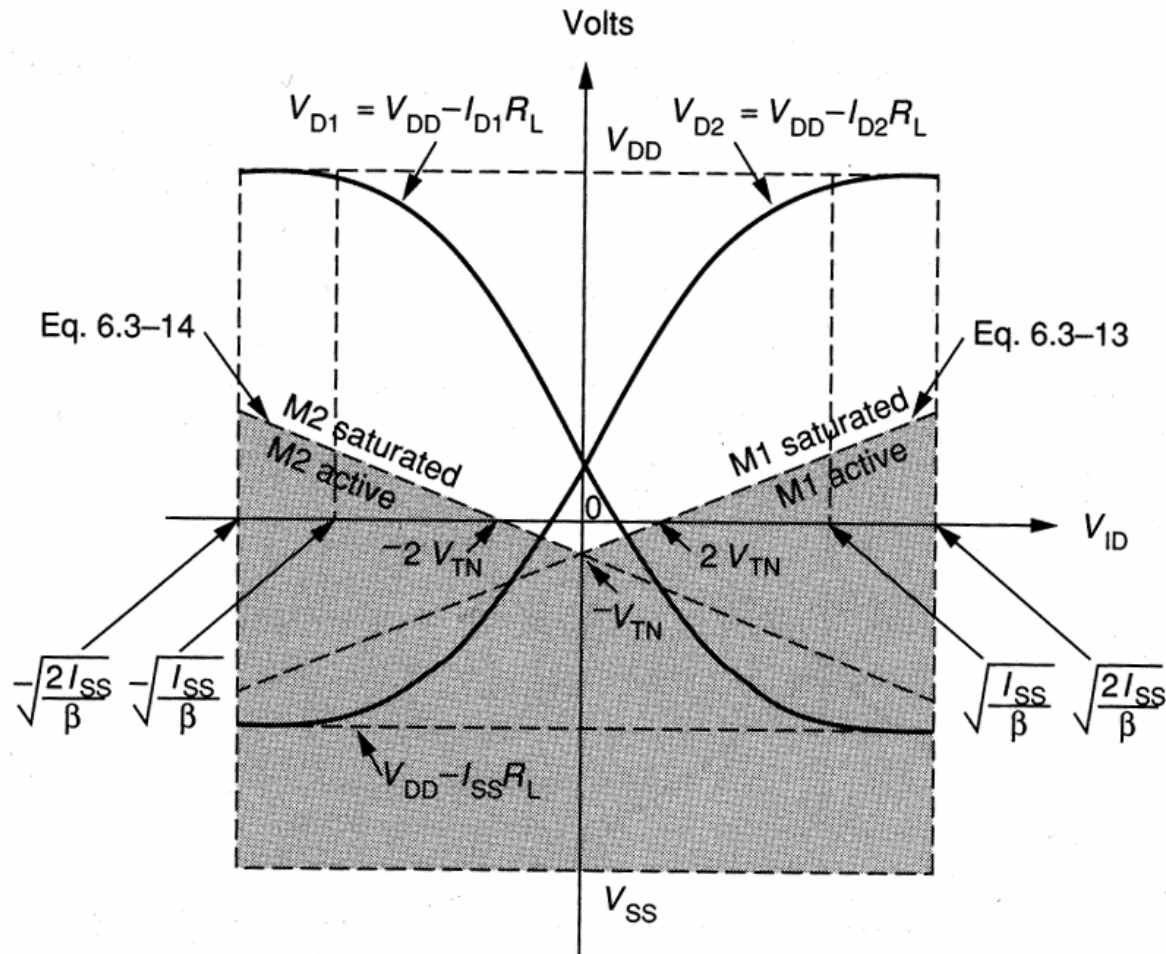
$$i_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2} \right)^{1/2}$$

$$i_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2} \right)^{1/2}$$

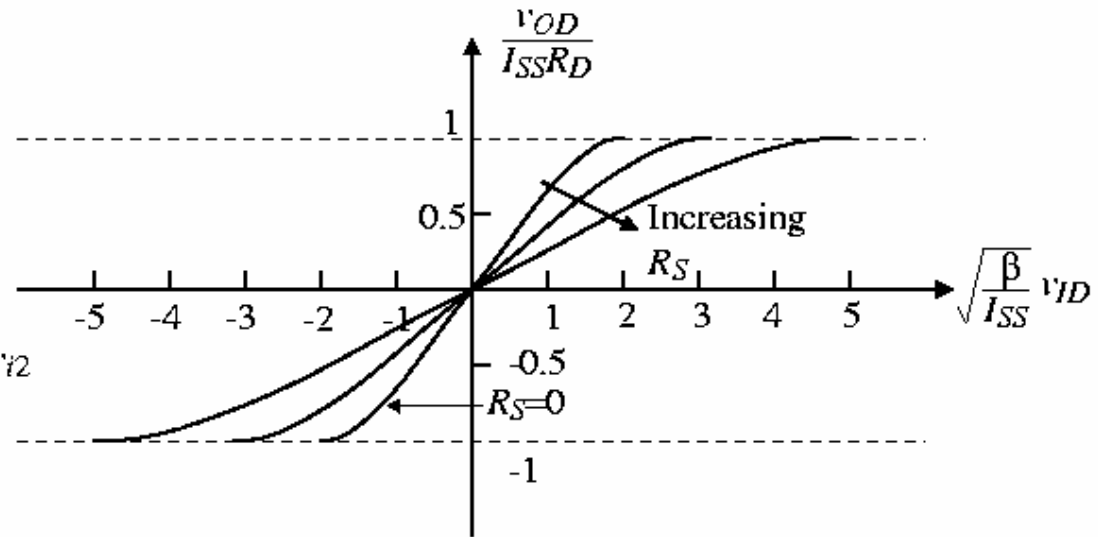
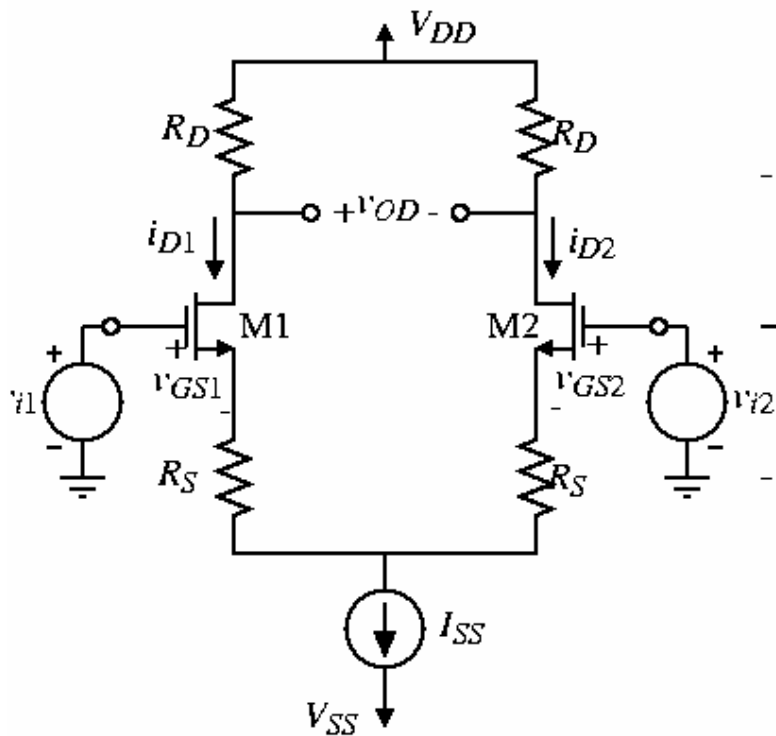
$$g_m = \partial i_{D1} / \partial v_{ID} (V_{ID} = 0) = (\beta I_{SS} / 4)^{1/2} = \left(\frac{K'_1 I_{SS} W_1}{4L_1} \right)^{1/2}$$

MOS ανάλυση μεγάλου σήματος (2/2)

- Πάνω από την τάση κατωφλίου

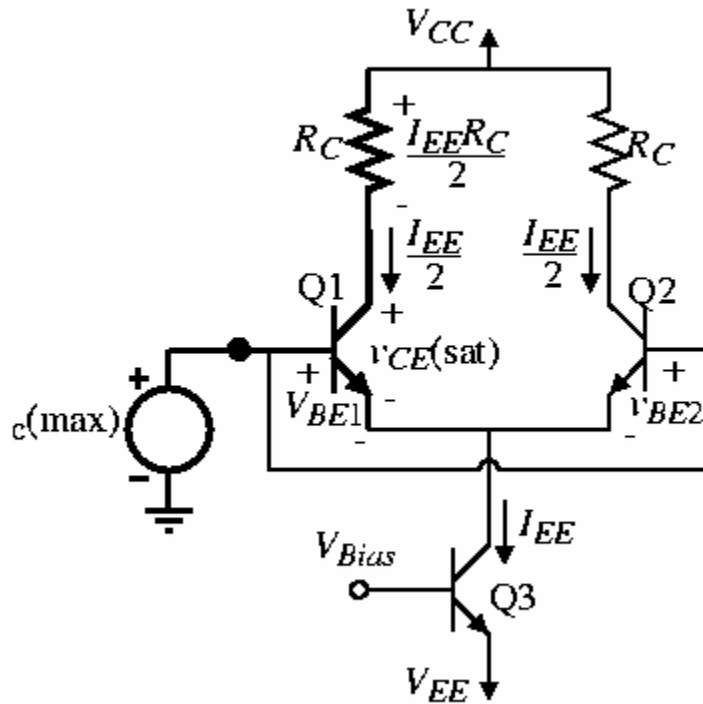


Το κέρδος σαν συνάρτηση του ρεύματος πόλωσης

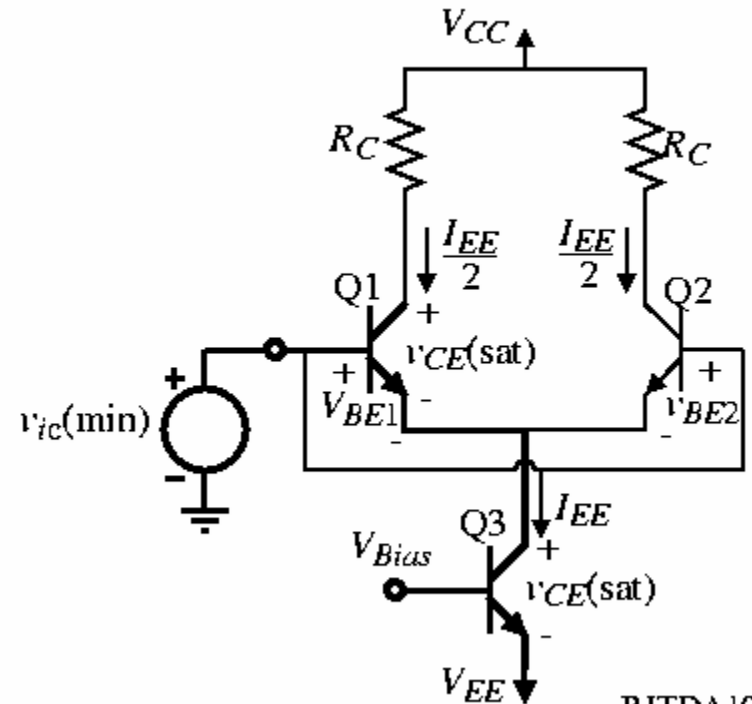


MOSDA05

Εύρος εισόδου κοινού τρόπου



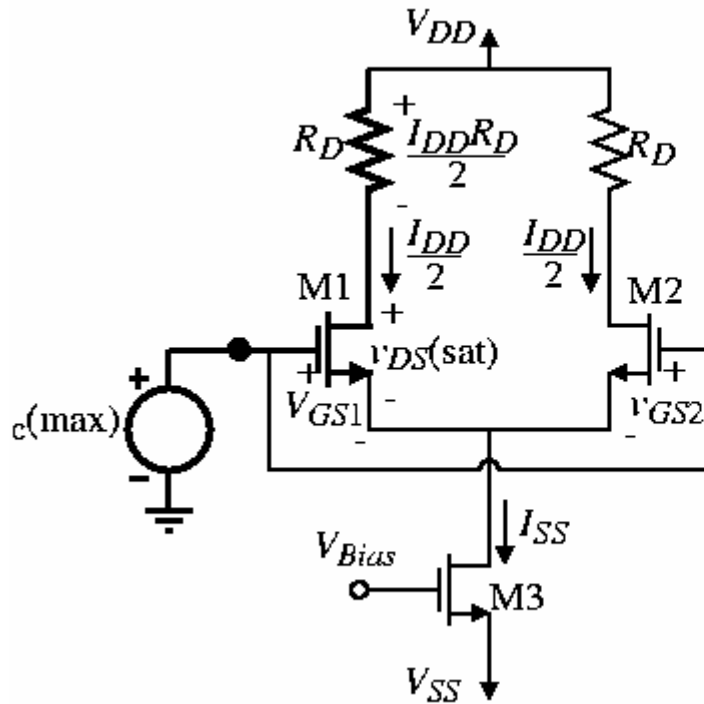
μέγιστο: Q1 ορθά πολωμένο



BJTDA10

ελάχιστο: Q3 ορθά πολωμένο

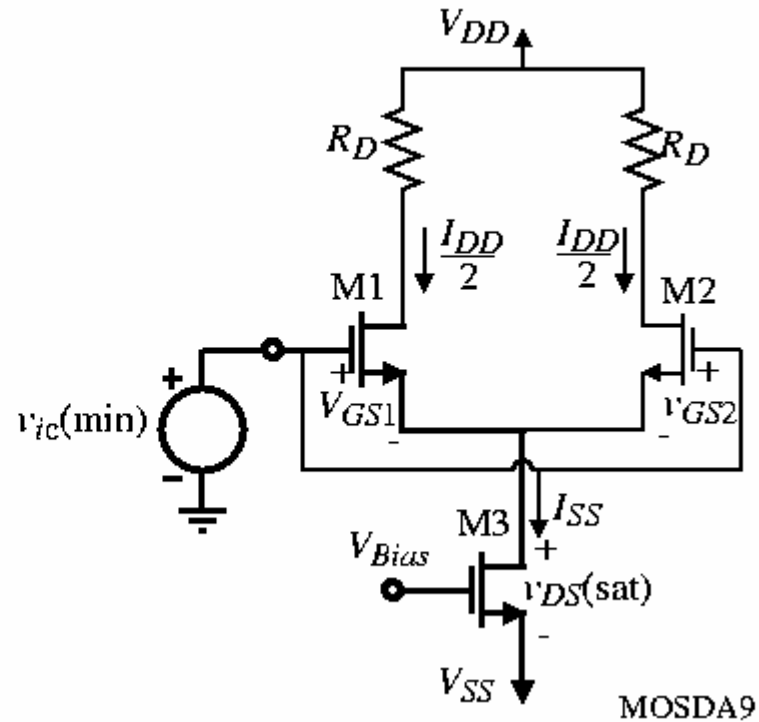
Εύρος εισόδου κοινού τρόπου (MOS)



μέγιστο: M1 στον κόρο

$$v_{ic}(\max) = V_{DD} - 0.5 I_{SS} R_D - v_{DS1}(\text{sat}) + V_{GS1}$$

$$= V_{DD} - 0.5 I_{SS} R_D + V_{T1}$$

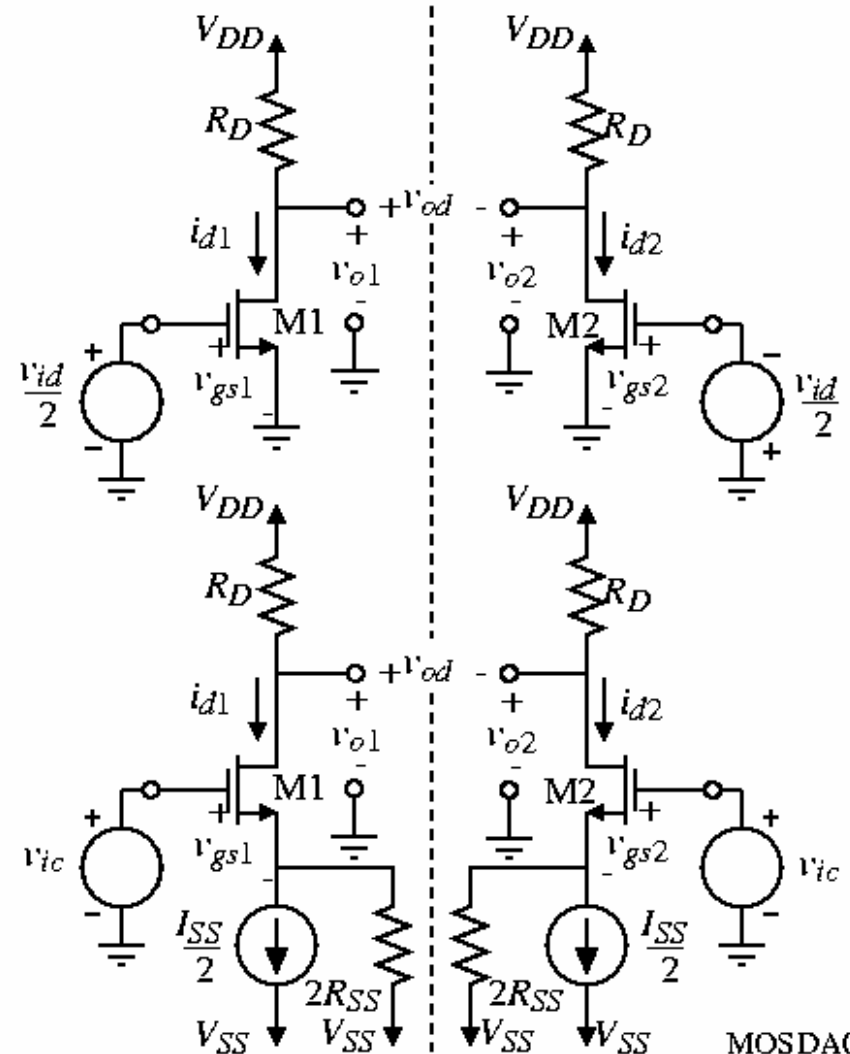
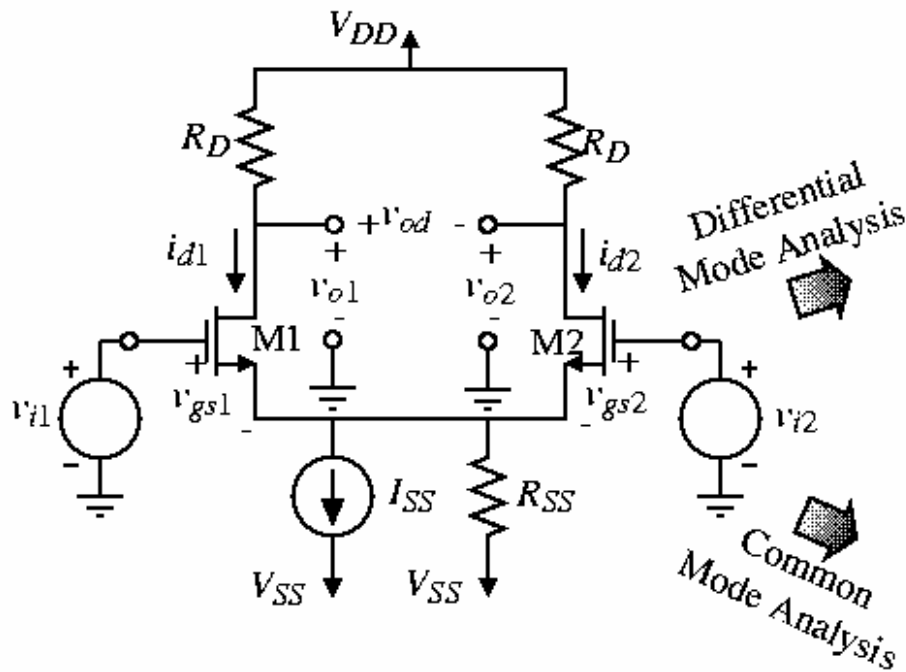


ελάχιστο: M3 στον κόρο

$$v_{ic}(\min) = V_{SS} + v_{DS3}(\text{sat}) + V_{GS1}$$

Micro-surgery

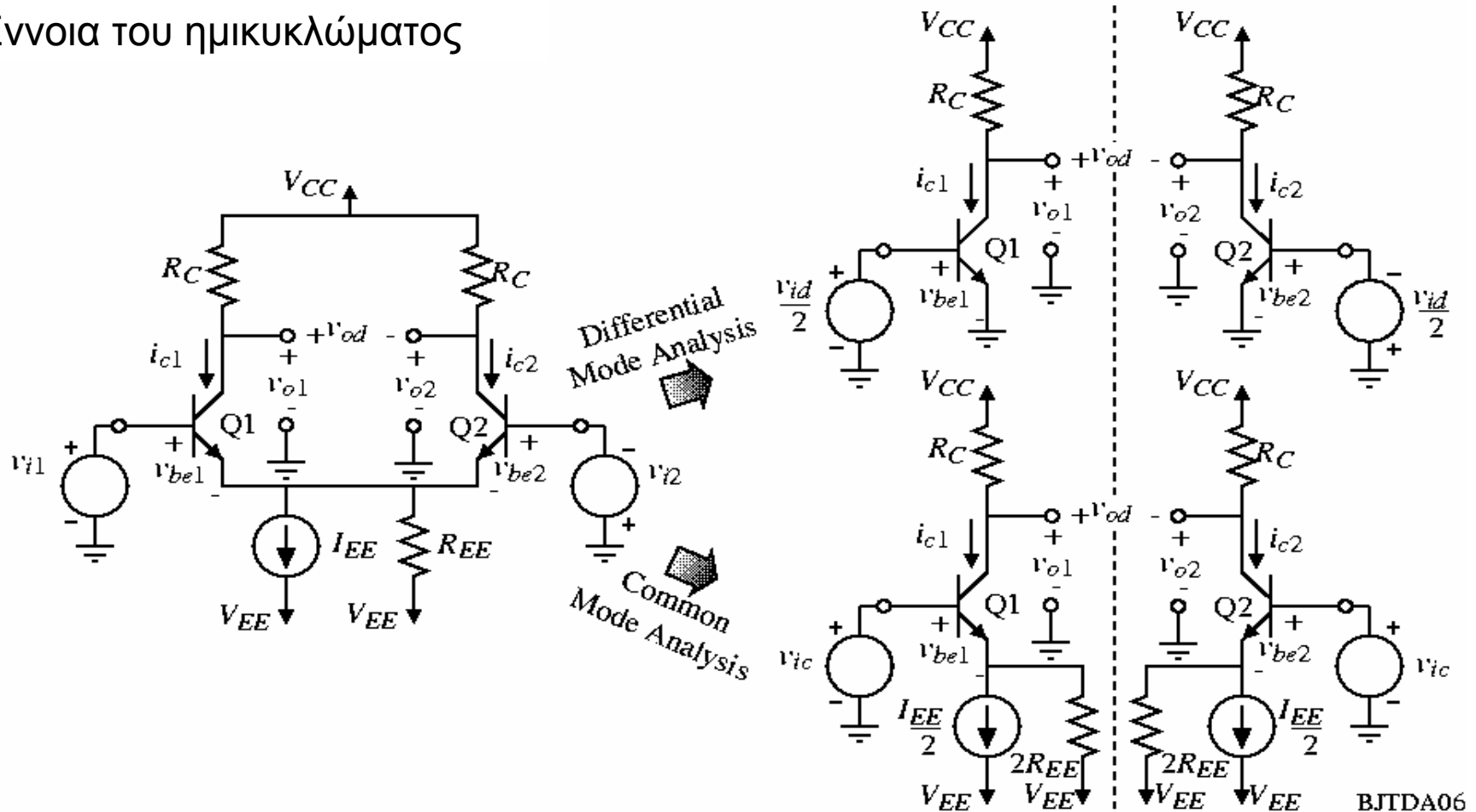
Έννοια του ημικυκλώματος



MOSDA06

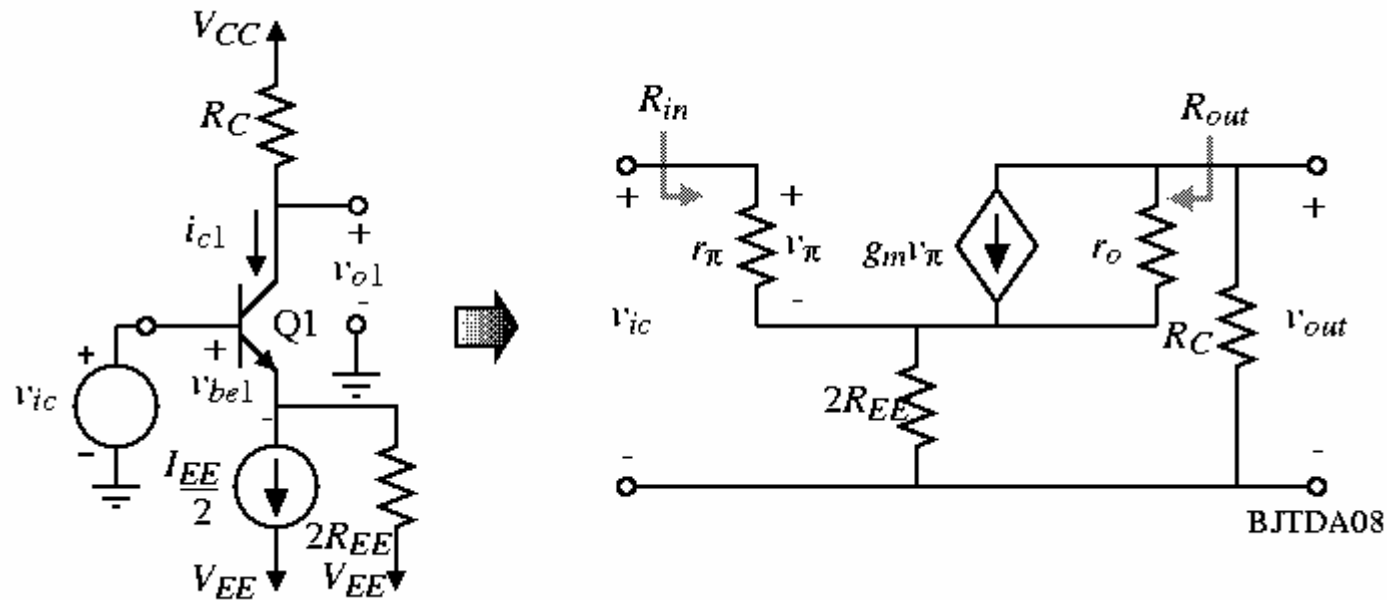
Μικρό σήμα: διαφορικό ζευγάρι BJT

Έννοια του ημικυκλώματος



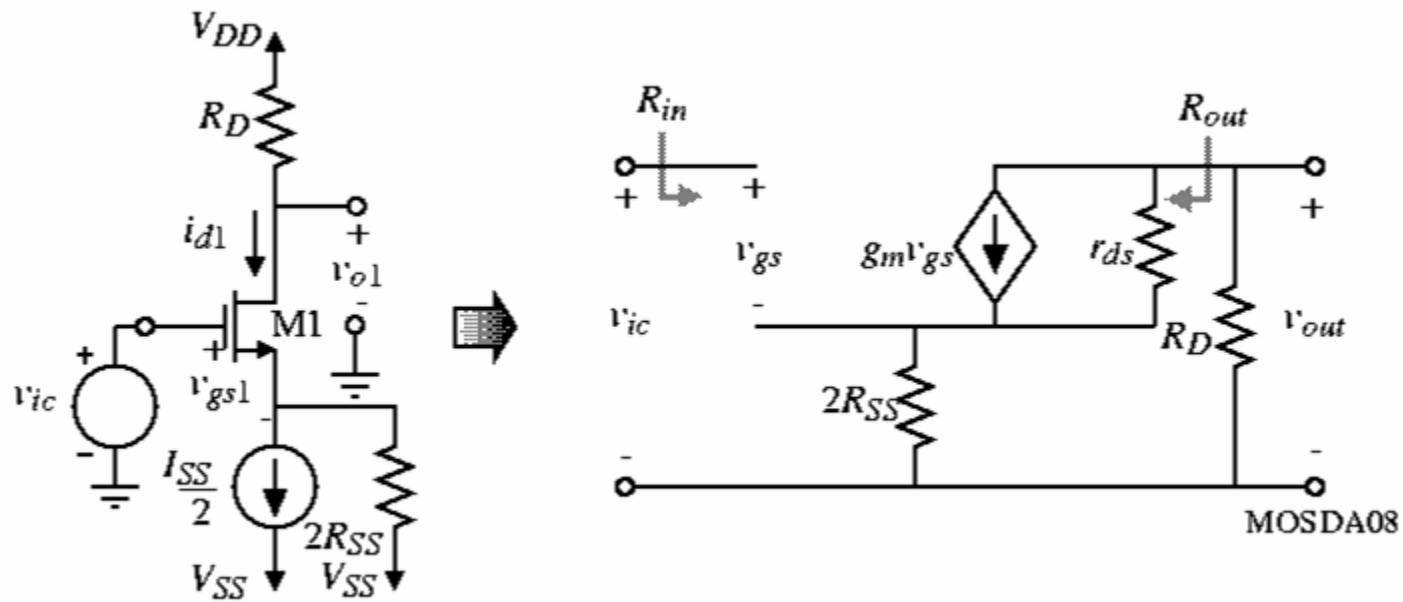
Το κύκλωμα κοινού τρόπου - CM

- Ο ενισχυτής degenerated-εκπομπού
 - Gain $\sim - R_C / (2R_{EE})$

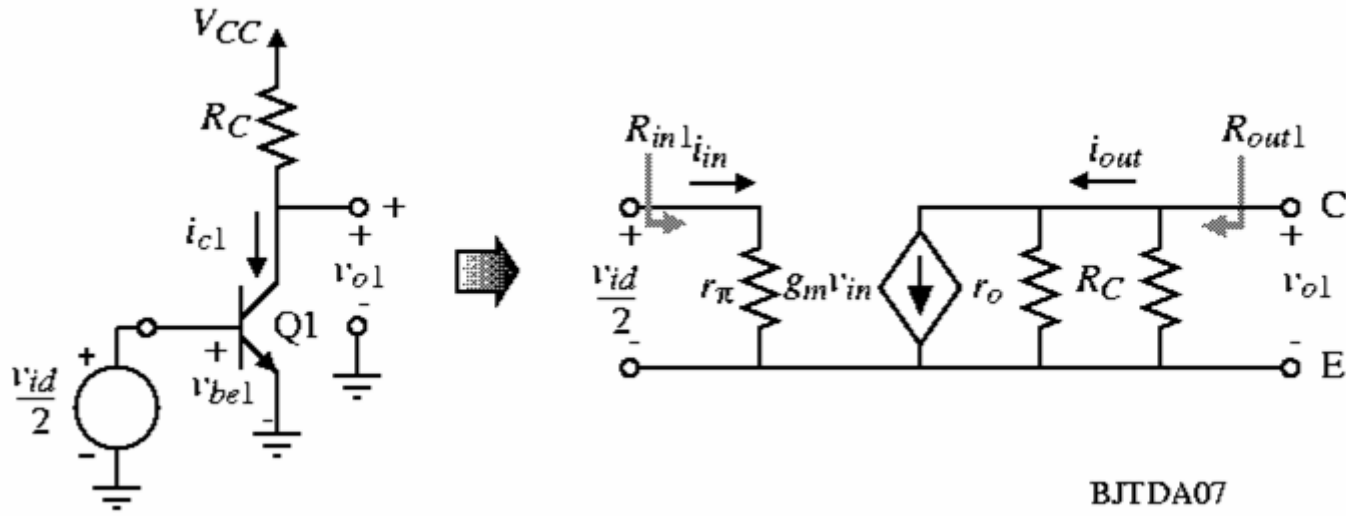


Το MOS κύκλωμα κοινού τρόπου - CM

- Ο ενισχυτής degenerated-εκπομπού
 - Gain $\sim - R_D / (2R_{SS})$



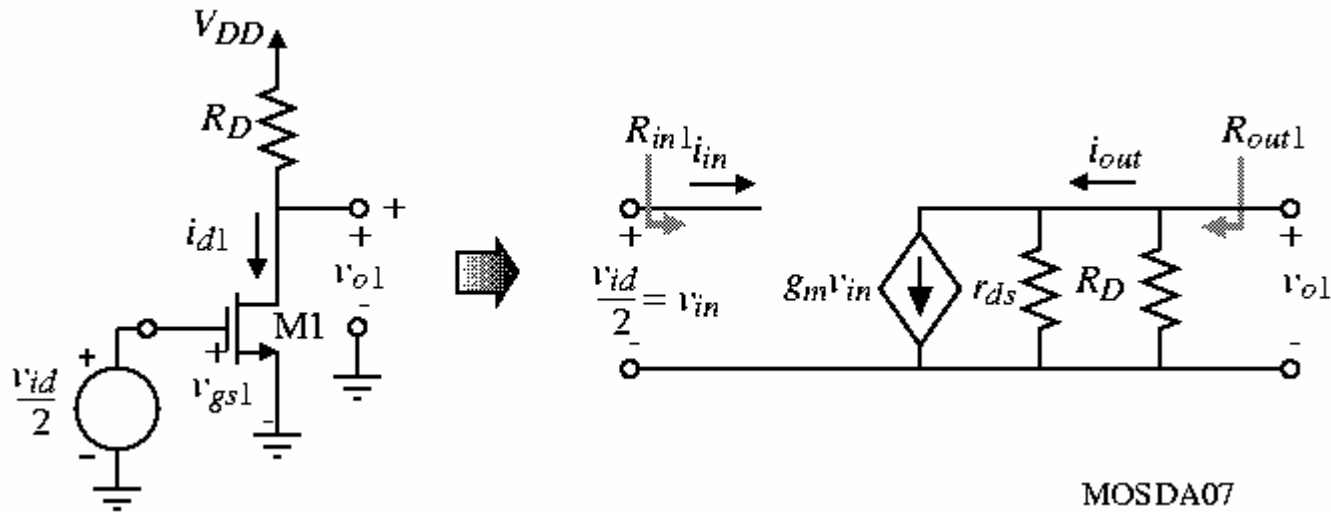
Διαφορικό κέρδος



$$\text{Gain} = -g_m R_C \longrightarrow \text{CMRR} \sim -2 g_m R_E$$

$$\sim -2 (I_{EE}/2 U_T) R_E$$

Το διαφορικό κύκλωμα MOS



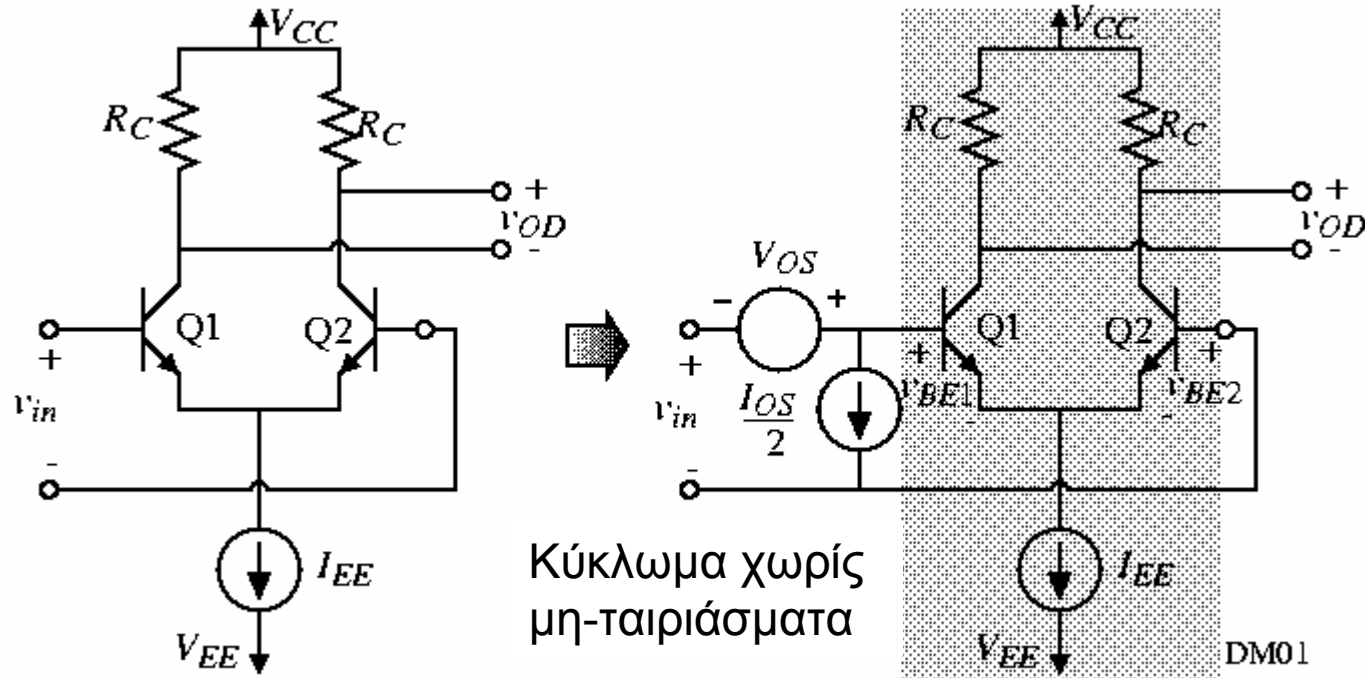
$$\text{Gain} = -g_m R_D \longrightarrow \text{CMRR} \sim -2 g_m R_{SS}$$

$$\sim -(I_{SS}/(V_{gs} - V_T)) R_{SS}$$

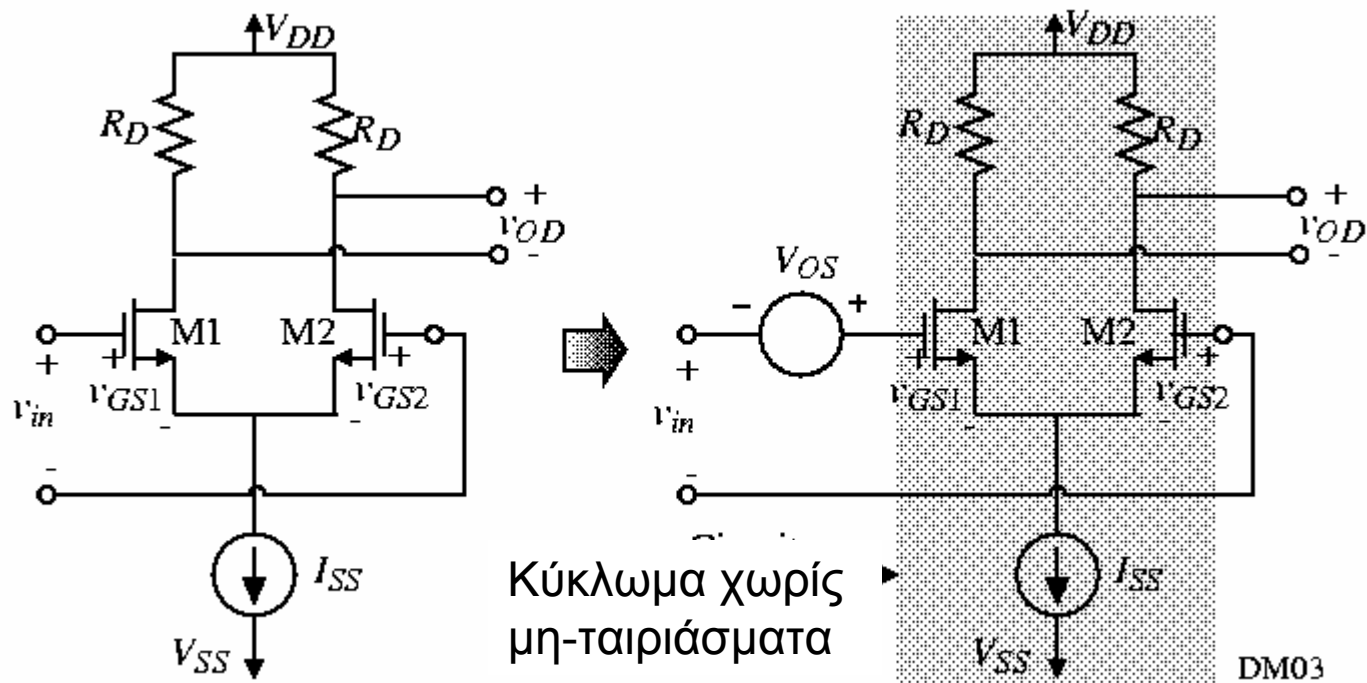
Μη-ταίριασμα σε κυκλώματα τρανζίστορ

- Τι εννοούμε με τον όρο mismatch
- Τι μέθοδος χρησιμοποιείται για την ανάλυση των mismatches (γενική προσέγγιση)
- Τάση εισόδου και offset ρευμάτων των BJT διαφορικών ενισχυτών
- Offset τάση εισόδου των MOS διαφορικών ενισχυτών

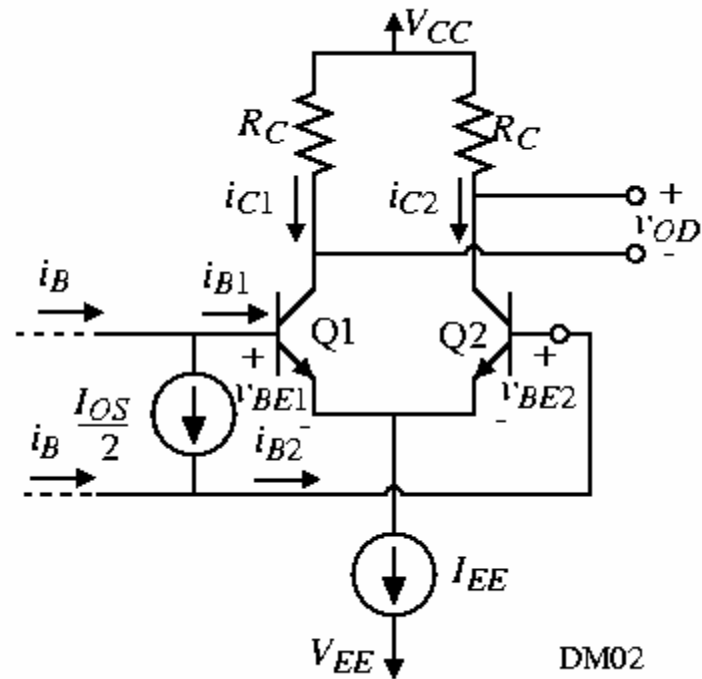
Μοντέλο BJT mismatch



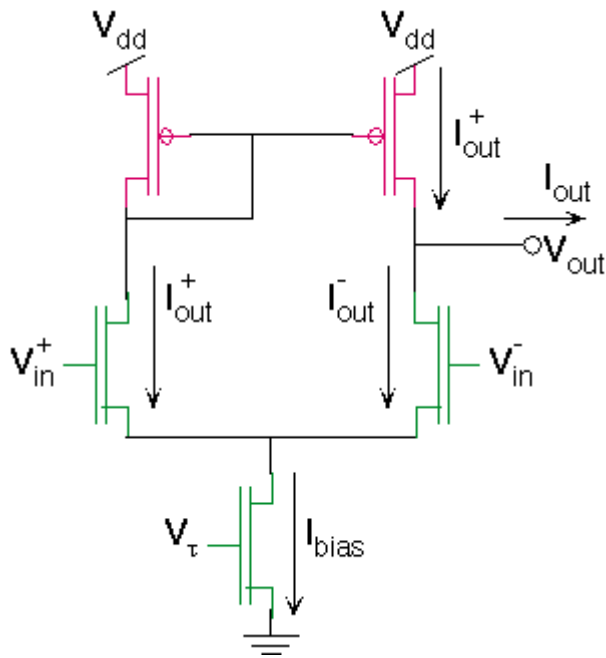
Μοντέλο MOS mismatch



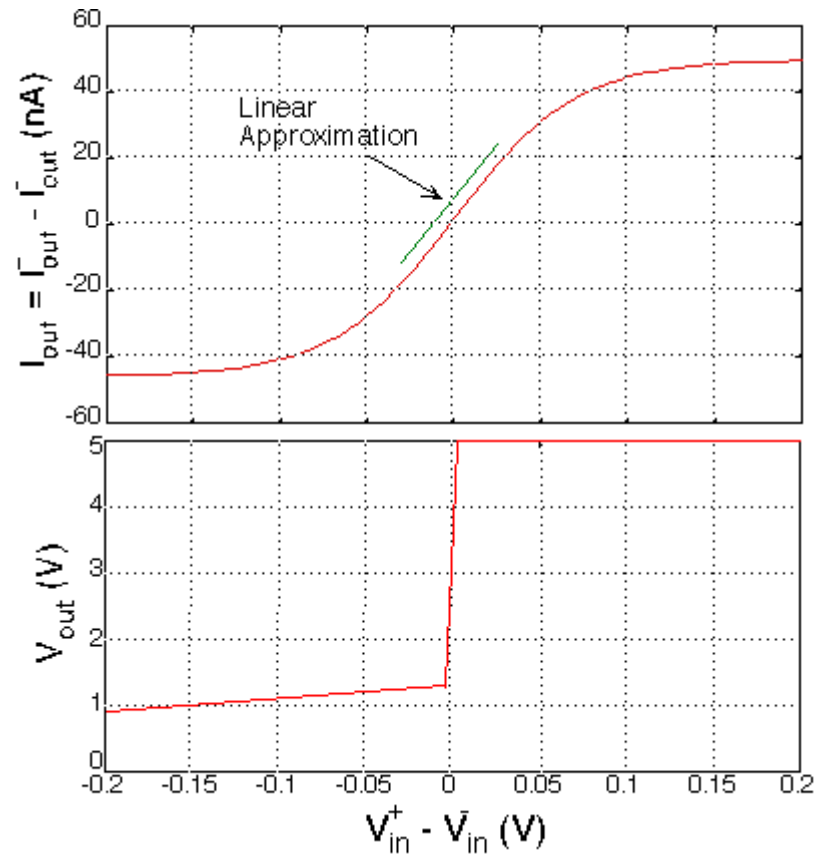
Μοντέλο BJT mismatch



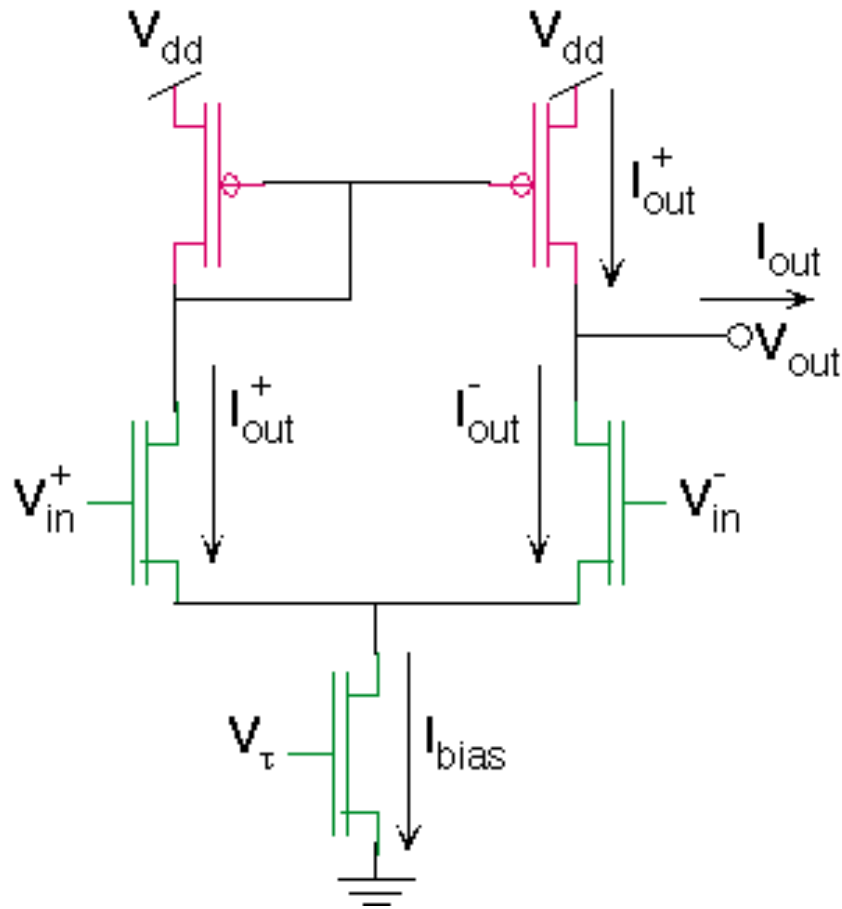
Συναρτήσεις μεταφοράς



$$I_{out}^+ - I_{out}^- = I_{bias} \tanh\left(\frac{\kappa (V_{in}^+ - V_{in}^-)}{2 U_T}\right)$$

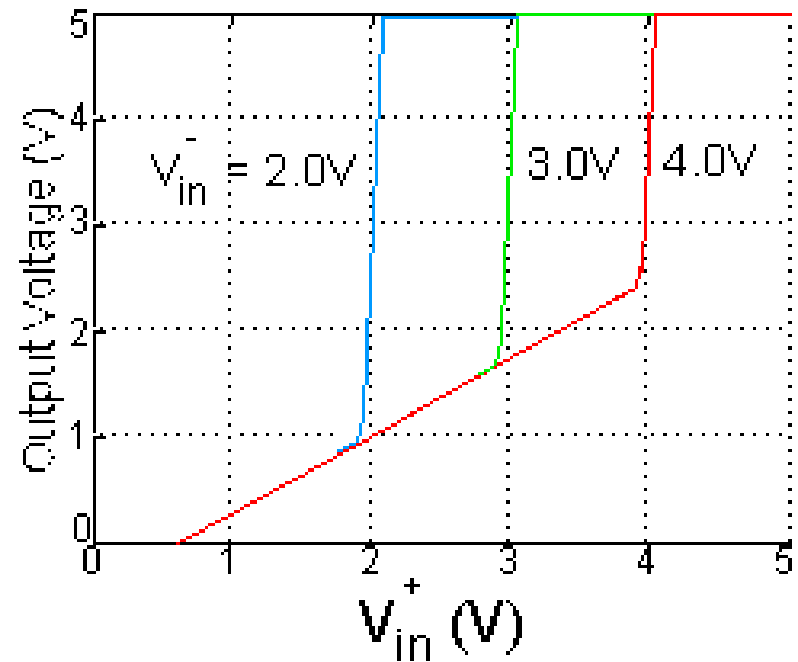


Συναρτήσεις μεταφοράς



Απλός διαφορικός ενισχυτής

"Vmin" effect

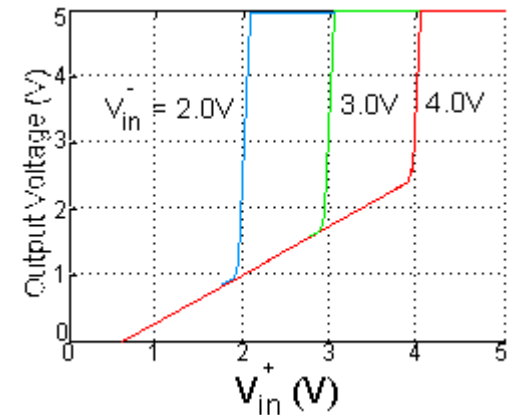


$$\text{High gain region: } V_{out} = \frac{\kappa V_0}{2 U_T} (V_{in}^+ - V_{in}^-)$$

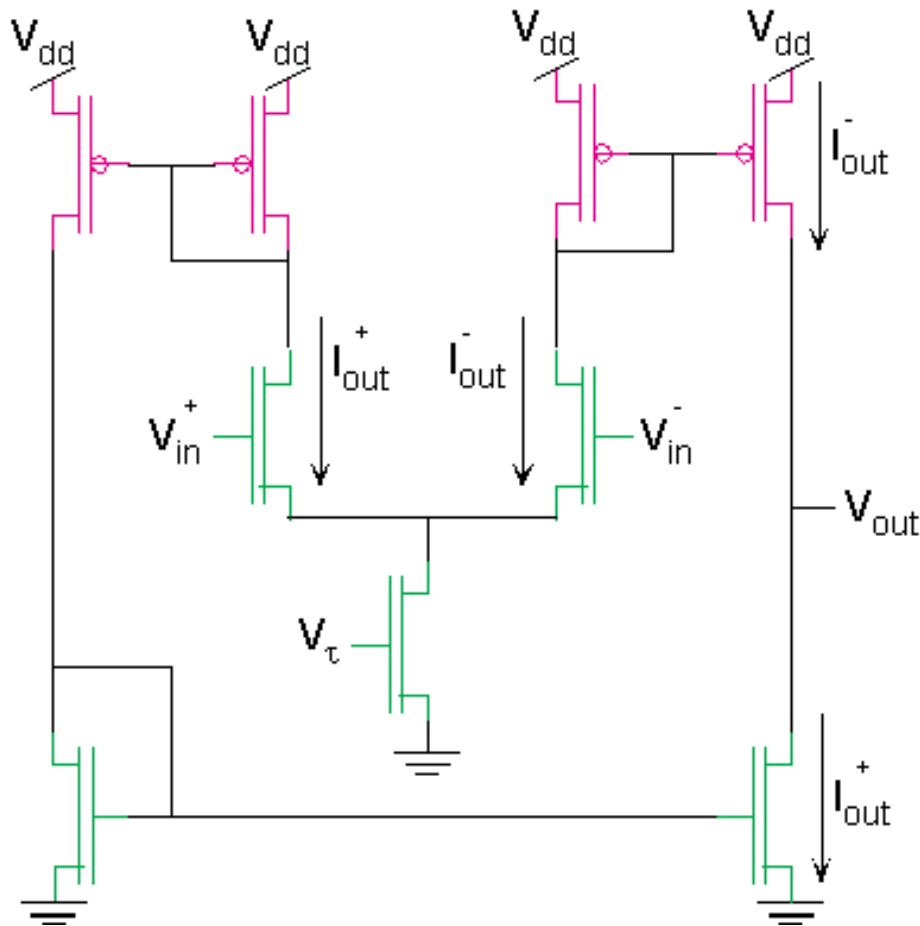
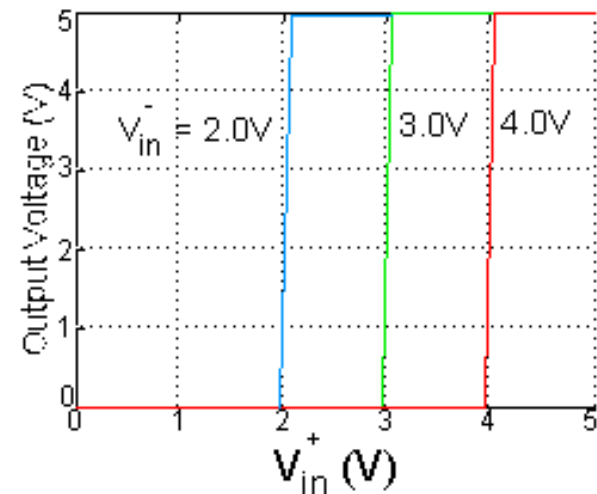
Ο διαφορικός ενισχυτής ευρείας εξόδου

Απλός διαφορικός ενισχυτής

Φαινόμενο "Vmin"

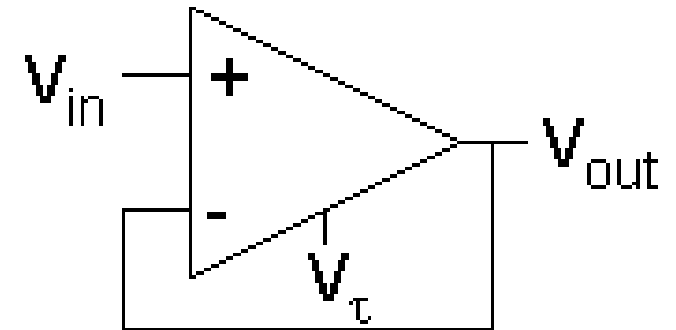
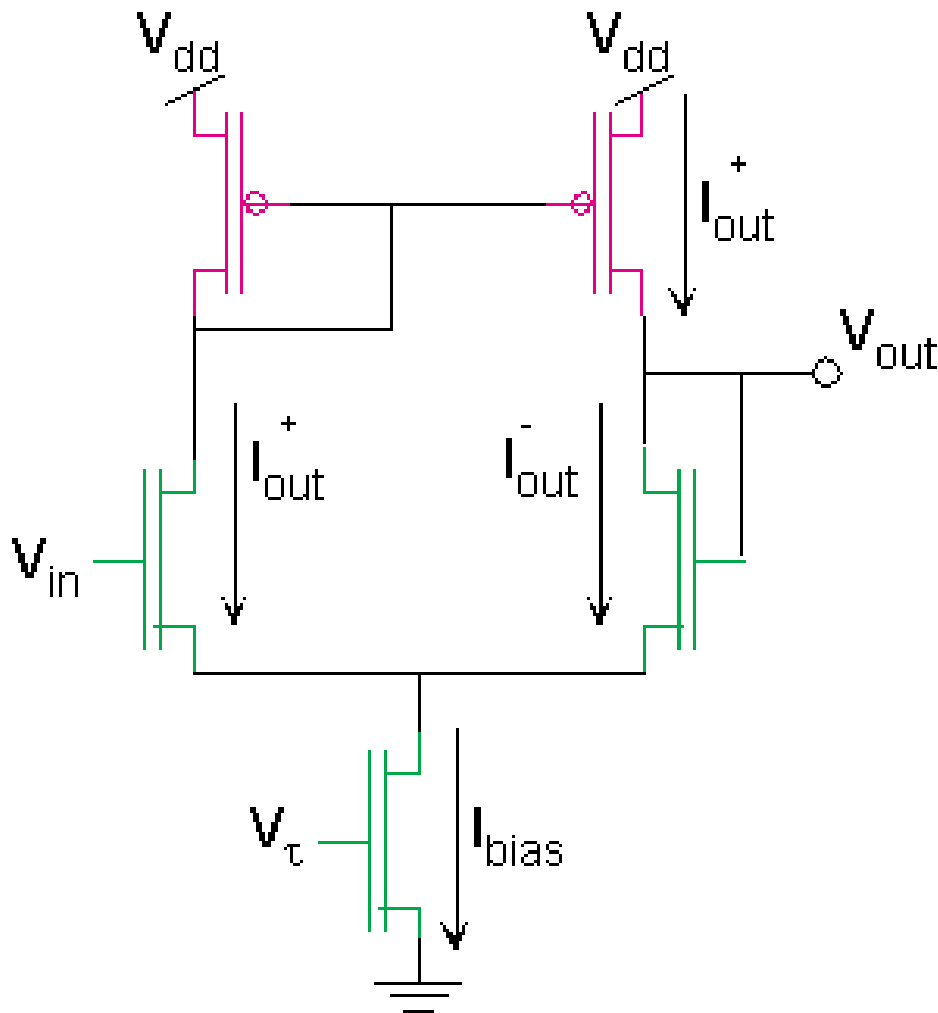


Ευρείας εξόδου ενισχυτής



$$\text{High gain region: } V_{out} = \frac{\kappa V_0}{2 U_T} (V_{in}^+ - V_{in}^-)$$

Ο ακόλουθος μοναδιαίου κέρδους (1/2)

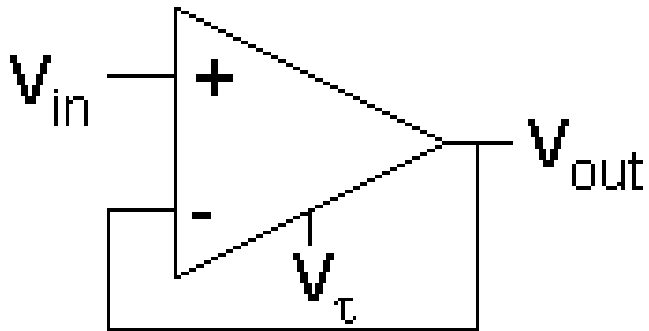


Κέρδος ενισχυτή = A_v

$$\text{λύνοντας: } V_{out} = \frac{A_v}{1 + A_v} V_{in}$$

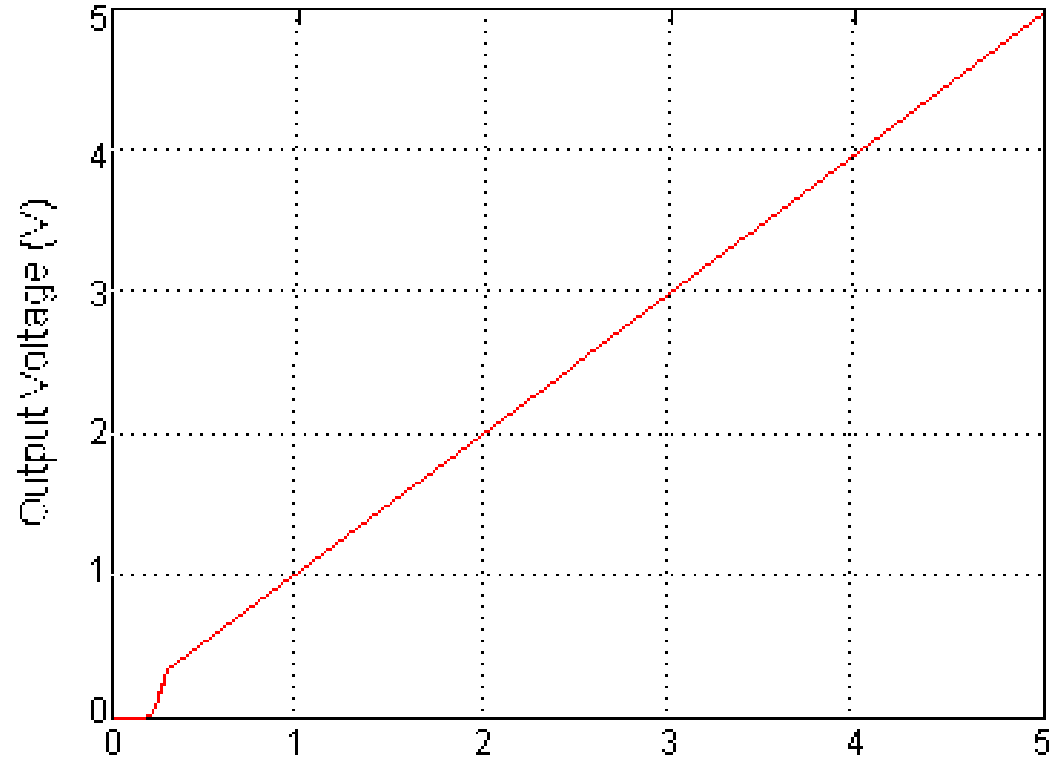
Ενας περισσότερος ιδανικός ακόλουθος / κύκλωμα buffer (απομονωτή)

Ο ακόλουθος μοναδιαίου κέρδους (2/2)



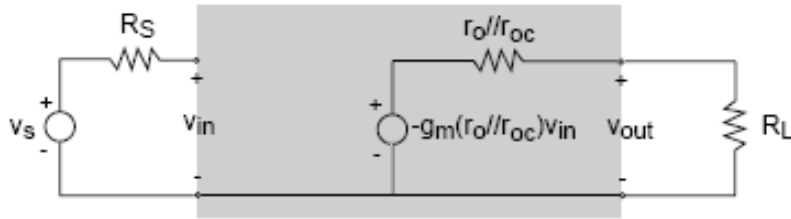
Κέρδος ενισχυτή = A_v

Λύνοντας: $V_{out} \sim V_{in}$



CMOS ενισχυτής τάσης πολλών σταδίων

Αρχικά έχω ένα στάδιο κοινής πηγής



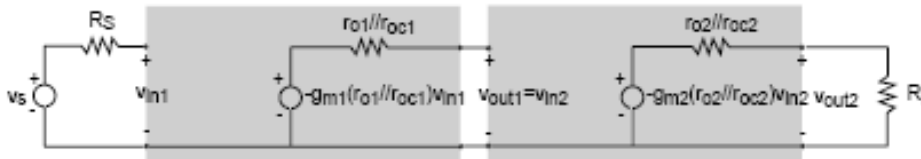
$$R_{in} = \infty$$

$$A_{vo} = -g_m (r_o // r_{oc})$$

$$R_{out} = r_o // r_{oc}$$

**Μη επαρκές
Πολύ υψηλή**

Προσθέτω και δεύτερο στάδιο κοινής πηγής



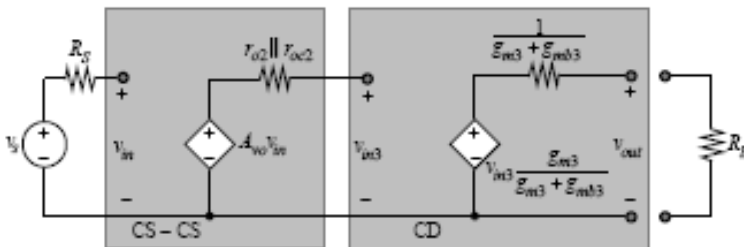
$$R_{in} = \infty$$

$$A_{vo} = -g_{m1} (r_{o1} // r_{oc1}) g_{m2} (r_{o2} // r_{oc2})$$

$$R_{out} = r_{o2} // r_{oc2}$$

Παραμένει πολύ υψηλή

Προσθέτω στάδιο κοινού απαγωγού στην έξοδο



$$R_{in} = \infty$$

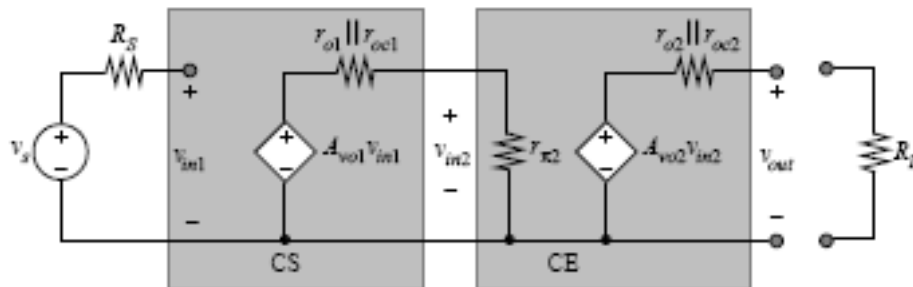
$$A_{vo} = -g_{m1} (r_{o1} // r_{oc1}) g_{m2} (r_{o2} // r_{oc2}) \frac{g_{m3}}{g_{m3} + g_{mb3}}$$

$$R_{out} = \frac{1}{g_{m3} + g_{mb3}}$$

Χαμηλή

BiCMOS ενισχυτής τάσης πολλών σταδίων (1/3)

- Γενικά ισχύει ότι
 - $A_{u0}(CE) > A_{u0}(CS)$ επειδή $r_o(\text{BJT}) > r_o(\text{MOSFET})$ και $g_m(\text{BJT}) > g_m(\text{MOSFET})$ αλλά...
 - το CS στάδιο προτιμάται σαν πρώτο στάδιο επειδή έχει $R_{in} = \infty$.
- Αν προσθέσω ένα στάδιο κοινού εκπομπού στο αρχικό έχω:



Το ενδιάμεσο στάδιο μειώνει το κέρδος:

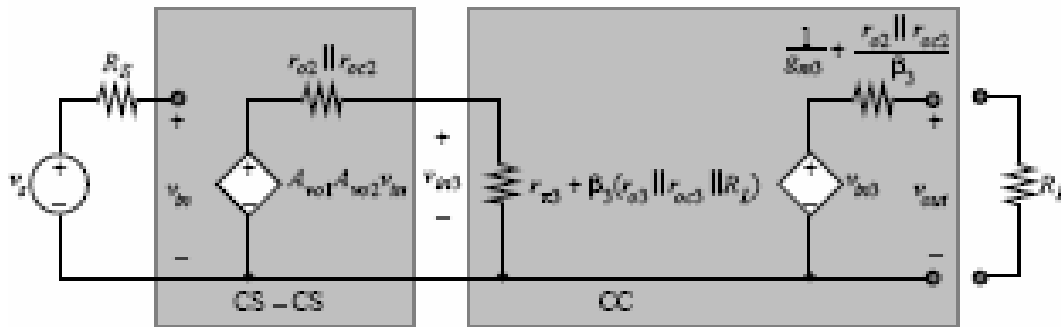
$$R_{out1} = r_{o1} // r_{oc1} \gg R_{in2} = r_{\pi2}$$

Η τάση διαιρείται μεταξύ των σταδίων:

$$\frac{R_{in2}}{R_{out1} + R_{in2}} = \frac{r_{\pi2}}{r_{o1} // r_{oc1} + r_{\pi2}} \approx \frac{r_{\pi2}}{r_{o1} // r_{oc1}} \ll 1$$

BiCMOS ενισχυτής τάσης πολλών σταδίων (2/3)

- Αν χρησιμοποιήσω δυο στάδια κοινής πηγής και προσθέσω ένα στάδιο κοινού συλλέκτη στην έξοδο έχω:



Όπως και πριν ισχύει:

$$R_{out2} = r_{o2} \parallel r_{oc2}, \quad R_{in3} = r_{\pi3} + \beta_3 (r_{o3} \parallel r_{oc3} \parallel R_L)$$

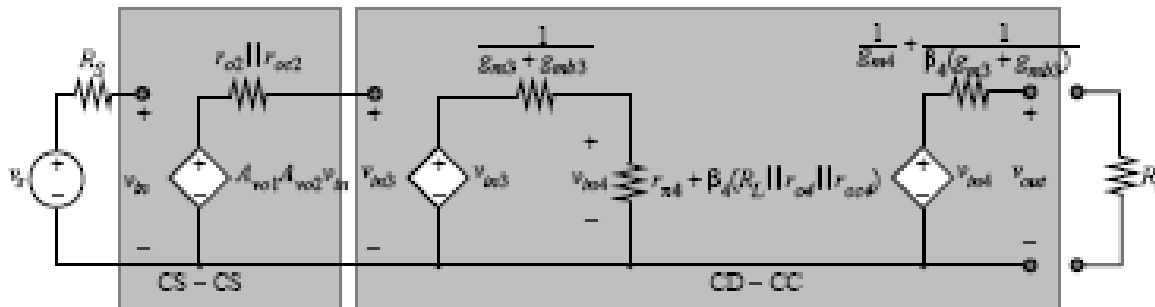
Η απώλεια που έχω στα ενδιάμεσα στάδια είναι:

$$\frac{R_{in3}}{R_{out2} + R_{in3}} = \frac{r_{\pi3} + \beta_3 (r_{o3} \parallel r_{oc3} \parallel R_L)}{r_{o2} \parallel r_{oc2} + r_{\pi2} + r_{\pi3} + \beta_3 (r_{o3} \parallel r_{oc3} \parallel R_L)}$$

Είναι καλύτερη περίπτωση από την προηγούμενη αλλά όχι ικανοποιητική.

BiCMOS ενισχυτής τάσης πολλών σταδίων (3/3)

- Καλύτερος buffer τάσης: cascade κοινού συλλέκτη και στάδιο εξόδου κοινού απαγωγού.



Φορτίο ενδιάμεσων σταδίων:

$$\frac{R_{in4}}{R_{out3} + R_{in4}} = \frac{r_{\pi4} + \beta_4(r_{o4} // r_{oc4} // R_L)}{1 + r_{\pi4} + \beta_4(r_{o4} // r_{oc4} // R_L)} \approx 1$$

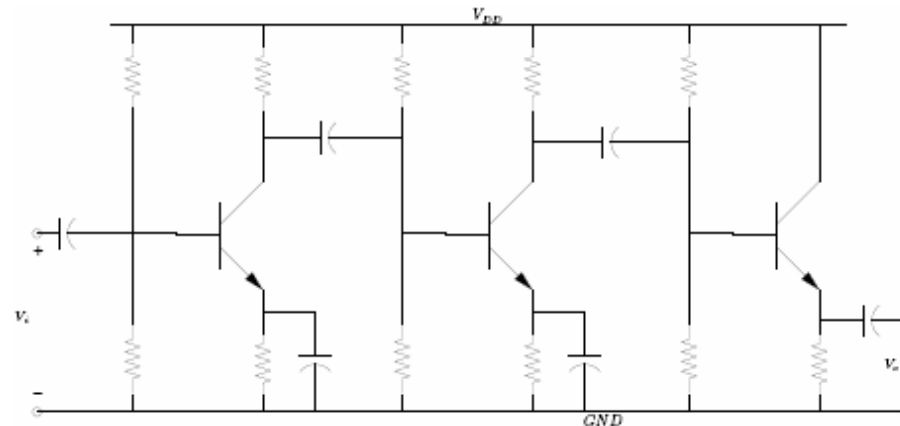
$$\frac{R_{in3}}{R_{out2} + R_{in3}} = 1$$

$$R_{out} = R_{out4} = \frac{1}{g_{m4}} + \frac{R_{out3}}{\beta_4} = \frac{1}{g_{m4}} + \frac{1}{\beta_4(g_{m3} + g_{mb3})}$$

Η αντίσταση εξόδου είναι πλέον πολύ καλή!!

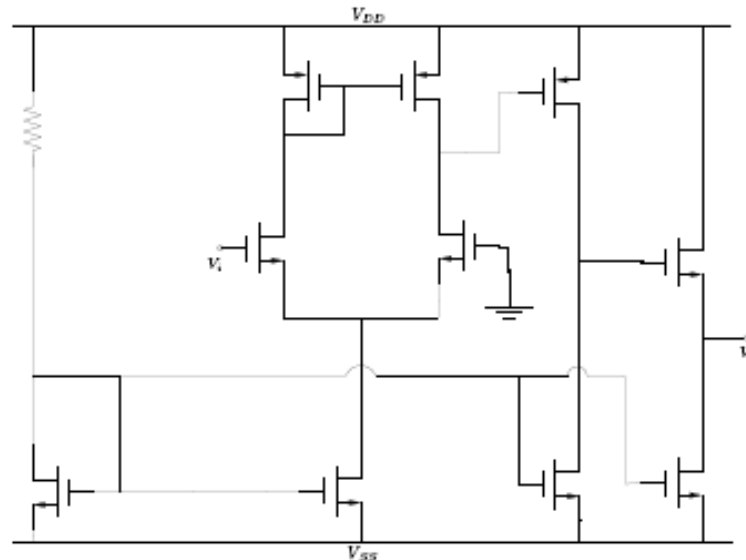
Ενισχυτής διακριτών στοιχείων

- 2 cascaded στάδια με διπολικά τρανζίστορ κοινού εκπομπού και ένα στάδιο κοινού συλλέκτη.
- AC συνεζευγμένο σήμα εισόδου μεταξύ εισόδου και σταδίων εξόδου.
- Απαιτεί μεγάλα εξωτερικά στοιχεία, R και C



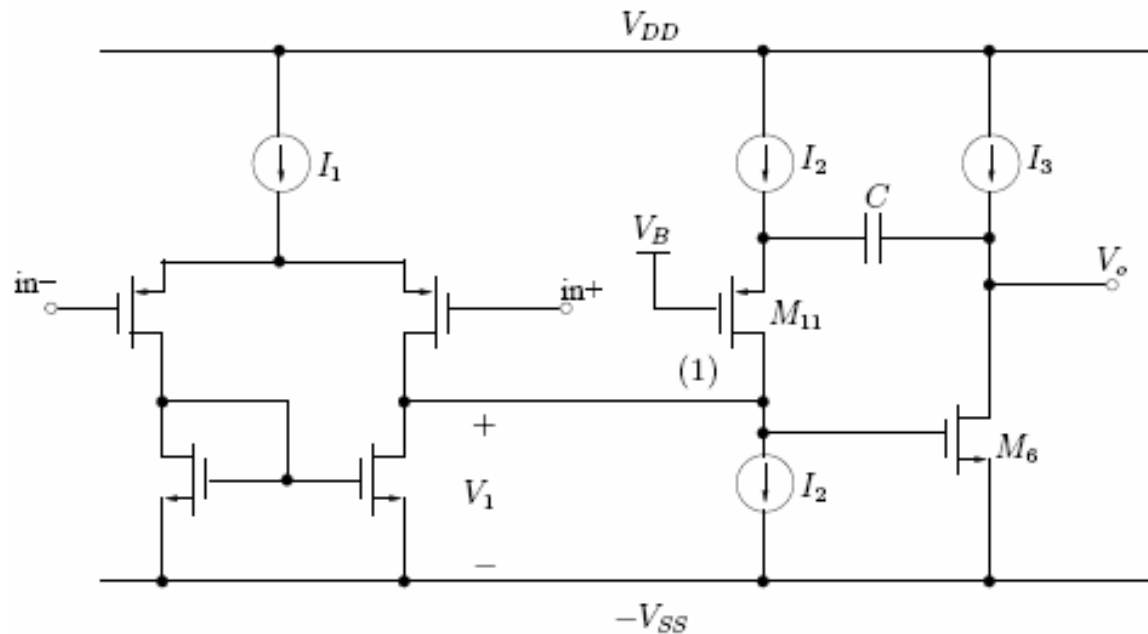
Ενισχυτής ολοκληρωμένου κυκλώματος

- CMOS τριών σταδίων: Διαφορικό στάδιο εισόδου ενεργού φορτίου, στάδιο κέρδους κοινής πηγής, στάδιο απομονωτή κοινού απαγωγού.

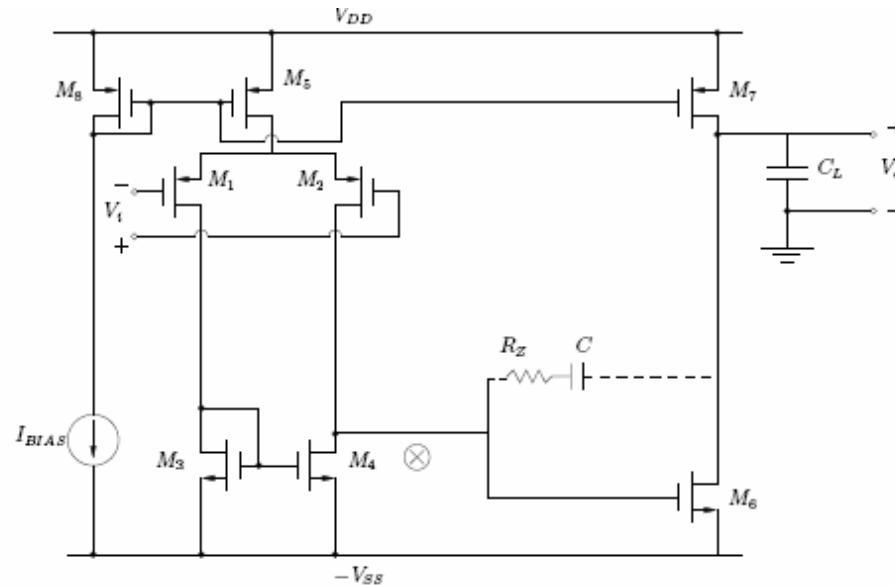


Ενισχυτής 2 σταδίων με απομονωτή κοινής πύλης

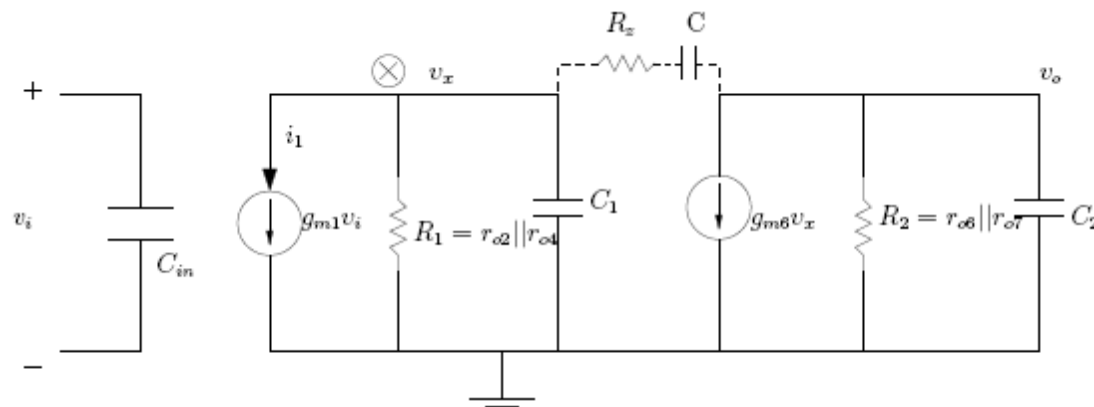
- Μοντέλο μικρού σήματος



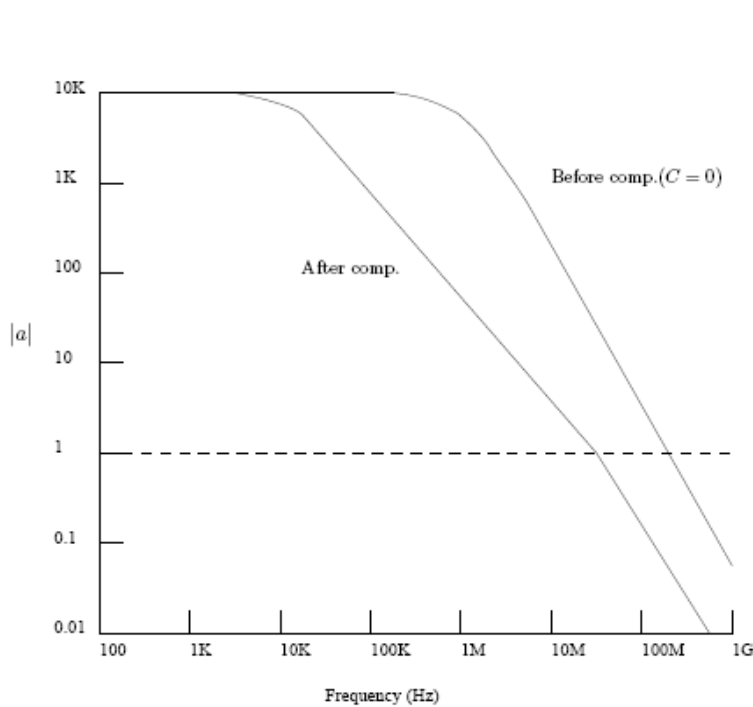
CMOS τελεστικός ενισχυτής 2 σταδίων



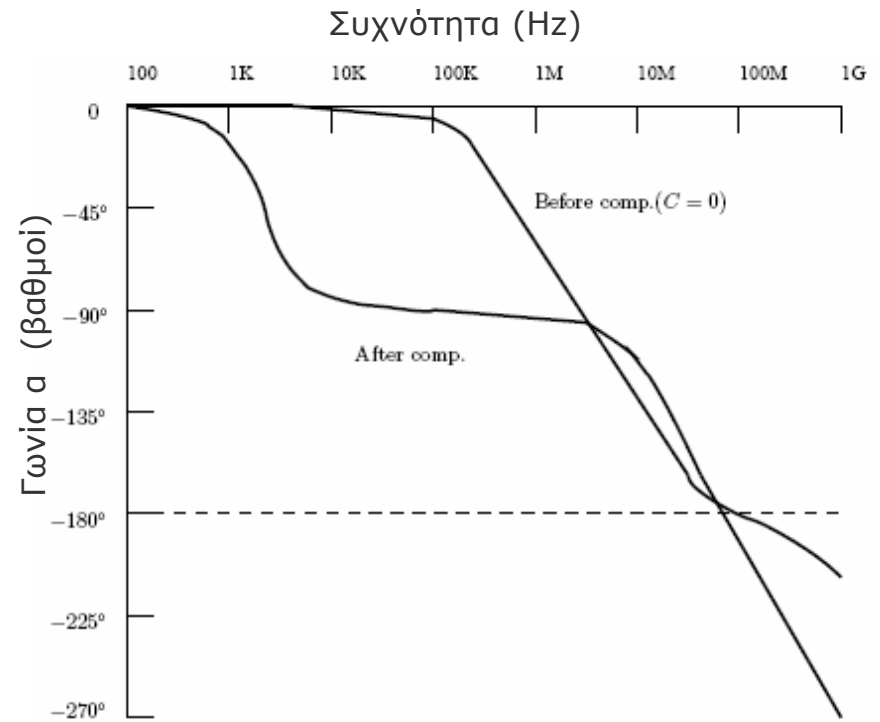
– Μοντέλο μικρού σήματος



CMOS τελεστικός ενισχυτής 2 σταδίων

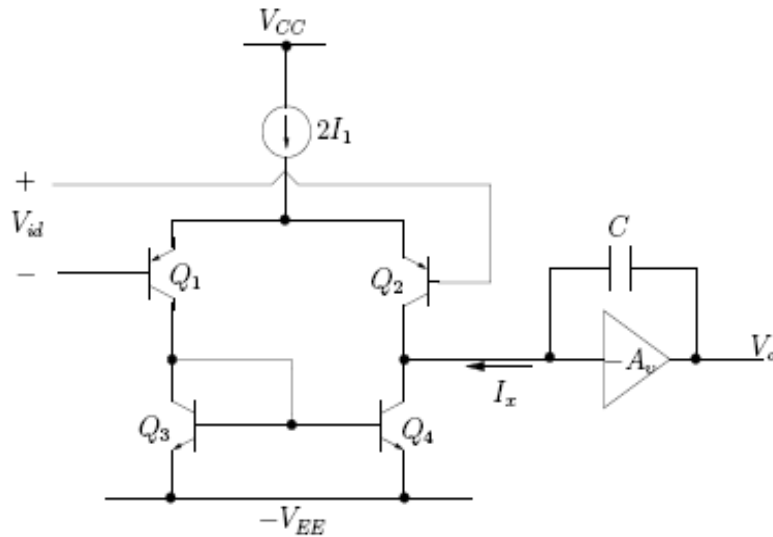


Μέτρο

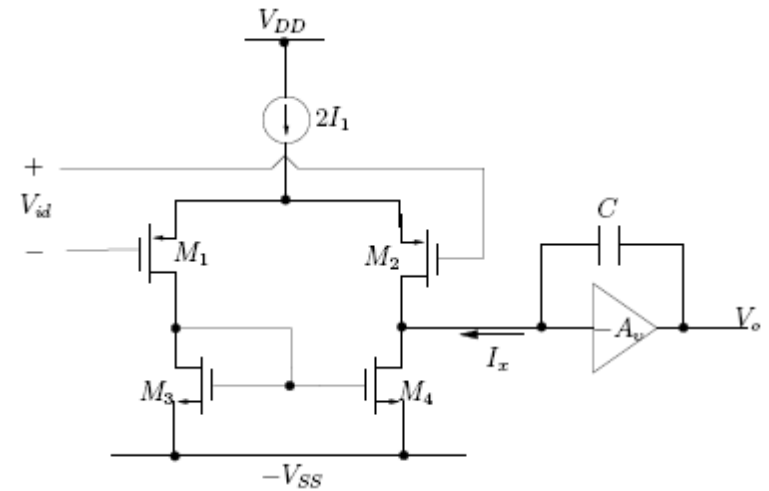


Φάση

Απλοποιημένος τελεστικός ενισχυτής 2 σταδίων



Διπολικός



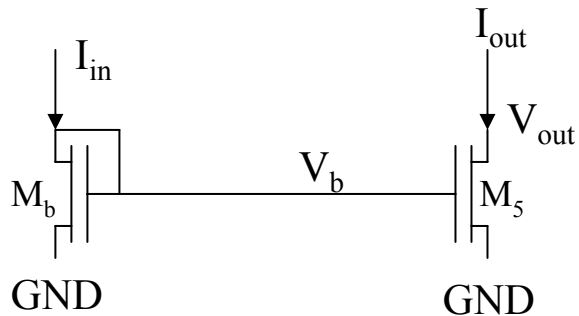
CMOS

Συμπερασματικά...

- Στο σχεδιασμό κυκλωμάτων ενισχυτών πολύ συχνά είμαστε αναγκασμένοι να χρησιμοποιήσουμε πολλά στάδια.
- Στους ενισχυτές πολλών σταδίων τα διάφορα στάδια μπορεί να χρησιμοποιηθούν για διάφορους σκοπούς
 - Κέρδος τάσης: κοινής-πηγής, κοινού εκπομπού
 - Απομόνωση τάσης (buffer): κοινού-απαγωγού, κοινού-συλλέκτη
 - Απομόνωση ρεύματος: κοινής-πύλης, κοινής-βάσης
- Χρειάζεται προσοχή στα φορτία των ενδιάμεσων σταδίων.
- Στους απευθείας συνεζευγμένους ενισχυτές, η πόλωση μοιράζεται μεταξύ των διπλανών σταδίων:
 - Χρειάζεται «συμβιβαστική» πόλωση
 - Προσοχή στην μετατόπιση πόλωσης από στάδιο σε στάδιο

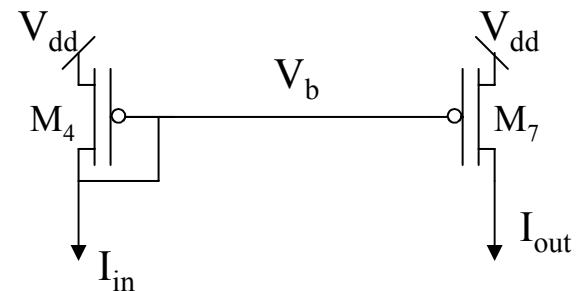
Καθρέφτες ρεύματος

nFET καθρέφτης ρεύματος



$$I_{out} = \left((W/L)_5 / (W/L)_b \right) I_{in}$$

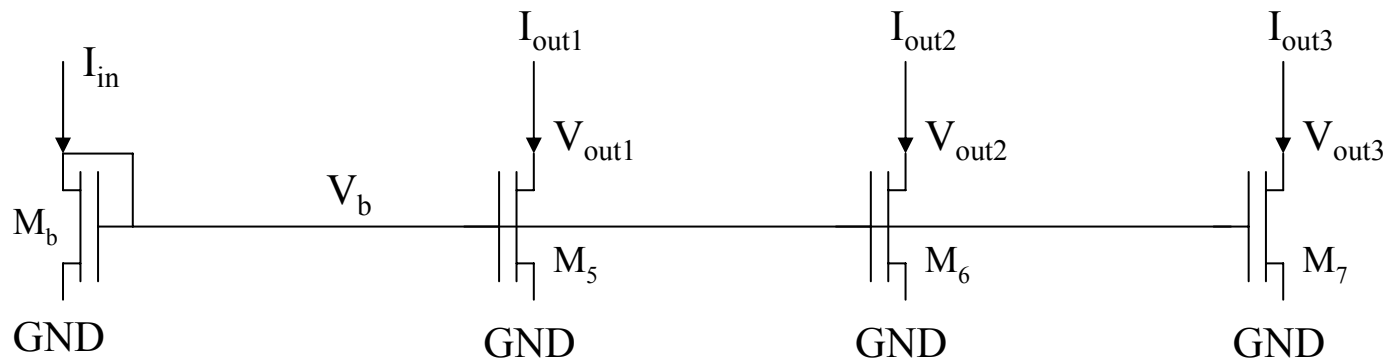
pFET καθρέφτης ρεύματος



$$I_{out} = \left((W/L)_7 / (W/L)_4 \right) I_{in}$$

Ένας καλός τρόπος για να έχω ρεύμα πόλωσης

Καθρέφτης ρεύματος



$$I_{out} = \left(\frac{(W/L)_5}{(W/L)_b} \right) I_{in}$$

$$\frac{I_{out}}{I_{in}} = \left(\frac{(W/L)_6}{(W/L)_b} \right)$$

$$\frac{I_{out}}{I_{in}} = \left(\frac{(W/L)_7}{(W/L)_b} \right)$$

- Η διάλεξη αυτή έγινε στο πλαίσιο του ΕΠΕΑΚ ΙΙ για το μάθημα Αναλογικά Ηλεκτρονικά