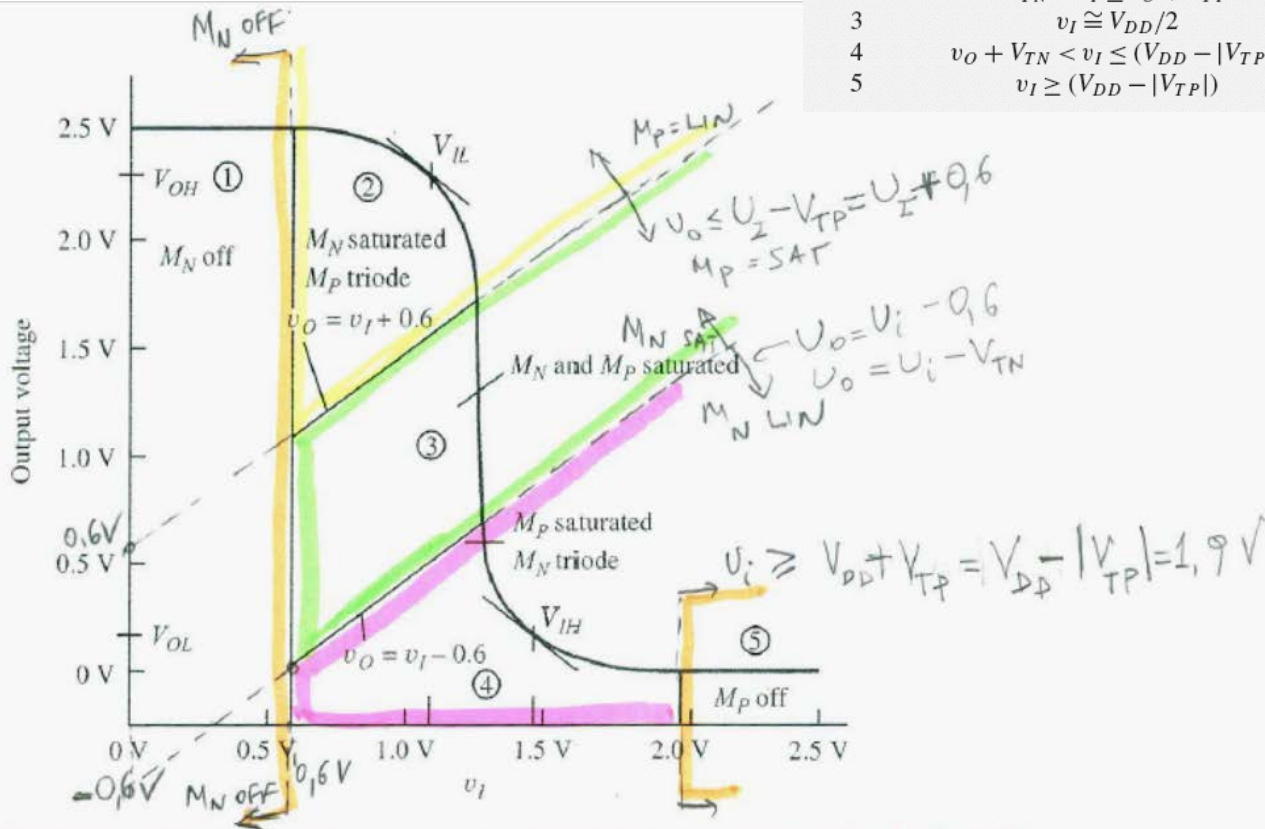


CMOS Voltage Transfer Characteristics (II)

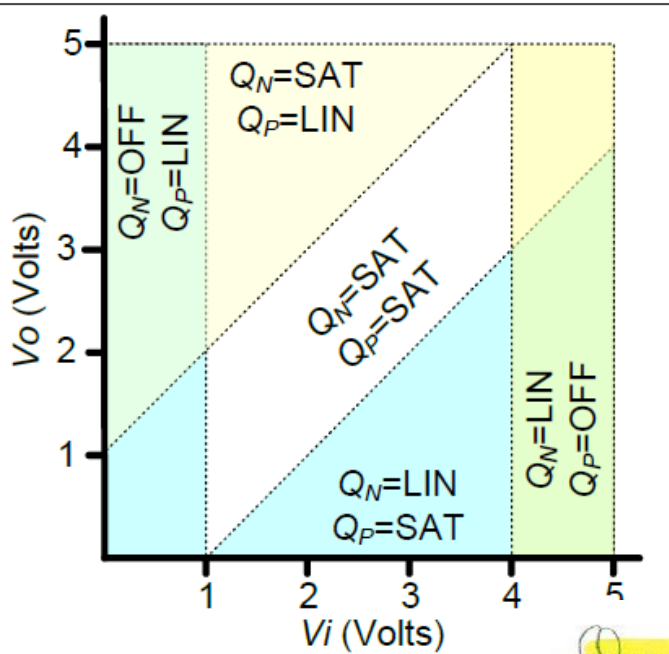
Regions of Operation of Transistors in a Symmetrical CMOS Inverter

REGION	INPUT VOLTAGE v_I	OUTPUT VOLTAGE v_O	NMOS TRANSISTOR	PMOS TRANSISTOR
1	$v_I \leq V_{TN}$	$V_H = V_{DD}$	Cutoff	Triode
2	$V_{TN} < v_I \leq v_O + V_{TP}$	High	Saturation	Triode
3	$v_I \cong V_{DD}/2$	$V_{DD}/2$	Saturation	Saturation
4	$v_O + V_{TN} < v_I \leq (V_{DD} - V_{TP})$	Low	Triode	Saturation
5	$v_I \geq (V_{DD} - V_{TP})$	$V_L = 0$	Triode	Cutoff



CMOS voltage transfer characteristic may be broken down into the five regions outlined in Table 7.2.

CMOS VTC (I)



$$Q_P \text{ SAT} \text{ jika } |V_{DS}| \geq |V_{GS} - V_{TP}| \Rightarrow$$

$$|V_o - V_{DD}| \geq |V_i - V_{DD} - V_{TP}| \Rightarrow V_{DD} - V_o \geq V_{DD} + V_{TP} - V_i$$

$$\Rightarrow V_o \leq V_i - V_{TP}$$

$$Q_P \text{ OFF} \text{ jika } V_{GS} > V_{TP} \Rightarrow V_i - V_{DD} > V_{TP}$$

$$\Rightarrow V_i \geq V_{DD} + V_{TP}$$

$$Q_N \text{ SAT} \text{ jika } V_{DSN} \geq V_{GSN} - V_{TN} \Rightarrow V_o \geq V_i - V_{TN}$$

CMOS VTC (II)

Υπολογισμός της τάσης V_{IM}

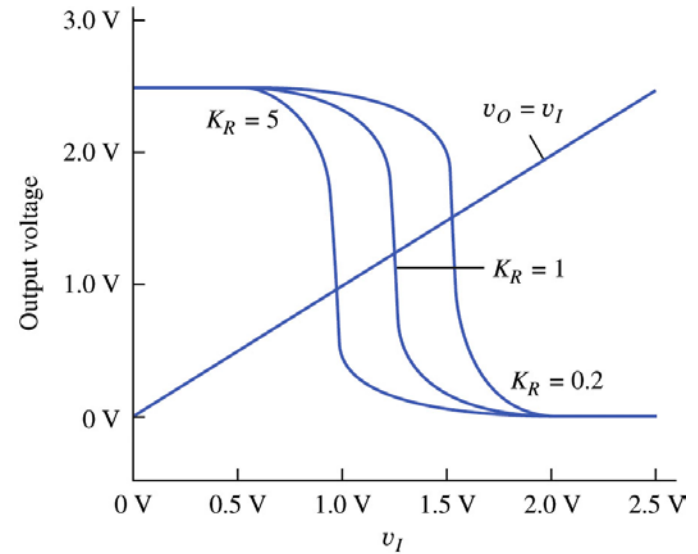
$$Q_N = SAT, Q_P = SAT$$

$$I_{DP} = I_{DN} \rightarrow$$

$$K_P (V_{GS} - V_{TP})^2 = K_N (V_{GS} - V_{TN})^2 \rightarrow$$

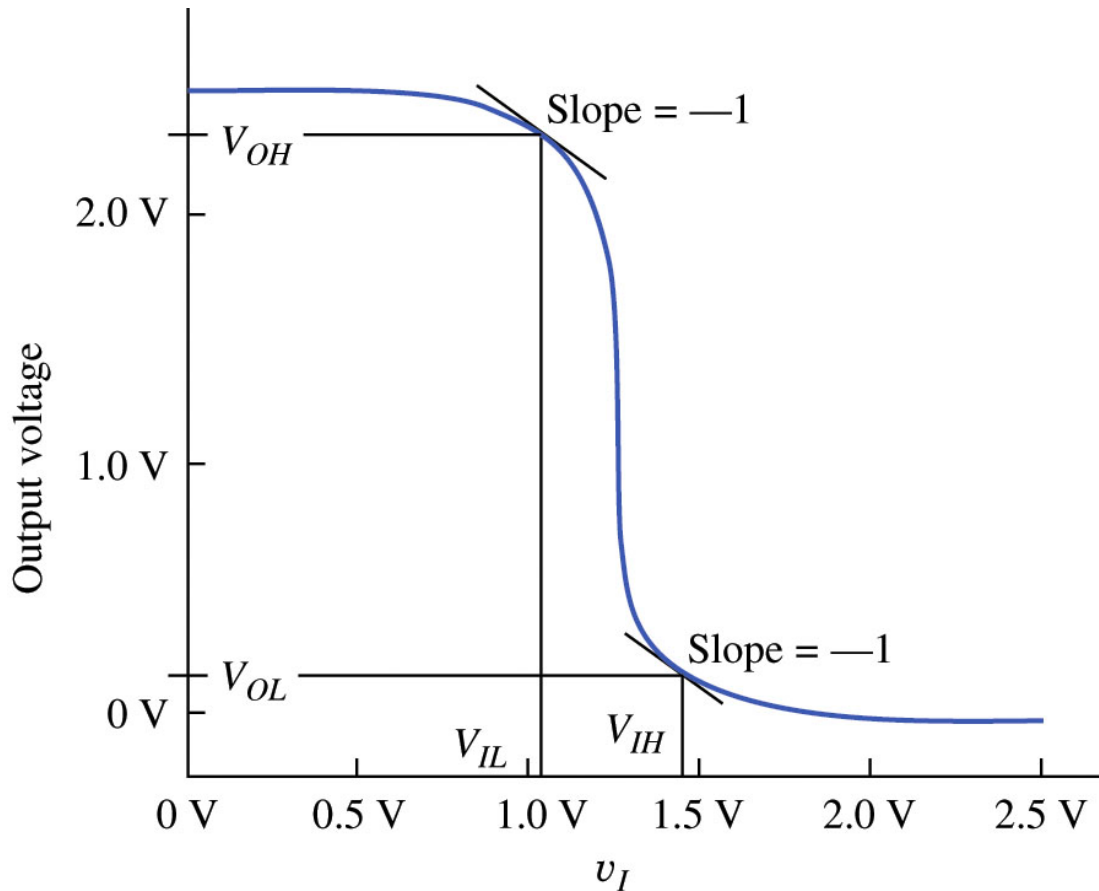
$$K_P (V_{DD} - V_{IM} - V_{TP})^2 = K_N (V_{IM} - V_{TN})^2$$

$$V_{IM} = \frac{V_{DD} - V_{TP} + V_{TN} \sqrt{\frac{K_N}{K_P}}}{1 + \sqrt{\frac{K_N}{K_P}}}$$



Όταν αυξάνεται το K_R
μειώνεται το V_{IM}

Noise Margins for the CMOS Inverter



Noise margins are defined by the points shown in the given figure

Noise Margins (II)

Υπολογισμός V_{IH}

$$M_N = LIN, \quad M_P = SAT$$

$$K_n \left(U_I - V_{TN} - \frac{U_o}{2} \right) U_o = \frac{K_p}{2} (U_I - V_{DD} - V_{TP})^2$$

$$K_R (2U_I - 2V_{TN} - U_o) \cdot U_o = (U_I - V_{DD} - V_{TP})^2$$

$$2K_R (U_I - V_{TN}) \cdot U_o - K_R U_o^2 = (U_I - V_{DD} - V_{TP})^2$$

Β' βαθμού ως προς U_o

$$\text{Λύση: } U_o = (U_I - V_{TN}) \pm \sqrt{(U_I - V_{TN})^2 - \frac{(U_I - V_{DD} - V_{TP})^2}{K_R}}$$

Παραγωγίζω ως προς U_I

ή πρώτη παραγωγή ως προς U_I

$$K_R \left[2U_o + 2 \frac{\partial U_o}{\partial U_I} (U_I - V_{TN}) - 2 \frac{\partial U_o}{\partial U_I} U_o \right] = 2(U_I - V_{DD} - V_{TP})$$

Noise Margins (III)

Αποδοτικότητα V_{IL}

$$\alpha_N = \text{SAT}, \alpha_P = \text{LIN}$$

$$K_n (V_{GS} - V_{TN})^2 = K_p [2(V_{GSP} - V_{TP})V_{DS} - V_{DS}^2]$$

$$K_n (U_i - V_{TN})^2 = K_p [2(U_i - V_{DD} - V_{TP})(U_o - V_{DD}) - (U_o - V_{DD})^2]$$

Παραγωγίζοντας παίρνουμε:

$$\textcircled{1} \quad 2K_n (U_i - V_{TN}) = -2(V_{DD} - U_o) - 2 \frac{\partial U_o}{\partial U_i} (V_{DD} - U_i - V_{TN}) + 2 \frac{\partial U_o}{\partial U_i} (V_{DD} - U_o)$$

Μετά από πράξεις:

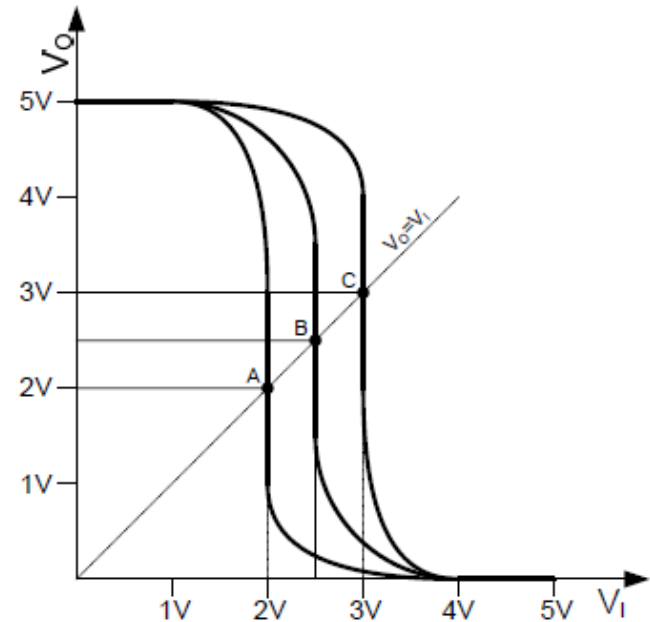
$$U_o = \frac{K_p + 1}{2} U_i + \frac{V_{DD}}{2} = \left(\frac{K_p - 1}{2} \right) V_{TN}$$

$$\text{Για } K_p = 1 \text{ από } \textcircled{1} \text{ έχουμε: } U_i = U_o - \frac{V_{DD}}{2} = \frac{3V_{DD} + 2V_{TN}}{8}, \quad U_o = \frac{7V_{DD} + 2V_{TN}}{8}$$

Παράδειγμα CMOS Inverter

Τρεις CMOS αναστροφείς σχεδιάζονται έτσι ώστε να έχουν χαρακτηριστικές μεταφοράς τάσης εισόδου/εξόδου όπως στο σχήμα.

1. Βρείτε για καθ' έναν από τους τρεις αναστροφείς την τάση εισόδου και τα όρια της τάσης εξόδου που και τα δύο MOSFETS είναι στον κορεσμό.
2. Βρείτε τον λόγο K_R για καθ' έναν από τους τρεις αναστροφείς.
3. Βρείτε για καθ' έναν από τους τρεις αναστροφείς τον λόγο t_{PHL}/t_{PLH} σε συνάρτηση με τον λόγο K_R που υπολογίσατε προηγουμένως.



Δίδεται: $V_{TN} = -V_{TP} = 1V$

Παράδειγμα CMOS Inverter (II)

Συνεπώς για να είναι και τα δύο MOSFETs στον κόρο θα πρέπει:

$$V_m - 1V \leq V_o \leq V_m + 1V$$

Έτσι για καθ' ένα από τους αναστροφείς θα έχουμε:

Αναστροφέας	V_m	Όρια V_o
A	2.0V	$1V \leq V_o \leq 3V$
B	2.5V	$1.5V \leq V_o \leq 3.5V$
C	3.0V	$2V \leq V_o \leq 4V$

Παράδειγμα CMOS Inverter (III)

$$I_{DN} = I_{DP} \rightarrow Kn(V_{GS} - V_T)^2 = Kp(V_{GS} - V_T)^2 \rightarrow$$
$$\frac{Kn}{Kp} = \left(\frac{V_{DD} - Vi - V_T}{Vi - V_T} \right)^2 \rightarrow K_R = \left(\frac{4 - Vi}{Vi - 1} \right)^2$$

Έτσι για τους τρεις αναστροφείς έχουμε:

Αναστροφέας	V_i	K_R
A	2.0V	4
B	2.5V	1
C	3.0V	1/4

Παράδειγμα CMOS Inverter (IV)

Όταν η είσοδος $V_i = \text{High} = 5V$ ο πυκνωτής **εκφορτίζεται** από $V_{OH} = 5V$ σε $V_{OL} = 0V$ μέσω του Q_n . Συνεπώς κατά τη διάρκεια του χρόνου t_{PHL} εκφορτίζεται από την τάση $V_A = V_{OH} = 5V$ μέχρι

$$\text{την τάση } V_B = \frac{V_{OH} + V_{OL}}{2} = 2.5V$$

Όταν ο πυκνωτής έχει στα άκρα του τάση V_A το Q_n στον κόρο και το ρεύμα είναι:

$$I_{DN-A} = K_n (V_i - V_T)^2 = 16K_n$$

Όταν ο πυκνωτής έχει στα άκρα του τάση V_B το Q_n στη γραμμική περιοχή και το ρεύμα είναι:

$$I_{DN-B} = K_n (2(V_i - V_T)(V_B) - (V_B)^2) = 13.75K_n$$

Συνεπώς το μέσο ρεύμα εκφόρτισης είναι $14.875K_n$

Παράδειγμα CMOS Inverter (V)

Αντίστοιχα όταν η είσοδος $V_i = \text{Low} = 0V$ ο πυκνωτής **φορτίζεται** από $V_{OL} = 0V$ σε $V_{OH} = 5V$ μέσω του Q_p . Συνεπώς κατά τη διάρκεια του χρόνου t_{PLH} φορτίζεται από την τάση $V_A = V_{OL} = 0V$ μέχρι την τάση $V_B = \frac{V_{OH} + V_{OL}}{2} = 2.5V$

Όταν ο πυκνωτής έχει στα άκρα του τάση V_A το Q_p στον κόρο και το ρεύμα είναι:

$$I_{DP}A = Kp(V_{DD} - V_i - V_T)^2 = 16Kp$$

Όταν ο πυκνωτής έχει στα άκρα του τάση V_B το Q_p στη γραμμική περιοχή και το ρεύμα είναι:

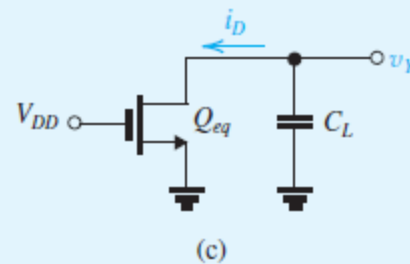
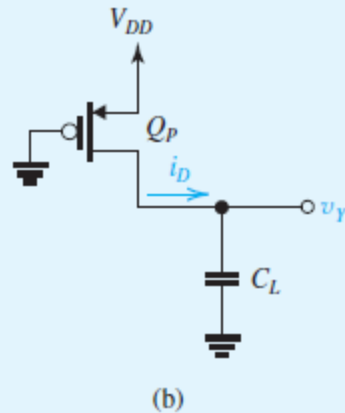
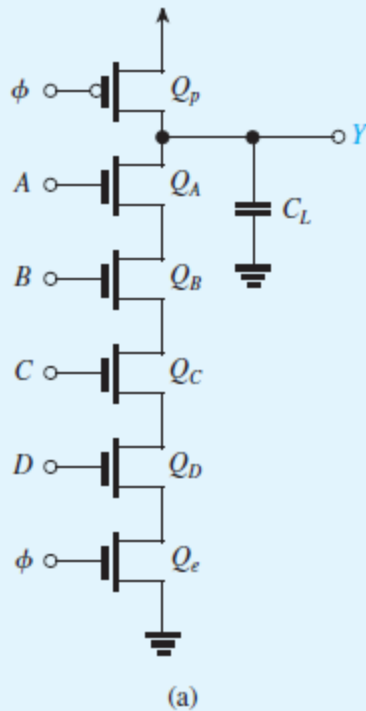
$$I_{DP}B = Kp(2(V_{DD} - V_i - V_T)(V_{DD} - V_B) - (V_{DD} - V_B)^2) = 13.75Kp$$

Συνεπώς το μέσο ρεύμα φόρτισης είναι $14.875Kp$

Examples from
“Microelectronic Circuits”
by Sedra/Smith, 6th Edition

παράδειγμα

fabricated in a 0.18- μm CMOS technology for which $V_{DD} = 1.8\text{ V}$, $V_t = 0.5\text{ V}$, and $\mu_n C_{ox} = 4\mu_p C_{ox} = 300\ \mu\text{A}/\text{V}^2$. To keep C_L small, NMOS devices with $W/L = 0.27\ \mu\text{m}/0.18\ \mu\text{m}$ are used (including transistor Q_e). The PMOS precharge transistor Q_p has $W/L = 0.54\ \mu\text{m}/0.18\ \mu\text{m}$. The total capacitance C_T is found to be 20 fF.



παράδειγμα

$$\begin{aligned}i_D(0.1V_{DD}) &= \frac{1}{2}\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{DD} - |V_{tp}|)^2 \\ &= \frac{1}{2} \times 75 \times \frac{0.54}{0.18} (1.8 - 0.5)^2 \\ &= 190.1 \mu\text{A}\end{aligned}$$

$$\begin{aligned}i_D(0.9V_{DD}) &= \mu_p C_{ox} \left(\frac{W}{L}\right)_p \left[(V_{DD} - |V_{tp}|)(V_{DD} - 0.9V_{DD}) - \frac{1}{2}(V_{DD} - 0.9V_{DD})^2 \right] \\ &= 75 \times \frac{0.54}{0.18} \left[(1.8 - 0.5)(1.8 - 1.62) - \frac{1}{2}(1.8 - 1.62)^2 \right] \\ &= 49 \mu\text{A}\end{aligned}$$

$$\begin{aligned}t_r &= \frac{C\Delta v_Y}{I_{av}} \\ &= \frac{C(0.9V_{DD} - 0.1V_{DD})}{I_{av}}\end{aligned}$$

$$t_r = \frac{20 \times 10^{-15} \times 0.8 \times 1.8}{119.6 \times 10^{-6}} = 0.19 \text{ ns}$$

παράδειγμα

A=B=C=D=1 (evaluation)

$$\begin{aligned}i_D(V_{DD}) &= \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)_{eq} (V_{DD} - V_t)^2 \\ &= \frac{1}{2} \times 300 \times 0.3 (1.8 - 0.5)^2 \\ &= 76.1 \mu\text{A}\end{aligned}$$

At $v_T = V_{DD}/2$, Q_{eq} will be operating in the triode region; thus,

$$\begin{aligned}i_D(V_{DD}/2) &= (\mu_n C_{ox})\left(\frac{W}{L}\right)_{eq} \left[(V_{DD} - V_t)\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2 \right] \\ &= 300 \times 0.3 \left[(1.8 - 0.5)\left(\frac{1.8}{2}\right) - \frac{1}{2}\left(\frac{1.8}{2}\right)^2 \right] \\ &= 68.9 \mu\text{A}\end{aligned}$$

$$\begin{aligned}t_{PHL} &= \frac{C(V_{DD} - V_{DD}/2)}{I_{av}} \\ &= \frac{20 \times 10^{-15} (1.8 - 0.9)}{72.5 \times 10^{-6}} = 0.25 \text{ ns}\end{aligned}$$

παράδειγμα

Να σχεδιασθεί σύστημα διαδοχικών buffers για να οδηγήσει φορτίο 50 pF. Υποθετούμε $C_o=50\text{fF}$, $V_{dd}=3.3\text{V}$, $V_{tn}=-V_{tp}=0.75\text{V}$

$$C_L = 50 \text{ pF}; \text{ technology has } C_o = 50 \text{ fF}.$$

Analysis: The optimum value of N is $N_{\text{opt}} = \ln C_L / C_o = \ln(1000) = 6.91$, and the optimum delay is $\tau_{B\text{opt}} = 6.91 \times (2.72) \times t_o = 18.8t_o$. N must be an integer, but either $N = 6$ or $N = 7$

$$N = 6: \quad \tau_B = 6(1000^{1/6})\tau_o = 19.0\tau_o$$

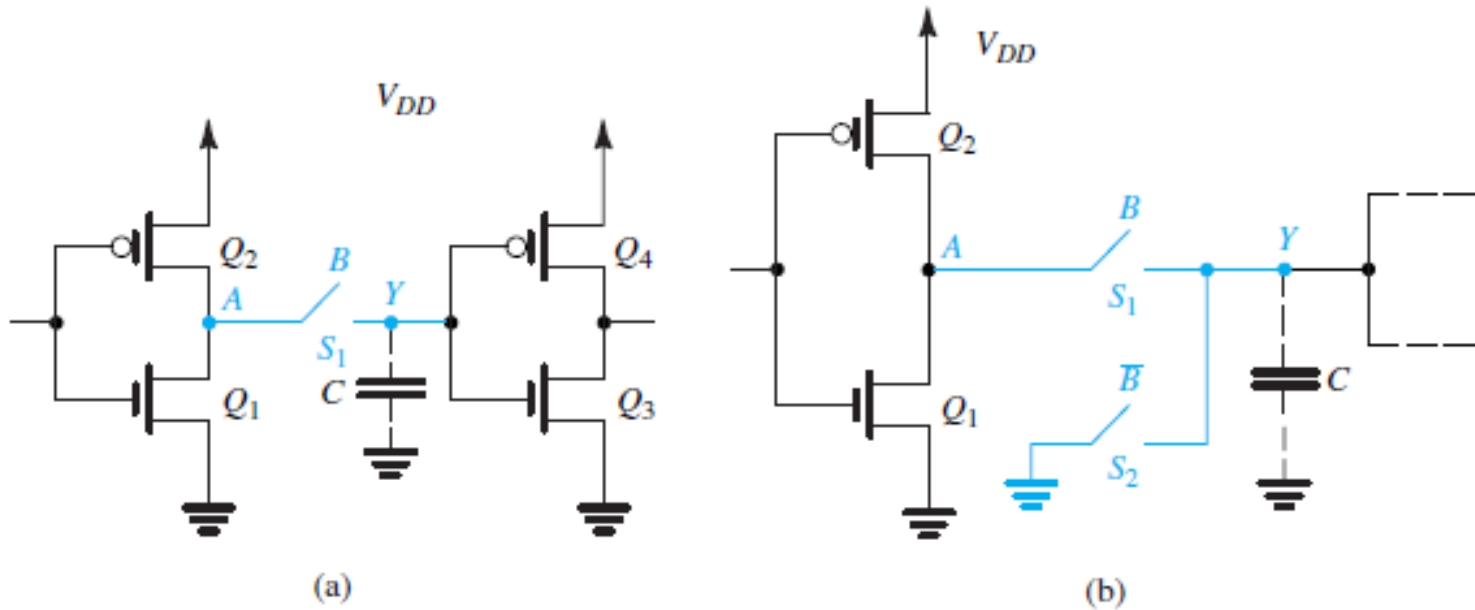
$$N = 7: \quad \tau_B = 7(1000^{1/7})\tau_o = 18.8\tau_o$$

$$\beta = \left(\frac{C_L}{C_o}\right)^{1/N} = \left(\frac{50 \text{ pF}}{50 \text{ fF}}\right)^{1/6} = (1000)^{1/6} = \sqrt[6]{10} = 3.16$$

$$\tau_o \cong \frac{2.4C}{K_n(V_{DD} - V_{TN})} = \frac{2.4(50 \text{ fF})}{2(100 \mu\text{A/V}^2)(3.3 - 0.75)} = 0.24 \text{ ns}$$

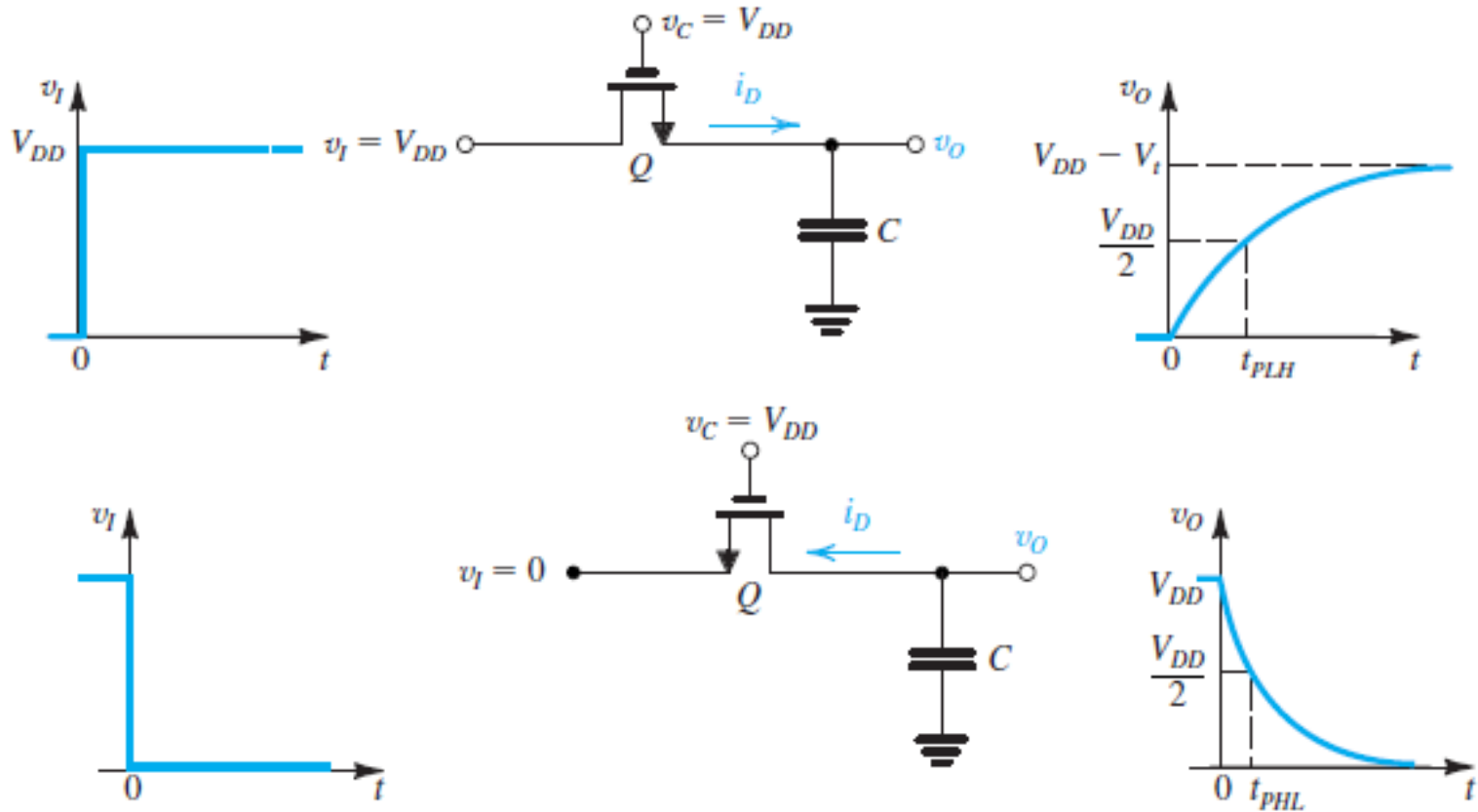
and the estimated buffer delay is $\tau_B = 4.5 \text{ ns}$.

Pass Transistor Logic (PTL)



- (a) Δεν υπάρχει Low resistance path
- (b) Η διάταξη έχει Low resistance path

Pass Transistor Logic (PTL)- II



Παράδειγμα (I)

Να σχεδιασθεί διακόπτης με NMOS τρανζίστορ όπως στην προηγ. διαφάνεια με $V_{DD}=5V$, και να ευρεθούν το V_{OH} , το στατικό ρεύμα, και οι χρόνοι t_{PLH} , t_{PHL}

$$\mu_n C_{ox} = 50 \mu A/V^2, \mu_p C_{ox} = 20 \mu A/V^2, |V_{t0}| = 1 V, \gamma = 0.5 V^{1/2}, 2\phi_f = 0.6 V,$$

$$(W/L)_n = 2/1, (W/L)_p = 5/1$$

$$V_{OH} = V_{DD} - V_t$$

where V_t is the value of the threshold voltage at a source-body reverse bias equal to V_{OH} . Using Eq. (14.21), we have

$$\begin{aligned} V_t &= V_{t0} + \gamma (\sqrt{V_{OH} + 2\phi_f} - \sqrt{2\phi_f}) \\ &= V_{t0} + \gamma (\sqrt{V_{DD} - V_t + 2\phi_f} - \sqrt{2\phi_f}) \end{aligned}$$

$$V_t = 1.6 V$$

$$V_{OH} = 3.4 V$$

Παράδειγμα (II)

$$i_D(0) = \frac{1}{2} \times 50 \times \frac{4}{2} \times (5 - 1)^2 = 800 \mu\text{A}$$

$$V_t \text{ (at } v_O = 2.5 \text{ V)} = 1 + 0.5(\sqrt{2.5 + 0.6} - \sqrt{0.6}) = 1.49 \text{ V}$$

$$i_D(t_{PLH}) = \frac{1}{2} \times 50 \times \frac{4}{2} (5 - 2.5 - 1.49)^2 = 50 \mu\text{A}$$

$$i_D|_{av} = \frac{800 + 50}{2} = 425 \mu\text{A}$$

$$\begin{aligned} t_{PLH} &= \frac{C(V_{DD}/2)}{i_D|_{av}} \\ &= \frac{50 \times 10^{-15} \times 2.5}{425 \times 10^{-6}} = 0.29 \text{ ns} \end{aligned}$$

Παράδειγμα (III)

$$i_D(0) = \frac{1}{2} \times 50 \times \frac{4}{2} (5 - 1)^2 = 800 \mu\text{A}$$

$$\begin{aligned} i_D(t_{PHL}) &= 50 \times \frac{4}{2} \left[(5 - 1) \times 2.5 - \frac{1}{2} \times 2.5^2 \right] \\ &= 690 \mu\text{A} \end{aligned}$$

$$i_D|_{av} = \frac{1}{2} (800 + 690) = 740 \mu\text{A}$$

$$t_{PHL} = \frac{50 \times 10^{-15} \times 2.5}{740 \times 10^{-6}} = 0.17 \text{ ns}$$

$$t_P = \frac{1}{2} (t_{PLH} + t_{PHL}) = \frac{1}{2} (0.29 + 0.17) = 0.23 \text{ ns}$$
